

令和4年度 博士論文

集積回路試験用低歪正弦波生成と
高速サンプリング技術および
マルチ出力電源回路に関する研究

Low Distortion Sine Wave Generator,
High Speed Waveform Sampling Technology
for LSI Test System
and Multi-Output Power Supply

指導教員 小林 春夫 教授

群馬大学大学院 理工学府 理工学専攻
電子情報・数理領域
情報通信システム第2 小林研究室
学籍番号 T202D601
片山 翔吾

2023年3月

目次

全体の概要	9
第1部 剰余系サンプリングによる高周波/アナログ・デジタル混載集積回路の試験技術の研究	11
第1章 序論	11
1.1 研究目的	11
1.2 第1部の構成	11
第2章 高速信号サンプリング技術	12
2.1 ナイキストサンプリング	12
2.2 ダウンサンプリング	12
2.3 等価時間サンプリング	12
2.4 時間インターリーブ	14
第3章 剰余系サンプリング	15
3.1 エイリアシング現象	15
3.2 剰余定理	16
3.3 RC ポリフェーズフィルタ	16
3.4 剰余系サンプリング回路	19
3.5 剰余系サンプリングによる周波数推定	20
3.6 周波数分解能の向上	20
3.7 サンプリング周波数誤差の影響	20
第4章 剰余系サンプリングによる高周波デバイス試験	23
4.1 2トーン試験	23
4.2 高周波狭帯域通信デバイス試験	29
第5章 考察	32
第6章 まとめ	32

第 2 部	低歪正弦波生成回路の研究.....	35
第 1 章	序論.....	35
1.1	研究背景.....	35
1.2	研究目的.....	35
1.3	第 2 部の構成.....	36
第 2 章	アナログフィルタの概説.....	36
2.1	フィルタ回路の目的.....	36
2.2	フィルタ回路の構成.....	36
2.3	周波数特性.....	37
第 3 章	アナログ集積回路テスト用信号源.....	37
第 4 章	アナログ BPF および BEF の特性改善.....	38
4.1	インダクタの ESR 補正技術.....	39
4.2	LC 型 BPF の ESR 補正技術.....	42
4.3	相互インダクタンスによるフィルタ特性劣化.....	47
4.4	LC 型 BEF の特性改善.....	52
第 5 章	高調波キャンセル回路による低歪正弦波生成.....	55
5.1	高調波キャンセル回路の原理.....	55
5.2	高調波キャンセル回路のシミュレーション検証.....	57
5.3	実機検証.....	59
第 6 章	考察.....	70
第 7 章	まとめ.....	70

第3部	マルチ出力スイッチング電源の研究	74
第1章	序論	74
1.1	研究背景	74
1.2	研究目的	74
1.3	第3部の構成	74
第2章	直流定電圧電源回路の概説	75
2.1	回路方式	75
2.2	スイッチングコンバータ	77
2.3	昇降圧型スイッチングコンバータの回路構成	78
2.4	昇降圧型スイッチングコンバータのアプリケーション	79
2.5	マルチ出力スイッチングコンバータ技術	80
第3章	SEPIC方式	81
3.1	SEPIC方式の概要	81
3.2	SEPIC方式の動作	84
3.3	増幅昇圧SEPICの動作	84
3.4	SEPIC方式の昇圧率	85
3.4.1	基本SEPIC方式	86
3.4.2	高昇圧SEPIC方式	88
3.4.3	増幅昇圧SEPIC方式	90
第4章	SEPIC方式スイッチングコンバータのSIMO構成	93
4.1	基本SEPIC方式のデュアル出力(SIDO)構成	93
4.2	増幅昇圧SEPICのSIMO構成	95
4.3	高昇圧切替え型デュアル出力SEPIC	97
第5章	シミュレーション検証	99
5.1	基本SEPIC方式のデュアル出力(SIDO)構成	99
5.2	増幅昇圧SEPICのSIMO構成	102
5.3	高昇圧切替え型デュアル出力SEPIC	104
第6章	考察	107
第7章	まとめ	107
	全体のまとめ	114
	今後の課題	114

発表論文..... 116

謝辞..... 135

図目次

図 1.2.1	等価時間サンプリングによるサンプリング	13
図 1.2.2	時間インターリーブによるサンプリング回路の構成	14
図 1.3.1	エイリアシング現象	15
図 1.3.2	RC ポリフェーズフィルタ 1 段の回路構成	17
図 1.3.3	RC ポリフェーズフィルタの特性	18
図 1.3.4	剰余系サンプリング回路	19
図 1.4.1	剰余系サンプリングにより得られた 2 トーン試験のパワースペクトラム ($f_{s1} = 17 \text{ MHz}$)	24
図 1.4.2	剰余系サンプリングにより得られた 2 トーン試験のパワースペクトラム ($f_{s2} = 19 \text{ MHz}$)	24
図 1.4.3	剰余系サンプリングにより得られた 2 トーン試験のパワースペクトラム ($f_{s3} = 23 \text{ MHz}$)	24
図 1.4.4	剰余系サンプリングにより得られた 2 トーン試験のパワースペクトラム ($f_{s4} = 29 \text{ MHz}$)	25
図 1.4.5	剰余系サンプリングにより得られた 2 トーン試験のパワースペクトラム ($f_{s5} = 31 \text{ MHz}$)	25
図 1.4.6	Bluetooth BR 模擬信号の時間波形	29
図 1.4.7	Bluetooth BR 模擬信号の周波数スペクトラム	29
図 1.4.8	剰余系サンプリングにより得られた Bluetooth BR 模擬信号のパワース ペクトラム ($f_{s1} = 7 \text{ MHz}$)	30
図 1.4.9	剰余系サンプリングにより得られた Bluetooth BR 模擬信号のパワース ペクトラム ($f_{s2} = 11 \text{ MHz}$)	30
図 1.4.10	剰余系サンプリングにより得られた Bluetooth BR 模擬信号のパワース ペクトラム ($f_{s3} = 137 \text{ MHz}$)	31
図 1.4.11	剰余系サンプリングにより得られた Bluetooth BR 模擬信号のパワース ペクトラム ($f_{s4} = 17 \text{ MHz}$)	31
図 2.4.1	インダクタの等価回路	38
図 2.4.2	インダクタの ESR 補正回路	39
図 2.4.3	ESR 補正技術の検証回路	40
図 2.4.4	ESR 補正回路の測定結果	41
図 2.4.5	LC 型 BPF	42
図 2.4.6	LC 型 BPF の ESR 補正シミュレーションの結果	43
図 2.4.7	LC 型 BPF の ESR 補正技術の回路実装	44
図 2.4.8	LC 型 BPF の ESR 補正技術の実測結果	45
図 2.4.9	LC 型 BPF の ESR 補正技術の改良回路の実装	46
図 2.4.10	LC 型 BPF の ESR 補正の改良回路の実測結果	47
図 2.4.11	LC 型 BPF の相互インダクタンスのシミュレーション回路	48
図 2.4.12	LC 型 BPF の相互インダクタンスのシミュレーション結果	49

図 2.4.13 <i>LC</i> 型 BPF の相互インダクタンスのシミュレーション結果 (通過域の拡大表示)	50
図 2.4.14 相互インダクタンスを低減した <i>LC</i> 型 BPF の実測結果	51
図 2.4.15 <i>LC</i> 型 BEF	52
図 2.4.16 <i>LC</i> 型 BEF の ESR 補正シミュレーションの結果	52
図 2.4.17 <i>LC</i> 型 BEF の ESR 補正技術の回路実装	53
図 2.4.18 <i>LC</i> 型 BEF の ESR 補正技術の実測結果	54
図 2.5.1 3次および5次の高調波キャンセル回路	56
図 2.5.2 3次および5次の高調波キャンセル回路のシミュレーション	57
図 2.5.3 高調波キャンセル回路のシミュレーション結果	58
図 2.5.4 実装した高調波キャンセル回路	60
図 2.5.5 実装した高調波キャンセル回路の検証環境	61
図 2.5.6 高調波キャンセル回路の出力信号のスペクトラム	63
図 2.5.7 低歪正弦波生成回路に用いる LPF 回路	64
図 2.5.8 高調波歪の評価の構成	65
図 2.5.9 <i>LC</i> 型 LPF 部の実装構成	66
図 2.5.10 インダクタに 100 μ H パワーインダクタを使用した時の高調波歪測定結果	68
図 2.5.11 Analog Devices 製 18 bit 5 Msps ADC を使用した最終評価	69
図 3.2.1 直流定電圧電源の方式	75
図 3.2.2 シリズレギュレータの構成	75
図 3.2.3 スイッチング電源の構成	76
図 3.2.4 チョップ方式非絶縁型の昇降圧型コンバータのパワー段部	78
図 3.2.5 SEPIC 方式のパワー段部	78
図 3.2.6 Zeta コンバータのパワー段部	79
図 3.2.7 Cuk コンバータのパワー段部	79
図 3.3.1 パワー段部に制御部を加えた SEPIC 方式の構成	81
図 3.3.2 高昇圧 SEPIC 方式の構成	82
図 3.3.3 増幅昇圧 SEPIC 方式の構成	83
図 3.3.4 増幅昇圧 SEPIC 方式の動作波形	84
図 3.3.5 各 SEPIC 方式の昇圧率のシミュレーション	85
図 3.3.6 基本 SEPIC 方式の動作解析回路	86
図 3.3.7 高昇圧 SEPIC 方式の動作解析回路	88
図 3.3.8 増幅昇圧 SEPIC 方式の動作解析回路	92
図 3.4.1 SIDO 構成とした基本 SEPIC	94
図 3.4.2 SIMO 構成とした増幅昇圧 SEPIC	96
図 3.4.3 高昇圧切替え型デュアル出力 SEPIC	98
図 3.5.1 デュアル出力 SEPIC の各部波形	100
図 3.5.2 デュアル出力 SEPIC の過渡応答特性	101
図 3.5.3 SIMO 構成とした増幅昇圧 SEPIC の各部波形	103
図 3.5.4 高昇圧切替え型デュアル出力 SEPIC の各部波形	105
図 3.5.5 高昇圧切替え型デュアル出力 SEPIC の過渡応答特性	106

表目次

表 1.3.1	サンプリング周波数誤差の影響	21
表 1.4.1	シミュレーション結果 ($f_{s1} = 17 \text{ MHz}$)	26
表 1.4.2	シミュレーション結果 ($f_{s2} = 19 \text{ MHz}$)	26
表 1.4.3	シミュレーション結果 ($f_{s3} = 23 \text{ MHz}$)	27
表 1.4.4	シミュレーション結果 ($f_{s4} = 29 \text{ MHz}$)	27
表 1.4.5	シミュレーション結果 ($f_{s5} = 31 \text{ MHz}$)	28
表 1.4.6	シミュレーション結果	31
表 2.5.1	高調波歪へのインダクタによる影響	67
表 3.2.1	シリーズレギュレータとスイッチングレギュレータの比較	76
表 3.2.2	スイッチング電源の各回路方式に使用される制御方式	77
表 3.5.1	SIDO 構成とした基本 SEPIC 方式のシミュレーション条件	99
表 3.5.2	増幅昇圧 SEPIC の SIMO 構成のシミュレーション条件	102
表 3.5.3	高昇圧切替え型デュアル出力 SEPIC のシミュレーション条件	104

全体の概要

Society 5.0 が実現される世界では、Society 4.0 で達成された情報社会と現実社会が高度に統合される。現実社会と情報社会は IoT(モノのインターネット) で接続され、センサで取得した現実世界のアナログ情報が、情報社会のデジタル信号に変換される。これらセンシングやアナログ・デジタル変換、IoT 機器間の通信のキーコンポーネントの高精度アナログ・デジタル・ミクスト信号回路は、ますます重要な回路要素となる。製品や技術が広く用いられるためには、コスト削減は必須であり、設計、製造など様々な面でその努力がなされている。電子機器の製造コスト削減は、使用する部品のコスト削減とともに、出荷時テストの低コスト化が要求される。開発、設計でのベンチトップの電子回路の測定に使用される計測器は、精度が高いが高コスト・低速のため量産テスト用途には適さない。テストコストの削減は、試験装置自体のコストを削減するとともに、テストの高速化や同時測定を行うことで、単位時間にテストを行う被試験デバイス数を増加させて達成される。また部品コスト削減として、様々な電源電圧のデバイスに単一の電源回路から電源電圧を供給するマルチ出力電源の技術が効果的な方法の一つである。

本論文では「高性能アナログ・デジタル混載集積回路の低コスト化」を目標に、次の3つの技術の研究結果を記す。(i) 出荷時テストのための低コスト高周波サンプリング手法、(ii) 出荷時テストのための低コスト低歪正弦波生成回路、(iii) 部品削減によるコスト削減を達成する、マルチ出力スイッチング電源の研究である。

第1部は「剰余系サンプリングによる高周波/アナログ・デジタル混載集積回路の試験技術の研究」を記した。出荷時テストのコスト削減のための高周波サンプリング手法の考案・シミュレーション検証を行った。被測定高周波信号を複数の低サンプリング周波数によりサンプリングし、サンプリングにより発生するスペクトラムの折り返し現象と剰余定理を用いて被測定高周波信号の周波数を推定する「剰余系サンプリング」手法を考案した。MATLAB シミュレーションにより、提案手法を用いて被測定高周波信号が推定でき、剰余系サンプリング結果のFFT スペクトラムの周波数分解能をサンプリングデータの点数を増やすことで細かくできることを示した。実際のアプリケーションとして、2トーン試験および高周波狭帯域通信デバイス試験のシミュレーション検証を行った。剰余周波数スペクトラムに重なりが生じない場合に、試験が可能であることを示した。スペクトラムの本数が少なく、スペクトラムに重なりが生じないサンプリング回路のみ使用する冗長構成が可能な2トーン試験や、同時に使用する帯域がサンプリング周波数より狭い狭帯域通信が高周波デバイス試験の有効なアプリケーションであることを示した。今後、多くのサンプリング回路の出力スペクトラムに重なりが生じる、広帯域のマルチトーン試験や高周波広帯域通信のアプリケーションを示していく。

第2部では「低歪正弦波生成回路の研究」を記述した。出荷時テストのコスト削減のための低歪正弦波生成回路を考案しシミュレーション検証・実験検証を行った。アナログ集積回路の試験では入力信号として低歪正弦波は広く用いられている。比較的簡易な回路システムで低歪正弦波を生成するために、LSI 試験装置のデジタルモジュール出力の矩形波信号を入力とし、ロジック回路と次数が低いアナログフィルタを用いる方式を考案した。回路シミュレーションおよび実装回路の評価により、提案回路の有効性の検証を行った。高価なLSI 試験装置の搭載信号源と次数の高いアナログフィルタを用いた場合と比べて、3次高調

波が 3 dB、帯域内ノイズが 10 dB 程度低減することを確認し、100 kHz の正弦波を発生した際の高調波歪が -95 dBc の低歪正弦波発生器を実現した。

第 3 部では「マルチ出力スイッチング電源の研究」を記述した。部品削減によるコスト削減のための、マルチ出力スイッチング電源の回路と制御方式を考案・シミュレーション検証を行った。様々な電源電圧のデバイスに単一の電源回路から電源を供給することで、回路要素、駆動電源の数を削減することができ、低コスト化・省スペース化を図ることができる。本研究では、正極性の電圧が出力可能な昇降圧スイッチングコンバータの回路方式である、SEPIC 方式のマルチ出力構成を考案し、シミュレーション検証、昇圧率の理論導出を行った。リチウムイオン電池を電源としたウェアラブル機器や携帯用機器等の液晶パネルを駆動する DC-DC コンバータを想定したシミュレーションを実施し、基本動作確認をすることができた。効率、出力電圧のクロスレギュレーション、出力リップルの改善、設計手法の確立、および具体的なアプリケーションの詳細検討が課題である。

以上のように次世代高度情報社会を実現するための高性能アナログ・デジタル混載集積回路およびその試験の低コスト化技術のいくつかの研究成果を示した。

第1部 剰余系サンプリングによる高周波/アナログ・デジタル混載集積回路の試験技術の研究

第1章 序論

高周波デバイスの試験技術の要素に、高周波の波形の取得がある。

高周波の波形サンプリングは、多くの場合広帯域のサンプリング回路が必要であり、高速なサンプリングクロックによりサンプリングを行う場合、高速なアナログデジタル変換が必要である。しかし、広帯域サンプリング回路は高コストであり、高速なアナログデジタル変換回路も高コストである。

電子計測器のアプリケーションでは、繰り返し波形を多周期に渡りサンプリングすることでサンプリング周波数を低くする等価時間サンプリングなど、サンプリング技術の工夫がなされているが、測定に時間を要する。

1.1 研究目的

高周波狭帯域通信デバイスをはじめとする、アナログ・デジタル・ミクスト回路の量産テスト技術 [1] へ適用する低コストな高周波サンプリング技術を開発することを目的とする。本研究では、高周波サンプリング技術として剰余系サンプリングを提案するとともに、高周波狭帯域通信デバイスのテストに関するアプリケーションの検討を行う。

1.2 第1部の構成

第1部では、高周波/アナログデジタル混載集積回路の試験技術を検討する。第1章では、高周波/アナログデジタル混載集積回路の試験技術の背景および研究の目的について述べる。第2章では、高周波回路の試験で必須となる高速信号のサンプリング技術について、従来手法を中心に概説する。第3章では、剰余系サンプリング技術を提案し、基礎となる理論およびサンプリング回路構成、信号サンプリングのシミュレーション検証について述べ、剰余系サンプリングの周波数分解能およびサンプリング周波数の誤差の影響について議論する。第4章では、剰余系サンプリングを用いた高周波デバイス試験の手法を提案し、いくつかのアプリケーションのシミュレーション検証について述べる。最後に、第5章および第6章において第1部のまとめおよび今後の課題について述べる。

第2章 高速信号サンプリング技術

本章では、高速信号のサンプリング技術について従来手法を中心として、特徴および使用例を述べる。信号のサンプリングは、連続時間の信号を離散時間のサンプルデータにする技術である [2, 3]。

2.1 ナイキストサンプリング

高周波の波形サンプリングには、通常、広帯域で高速なサンプリング回路を要する。これは、信号周波数より十分広い帯域かつ、信号周波数の2倍以上のサンプリング周波数のサンプリング回路によりサンプリングを行う。これをナイキストサンプリングと呼ぶ。エイリアシング現象(折り返し現象)により信号周波数の2倍以上の雑音などが帯域内に折り返されるのを防ぐために、サンプリング回路の前段にローパスフィルタ(LPF)を設ける。このLPFをアンチエイリアスフィルタとも呼ぶ。本手法は、周期性のない単一の現象のサンプリングをすることも可能である。ナイキストサンプリングは回路構成が単純で小型化ができる一方、製造コストが高いため大量生産に向く。従って、民生用途の製品で主に用いられる。

2.2 ダウンサンプリング

ナイキストサンプリングではエイリアシング現象を防止するためにLPFを用いたが、バンドパスフィルタ(BPF)によりサンプリング周波数の1/2未満に帯域を制限することを考える。この際、帯域信号はエイリアシング現象により直流からサンプリング周波数の1/2までの帯域、ベースバンドに折り返される。これをダウンサンプリングと呼ぶ。ダウンサンプリングは、帯域が予め明らかな信号のサンプリングに適しており、狭帯域信号の場合、サンプリング周波数を低くすることが可能である。

2.3 等価時間サンプリング

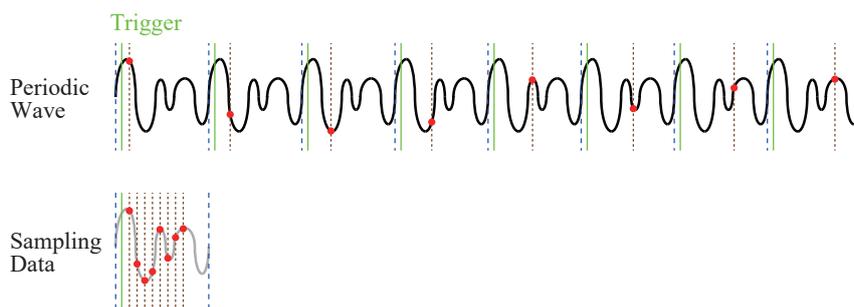
図 1.2.1 に等価時間サンプリングによるサンプリングを示す。等価時間サンプリングは、繰り返し波形を多周期に渡りサンプリングすることで高周波信号のサンプリングを実現する。等価時間サンプリングにより高周波サンプリングに対応したオシロスコープは、特にサンプリングオシロスコープと呼ばれる。

入力信号によりトリガ信号を生成し、ある設定した遅延時間の後に波形をサンプリングする。この遅延時間を順次変化させることで、サンプリング点はトリガから時間推移する。この手法をシーケンシャルサンプリングと呼ぶ。シーケンシャルサンプリングでは、トリガ発生より前の信号を取得することができないため、Pre Trigger 機能の実現が困難である。

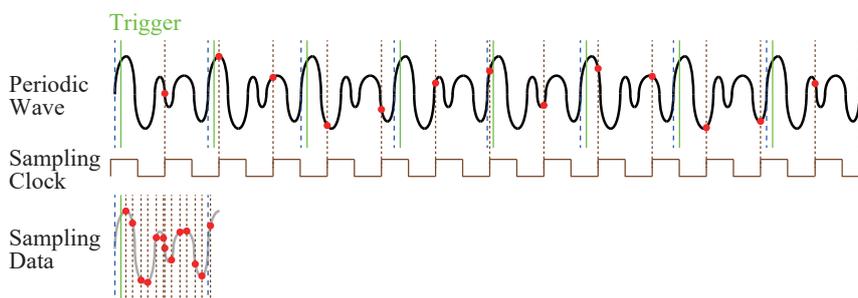
一方、サンプリングクロックを自走させ、トリガ発生直後のサンプリングクロックでサンプリングを行うとともに、トリガとサンプリング点の時間差を補間時間として時間軸のデータとする手法をランダムサンプリングと呼ぶ。ランダムサンプリングでは、トリガ発生より前の信号が取得可能であり、Pre Trigger 機能が実現する。

また、入力信号の周期 $T_{in} = 1/f_{in}$ を予め測定し、サンプリングクロックの周期を $nT_{in} + \Delta T$ としてサンプリングを行う場合、波形1周期の取得には $T_{in}/\Delta T$ 回のサンプリングが必要である。この手法をコヒーレントサンプリングと呼ぶ。

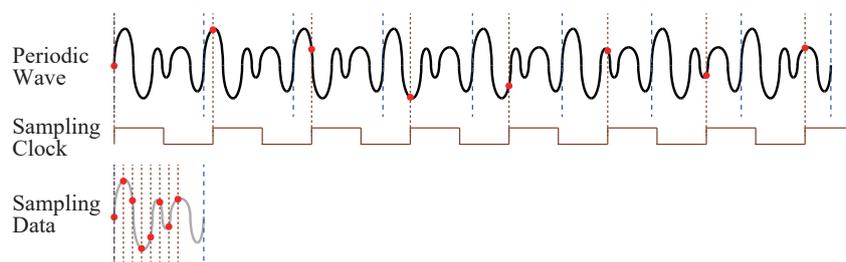
これらの手法は、1周期のデータを得るために複数周期に渡る時間を要する。さらに、サンプリングクロックと入力信号の周期の関係によっては取得されるデータが1周期のうち一部に集中する波形抜けが生じ、サンプリングの時間効率が低下する問題がある。波形抜けを防ぎ、サンプリングの時間効率を向上する手法として、黄金比を用いて取得データの位相をばらつかせる研究が行われている。



(a) シーケンシャルサンプリング



(b) ランダムサンプリング



(c) コヒーレントサンプリング

図 1.2.1 等価時間サンプリングによるサンプリング

2.4 時間インターリーブ

図 1.2.2 に時間インターリーブによるサンプリング回路構成の例を示す。複数のサンプリング回路を並列に複数チャンネル設け、互いに位相の異なるサンプリングクロックによりサンプリングを行う手法を時間インターリーブと呼ぶ。本方式では、 n 個のサンプリング回路を用いた場合、サンプリングクロックを n 倍としてサンプリングを行った場合と等価なデータが得られる。

各チャンネル間でサンプリング回路、ADC の特性にミスマッチがあると全体 ADC での特性が劣化する。また、各サンプリングクロックのスキューはサンプリング結果にはジッタとして現れる。

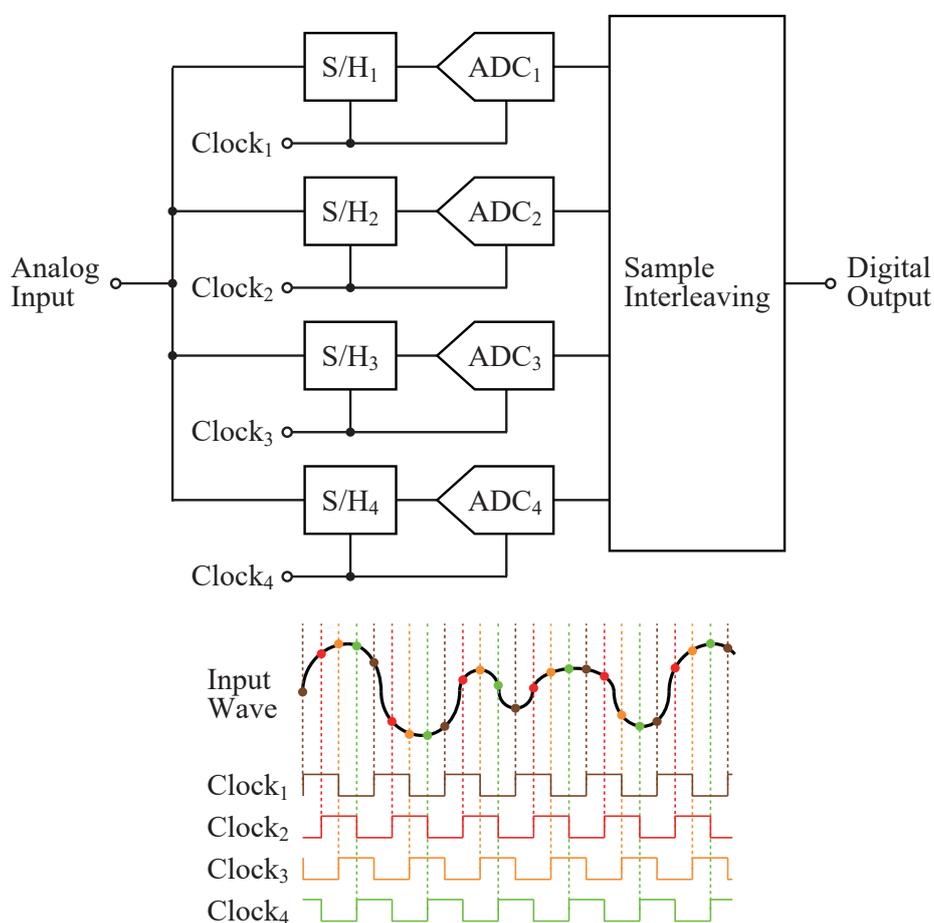


図 1.2.2 時間インターリーブによるサンプリング回路の構成

第3章 剰余系サンプリング

本章では、剰余系サンプリングの基礎となるエイリアシング現象および剰余定理について述べ、剰余系サンプリングを実現する回路およびシステムを提案する。

3.1 エイリアシング現象

図 1.3.1 にエイリアシング現象の例を示す。サンプリングは連続値であるアナログ信号を時間的に離散化する技術である。サンプリング周波数は入力信号周波数の2倍以上である必要があり、これをサンプリング定理という。サンプリング定理を満たさない条件においてサンプリングを行った場合、実際の入力周波数と異なる周波数の信号が再生され、この現象をエイリアシング現象と呼ぶ。エイリアシング現象により生じる「見かけの周波数」は入力信号周波数をサンプリング周波数で除した剰余および、その負の周波数と一致する。

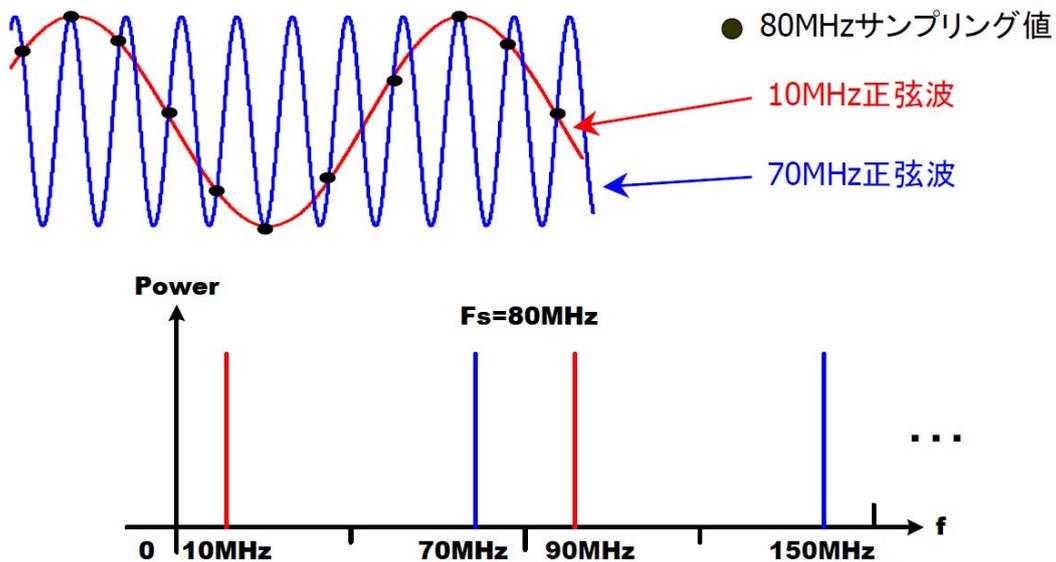


図 1.3.1 エイリアシング現象

サンプリング周波数が f_s 、入力信号周波数 f_{in} をサンプリング周波数で除した剰余が f_r および $f_s - f_r$ の場合、すなわち、

$$f_{in} = n f_s \pm f_r \quad (n \text{ は整数}) \quad (1.3.1)$$

の場合、サンプリングデータは区別できない。

3.2 剰余定理

整数の除数 n による除算をする際、商 y は整数のみを取るとする。このとき、被除数 x としてすべての整数を表現するために、 $-y > z > y$ である数 z を用いる。

$$x = ny + z \quad (1.3.2)$$

(1.3.2) 式における z を剰余という。

剰余定理は、未知の数を既知の数で除した剰余の組から推定する定理である [4]。中国の算術書の孫子算経に記述されていることから、中国の剰余定理とも呼ばれる。孫子算経では、3で除した剰余が2、5で除した剰余が3、7で除した剰余が2である数を問い、その答えは23である。このときの除数3、5、7は互いに素な値な数である。

ある数 k を互いに素な数 a, b, c で除した剰余 $r_a = \text{mod}_a(k)$, $r_b = \text{mod}_b(k)$, $r_c = \text{mod}_c(k)$ の組は、 $0 \leq k < a \cdot b \cdot c$ で一意である。除数の組を多くすることで、一意に定まる未知の数 k の値も増大する。剰余定理を用いることで大きな未知の数を、小さな除数および商の組み合わせから推知することが可能である。

3.3 RC ポリフェーズフィルタ

アナログ複素フィルタである RC ポリフェーズフィルタは 無線通信トランシーバのアナログフロントエンドに用いられる [5]。RC ポリフェーズフィルタは、アナログ複素ヒルベルトフィルタの近似であり、単一の入力信号から同相信号 I および直交信号 Q の生成およびイメージ除去が可能である。図 1.3.2 に RC ポリフェーズフィルタ 1 段の回路構成を示す。RC ポリフェーズフィルタは 4 つの抵抗および 4 つのキャパシタから構成されたパッシブフィルタであり、入力、出力ともに差動複素信号である。4 つの入力端子 I_{in+} , I_{in-} , Q_{in+} , Q_{in-} および 4 つの出力端子 I_{out+} , I_{out-} , Q_{out+} , Q_{out-} があり、それぞれ、

$$\begin{aligned} I_{in} &= I_{in+} - I_{in-} \\ Q_{in} &= Q_{in+} - Q_{in-} \\ I_{out} &= I_{out+} - I_{out-} \\ Q_{out} &= Q_{out+} - Q_{out-} \end{aligned} \quad (1.3.3)$$

である。実部だけの信号を入力する場合には、 I_{in} のみを用いる。

I 信号および Q 信号の生成は、無線通信における直交変調や直交検波など 90° 位相が異なる信号が必要なアプリケーションに用いられる。イメージ除去は、入力した複素信号に負の周波数成分が存在する場合、出力の複素信号は正の周波数成分のみとなり、負の周波数が除去されることである。

図 1.3.3 に RC ポリフェーズフィルタのゲイン特性および位相特性を示す。位相特性は、デジタル信号処理におけるヒルベルトフィルタと同じである。多段にカスケード接続して高次とした場合、ゲイン特性もヒルベルトフィルタに近似可能となる。RC ポリフェーズフィルタに用いられる抵抗およびキャパシタの素子値に相対誤差が生じた場合、直交性に誤差が生じる [6]。

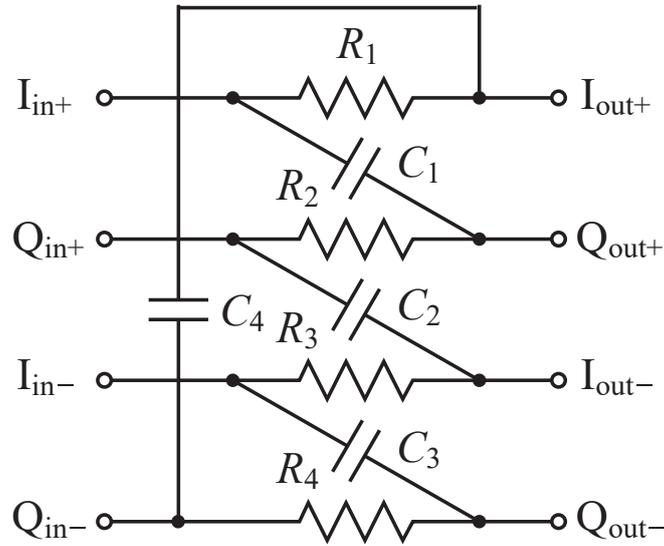
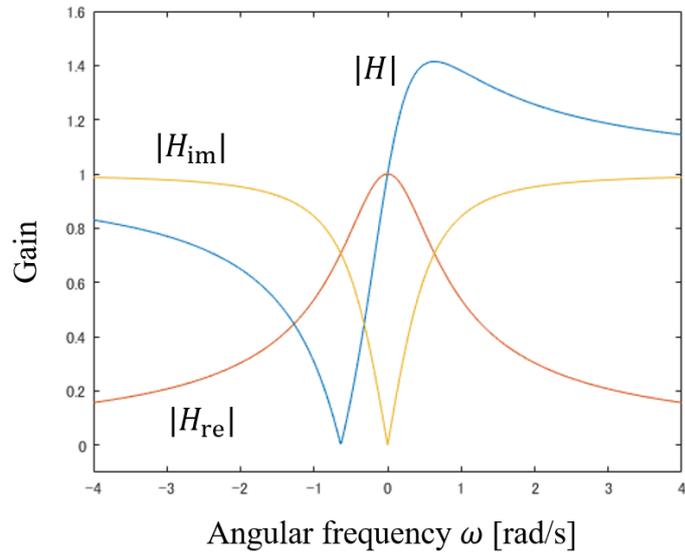
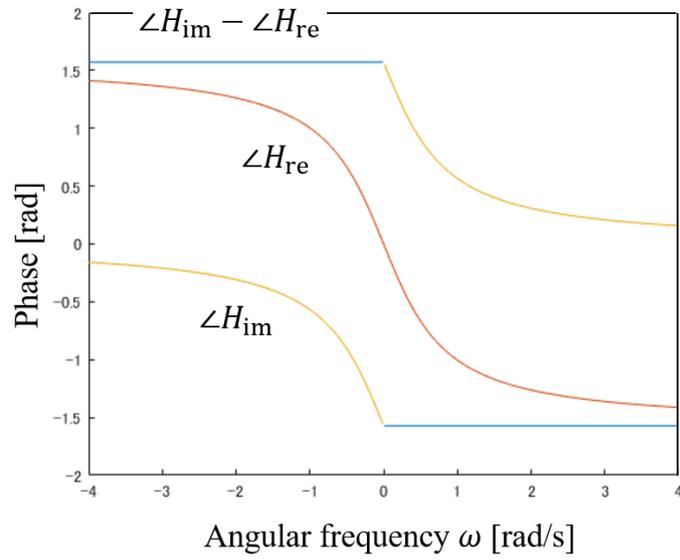


図 1.3.2 RC ポリフェーズフィルタ 1 段の回路構成

サンプリングにより得られる離散信号は正負の周波数成分が発生し、サンプリングの後に区別することができない。従って、本研究で提案する剰余系サンプリングでは、サンプリング回路の前段に RC ポリフェーズフィルタを設け、複素 FFT と組み合わせることで、正の周波数成分のみがサンプリングデータの周波数スペクトラムに現れるようにした。



(a) ゲイン特性



(b) 位相特性

図 1.3.3 RC ポリフェーズフィルタの特性

3.4 剰余系サンプリング回路

本研究で提案した剰余系サンプリング回路を図 1.3.4 に示す [7]。入力信号は最初に RC ポリフェーズフィルタを通過し、位相が互いに 90° 異なる複素信号 I および Q に変換される。複素信号 I, Q は複数のサンプリング回路によりサンプリングされる。これらのサンプリング回路は互いに素な周波数のサンプリングクロックにより駆動される。サンプリング回路から出力された離散データを複素 FFT することで、剰余周波数が得られる。各サンプリング回路および複素 FFT により得られた剰余周波数は、入力信号の周波数をサンプリング周波数で除した剰余と一致する。入力信号周波数は剰余周波数の組から剰余定理により推定される。

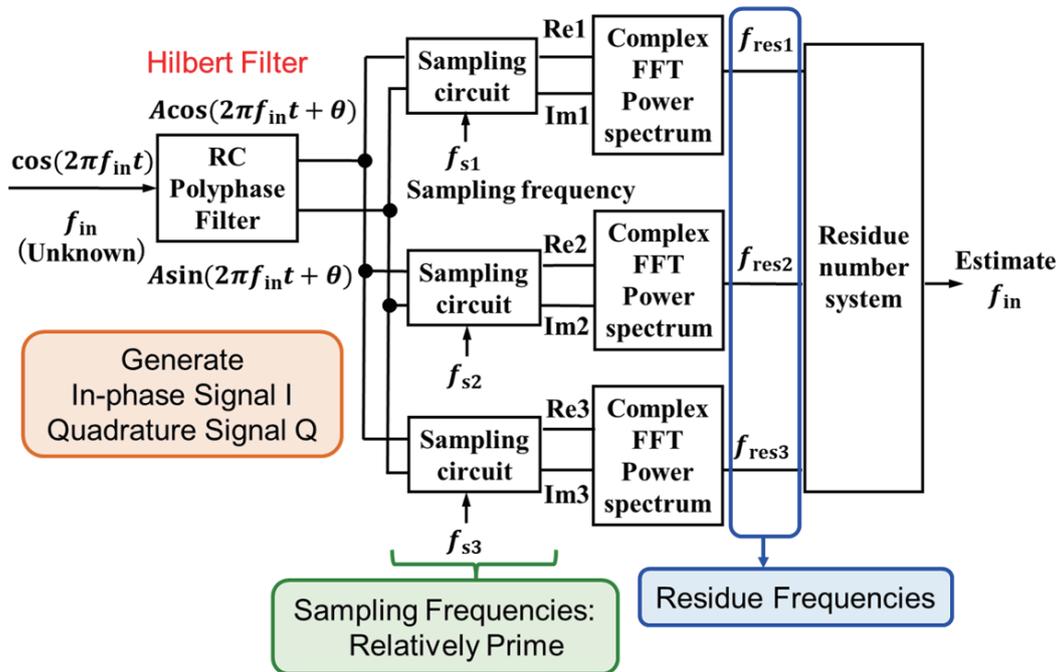


図 1.3.4 剰余系サンプリング回路

剰余系サンプリングに用いられる RC ポリフェーズフィルタはチップ面積が大きく、また複数のサンプリング回路、ADC が必要であり、この観点からは高コストである。しかし、サンプリング周波数を低くすることにより、アナログデジタル変換を低コストに行うことが可能であり、全体の高精度波形取得システムは低コスト化が図れると考える。ダウンサンプリングでは、サンプリング回路前段の BPF により入力周波数の帯域を特定可能としているが、本手法では波形取得後に剰余定理を用いた信号処理により入力周波数の帯域を保障する。したがって、広帯域回路に可変部を設ける必要がない。また、等価時間サンプリングはサンプリング回路の個数 n の場合、入力周波数帯域はサンプリング周波数の n 倍に留まるが、剰余系サンプリングではサンプリング周波数を互いに素とすれば、入力周波数帯域はサンプリ

グ周波数の n 乗とすることが可能であり、同数のサンプリング回路でより低いサンプリングクロックが使用可能である。

3.5 剰余系サンプリングによる周波数推定

剰余系サンプリングを用いて、高周波の信号を低いサンプリング周波数でサンプリングし元の周波数を推定する例を示す。未知の入力周波数 12 GHz がある。これをサンプリング周波数 229 kHz, 233 kHz, 239 kHz でサンプリングする。これらのサンプリング周波数は入力信号と比較して十分低い。各サンプリングにより 171 kHz, 34 kHz, 49 kHz の剰余周波数が得られ、一意に対応する 12 GHz が推定される。

推定可能な周波数の上限は、229000 Hz, 233000 Hz, 239000 Hz の最小公倍数 53.357 GHz である。サンプリング周波数の最大公約数が 1 kHz のため、推定可能な周波数の上限はサンプリング周波数の積とならず、最大公約数となる。

入力信号周波数を剰余周波数から推定する手法は、サンプリング周波数の最大公約数、すなわちサンプリング周波数が 229 kHz, 233 kHz, 239 kHz の場合、1 kHz 刻みで表した剰余周波数のテーブルを予め用意し照合する、または、互除法を用いる。

3.6 周波数分解能の向上

高周波狭帯域デバイスのテストでは、高い周波数分解能を要する場合がある。多くの場合、FFT の周波数分解能は帯域 f_w 、サンプリングポイント数が k の場合、 $\Delta f = f_w/k$ である。特に、ナイキストサンプリングのサンプリングデータを FFT した場合の周波数分解能は、サンプリング周波数 f_s のとき、 $\Delta f = f_s/k$ である。したがって、サンプリングポイント数 k が増加することで周波数分解能が向上する。

剰余系サンプリングの場合でも、サンプリングポイント数を増加させることで周波数分解能の向上が可能であり、サンプリング周波数の最大公約数の値に関わらない。

3.7 サンプリング周波数誤差の影響

サンプリング周波数 f_s に誤差が生じた場合の、入力周波数推定値への影響および誤差の許容について議論する。サンプリング周波数 f_s に誤差が生じた場合、これが剰余周波数 f_r にも影響を与え、その結果、入力周波数推定値に誤差が生じると考えられる。

まず、サンプリング周波数 f_s の誤差が剰余周波数 f_r に与える影響を考える。例として、入力周波数 $f_{in} = 981$ MHz, サンプリング周波数 $f_s = 30$ MHz として、サンプリング周波数の相対誤差 $\Delta f_s/f_s$ を 0%, 0.001%, 0.01%, 0.1%, 1% に変化させた場合の剰余周波数 f_r を比較する。表 1.3.1 にサンプリング周波数の相対誤差に対する剰余周波数の誤差を示す。剰余周波数の絶対誤差 Δf_r は、入力周波数 $f_{in} = 981$ MHz, サンプリング周波数に誤差がない場合の剰余周波数 $f_r = 21$ MHz およびサンプリング周波数の相対誤差 $\Delta f_s/f_s$ からなる次式の関係と一致する。

$$\Delta f_r = \frac{\Delta f_s}{f_s} (981 - 21) \quad (1.3.4)$$

表 1.3.1 サンプルング周波数誤差の影響

相対誤差 $\Delta f_s / f_s$ [%]	サンプルング周波数 f_s [MHz]	剰余周波数 f_r [MHz]	剰余周波数誤差 Δf_r [MHz]
0	30	21	0
0.001	30.0003	20.9904	0.0096
0.01	30.003	20.9040	0.096
0.1	30.03	20.0400	0.96
1	30.3	11.4000	9.6

剰余周波数の範囲は $0 \leq f_r < f_s$ であり、入力周波数の最大値を f_{inmax} とすると、剰余周波数の絶対誤差 Δf_r は最大で次式となる。

$$\Delta f_{rmax} = \frac{\Delta f_s}{f_s} f_{inmax} \quad (1.3.5)$$

次に、入力周波数推定値に影響を与えない剰余周波数誤差の許容値を考える。入力周波数 $f_{in} = 981$ MHz として、サンプルング周波数 $f_{s1} = 30$ MHz, $f_{s2} = 50$ MHz, $f_{s3} = 70$ MHz でサンプルングした場合を考える。サンプルング周波数の最大公約数は 10 MHz である。サンプルング周波数に誤差がない場合の剰余周波数は、それぞれ $f_{r1} = 21$ MHz, $f_{r2} = 31$ MHz, $f_{r3} = 1$ MHz である。

各剰余周波数 f_{rn} を次式によりサンプルング周波数の最大公約数すなわち 10 MHz 未満を切り捨てた f_{rsn} と、各剰余周波数をサンプルング周波数の最大公約数で除した剰余 f_{rdn} に分割する。

$$f_{rn} = f_{rsn} + f_{rdn}, \quad (0 \leq f_{rsn} < f_{sn} \text{ MHz}, \quad 0 \leq f_{rdn} < 9 \text{ MHz}) \quad (1.3.6)$$

分割して表示した各剰余周波数は、それぞれ $f_{rs1} = 20$ MHz, $f_{rs2} = 30$ MHz, $f_{rs3} = 0$ MHz, $f_{rd1} = f_{rd2} = f_{rd3} = 1$ MHz である。

f_{rs1} , f_{rs2} , f_{rs3} の組に対応する入力周波数推定値は 980 MHz であり、 $f_{rd1} = f_{rd2} = f_{rd3} = 1$ MHz との和から入力周波数は 981 MHz と推定できる。

f_{rs1} , f_{rs2} , f_{rs3} の取りうる値はサンプルング周波数の最大公約数である 10 MHz 刻みである。剰余周波数の誤差により、例えば、 $f_{rs1} = 10$ MHz, $f_{rs2} = 30$ MHz, $f_{rs3} = 0$ MHz となった場合、入力周波数推定値は 280 MHz となり大きな周波数推定誤差が生じる。

一方、 f_{rdn} に誤差が生じて、 $f_{rd1} = 0$ MHz, $f_{rd2} = f_{rd3} = 1$ MHz となった場合、 f_{rd1} , f_{rd2} , f_{rd3} の値を算術平均は 0.67 MHz であり、 f_{rs1} , f_{rs2} , f_{rs3} の組に対応する入力周波数推定値 980 MHz との和から、980.67 MHz と推定され、推定誤差は軽微である。

ただし、 f_{rdn} が 9 MHz と 0 MHz の間で変化する場合は、 f_{rsn} が 10 MHz 変化するため、補正が必要である。例えば、 f_{r1} が 2 MHz 減少し、 $f_{r1} = 19$ MHz となった場合、 $f_{rs1} = 10$ MHz, $f_{rd1} = 9$ MHz となる。しかし、 $f_{rd1} = 9$ MHz と $f_{rd2} = f_{rd3} = 1$ MHz は 8 MHz の差があるため、 f_{rd1} , f_{rd2} , f_{rd3} の最大値と f_{rd1} , f_{rd2} , f_{rd3} の差を計算し、差が 5 MHz 未満の f_{rdn} が 9 MHz と 0 MHz の間で変化したと判定が可能である。 f_{rdn} が 9 MHz と 0 MHz の間で変化した場合は、 f_{rdn} を 10 MHz 減じるとともに、 f_{rsn} を 10 MHz 増加することで、 $f_{rs1} = 20$ MHz,

$f_{rs2} = 30 \text{ MHz}$, $f_{rs3} = 0 \text{ MHz}$, $f_{rd1} = -1 \text{ MHz}$ と $f_{rd2} = f_{rd3} = 1 \text{ MHz}$ の算術平均は 0.33 MHz となり対応する入力周波数推定値 980.33 MHz に補正が可能である。

以上の議論から、剰余周波数 f_r に 1 MHz 程度の誤差がある場合は、入力周波数推定値の補正が可能であり、サンプリング周波数の相対誤差 $\Delta f_s / f_s$ と剰余周波数 f_r の誤差の関係から、以下の条件でサンプリング周波数の誤差が入力周波数推定値に影響しない。

$$\frac{\Delta f_s}{f_s} < \pm \frac{\text{GCD}(f_{s1}, f_{s2}, f_{s3})}{10 f_{\text{inmax}}} \quad (1.3.7)$$

ここで、 $\text{GCD}(f_{s1}, f_{s2}, f_{s3})$ は各サンプリング周波数の最大公約数である 10 MHz である。

第4章 剰余系サンプリングによる高周波デバイス試験

4.1 2トーン試験

通信用途の高周波狭帯域デバイスでは、高調波の周波数が通信帯域外となることがしばしば存在する。このような場合、単一周波数による試験により周波数歪の特性を得ることは難しい。そこで、DUTに2トーン信号を印加して、DUTの出力信号のスペクトラムに現れる相互変調により周波数歪の試験を行う。これを2トーン試験と呼ぶ[8, 9]。さらに、試験信号のトーンを3つ以上としたものはマルチトーンと呼ばれる[10, 11, 12, 13, 14, 15, 16, 17, 18, 19]。

剰余系サンプリングによる2トーン試験のアプリケーションの検討を行う[8, 9]。本検討では、3次歪を有する非線形のモデルに2トーン信号を印加した場合についてMatlabを用いたシミュレーションを行い、剰余系サンプリングを用いることで低サンプリング周波数の場合においても2トーン試験が可能であることを検証する。シミュレーション検討では、既知の2トーン信号を非線形モデルに印加した場合の高調波(HD)および相互変調歪(IMD)の周波数およびパワースペクトラムを理論計算するとともに、このHDおよびIMDに対応する剰余周波数のパワーと比較する。

2トーン信号 $x(t)$ は次式とした。

$$\begin{aligned}x(t) &= A \cos(2\pi f_1 t) + B \cos(2\pi f_2 t) \\f_1 &= 70 \text{ MHz}, \quad f_2 = 60 \text{ MHz}, \quad A = 1.0, \quad B = 0.5\end{aligned}\tag{1.4.1}$$

一般に2トーン信号の振幅は同一値とするが、本検討では、2つのスペクトラムの区別を容易とするため異なる値を用いた。3次歪を有する非線形のシステムの入力 $x(t)$ は次式とした。

$$\begin{aligned}y(t) &= Kx(t) + Lx(t)^3 \\K &= 1.0, \quad L = -0.01\end{aligned}\tag{1.4.2}$$

シミュレーションの手法について述べる。まず、(1.4.2)式により生成した3次歪をもつ非線形のシステムの入力 $x(t)$ の剰余系サンプリングのシミュレーションを行う。HD、IMDの周波数とその剰余周波数およびHD、IMDのパワーの理論値を事前に計算し、シミュレーションにより得られた剰余周波数スペクトラムにおける剰余周波数に対するパワーとHD、IMDのパワーの理論値を比較し、剰余系サンプリングにより得られたパワースペクトラムがHDおよびIMDの理論値と一致することを確認する。

剰余系サンプリングは5つのサンプリング回路で行うことを想定する。各、サンプリング周波数は $f_{s1} = 17 \text{ MHz}$, $f_{s2} = 19 \text{ MHz}$, $f_{s3} = 23 \text{ MHz}$, $f_{s4} = 29 \text{ MHz}$, $f_{s5} = 31 \text{ MHz}$ とした。

図1.4.1, 図1.4.2, 図1.4.3, 図1.4.4および図1.4.5に剰余系サンプリングにより得られた出力 $y(t)$ のパワースペクトラム, 表1.4.1, 表1.4.2, 表1.4.3, 表1.4.4および表1.4.5にシミュレーション結果をそれぞれ示す。

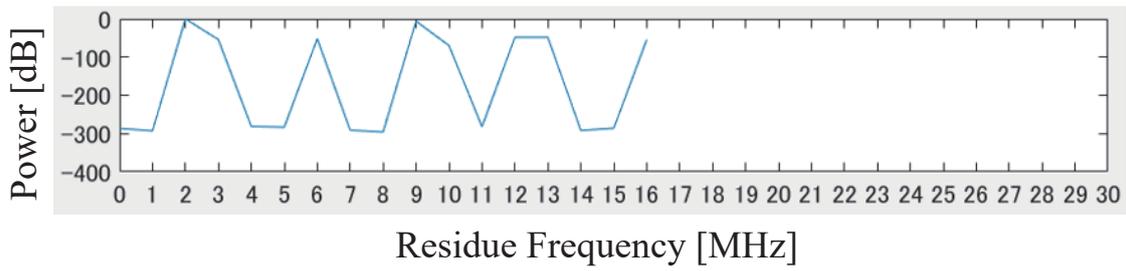


図 1.4.1 剰余系サンプリングにより得られた 2 トーン試験のパワースペクトラム ($f_{s1} = 17$ MHz)

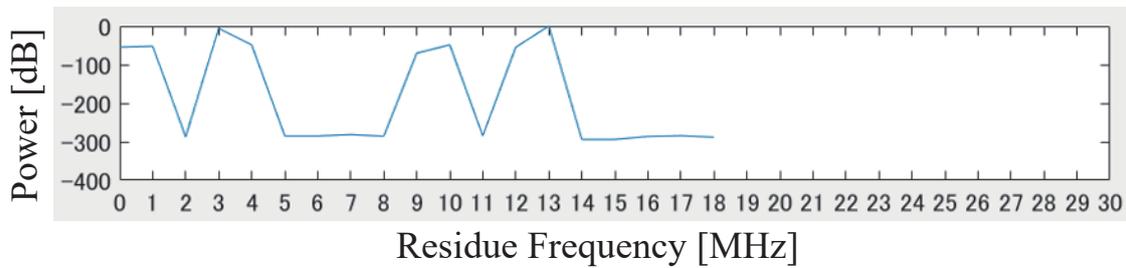


図 1.4.2 剰余系サンプリングにより得られた 2 トーン試験のパワースペクトラム ($f_{s2} = 19$ MHz)

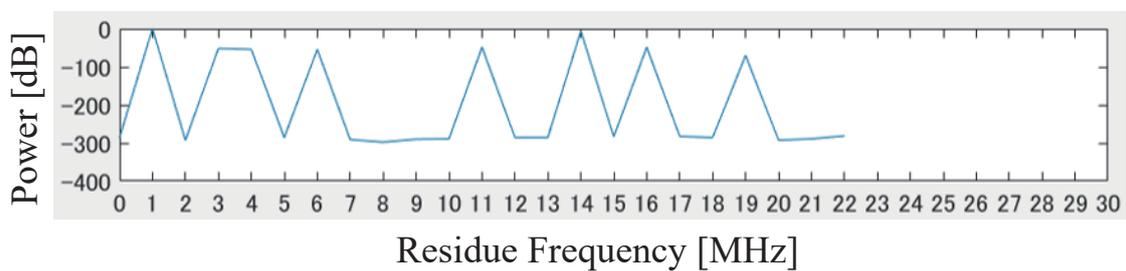


図 1.4.3 剰余系サンプリングにより得られた 2 トーン試験のパワースペクトラム ($f_{s3} = 23$ MHz)

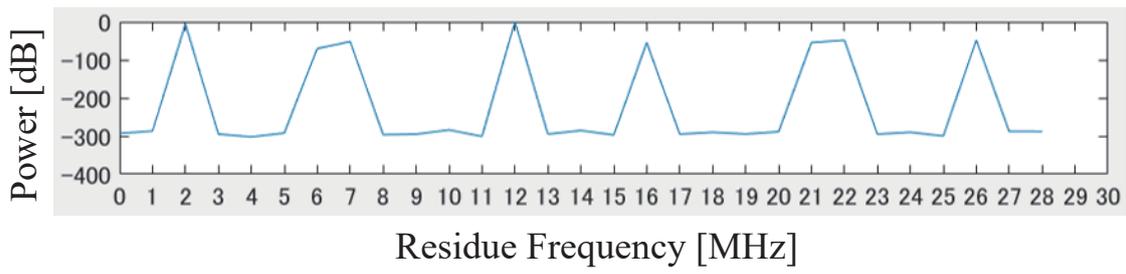


図 1.4.4 剰余系サンプリングにより得られた 2 トーン試験のパワースペクトラム ($f_{s4} = 29 \text{ MHz}$)

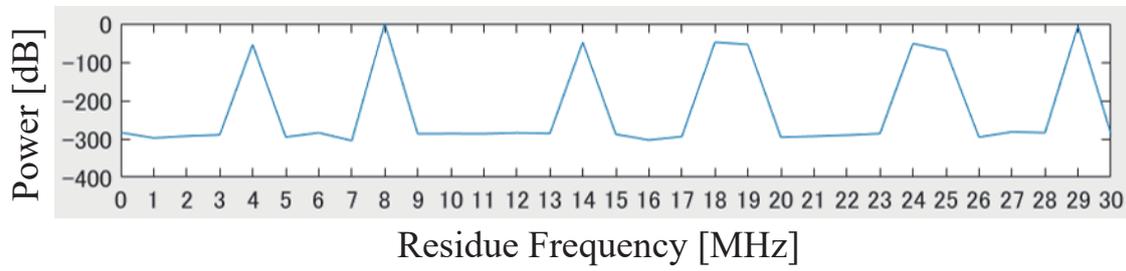


図 1.4.5 剰余系サンプリングにより得られた 2 トーン試験のパワースペクトラム ($f_{s5} = 31 \text{ MHz}$)

表 1.4.1 シミュレーション結果 ($f_{s1} = 17 \text{ MHz}$)

理論値			シミュレーション結果	
	周波数 [MHz]	パワー [dBc]	剰余周波数 [MHz]	パワー [dBc]
f_1	70	0.00	2	0.00
f_2	60	-6.07	9	-6.07
$3f_1$	210	-51.9	6	-51.9
$3f_2$	180	-70.0	10	-70.0
$2f_1 - f_2$	80	-48.4	12	-48.4
$2f_2 - f_1$	50	-54.4	16	-54.4
$2f_1 + f_2$	200	-48.4	13	-48.4
$2f_2 + f_1$	190	-54.4	3	-54.4

表 1.4.2 シミュレーション結果 ($f_{s2} = 19 \text{ MHz}$)

理論値			シミュレーション結果	
	周波数 [MHz]	パワー [dBc]	剰余周波数 [MHz]	パワー [dBc]
f_1	70	0.00	13	0.00
f_2	60	-6.07	3	-6.07
$3f_1$	210	-51.9	1	-51.9
$3f_2$	180	-70.0	9	-70.0
$2f_1 - f_2$	80	-48.4	4	-48.4
$2f_2 - f_1$	50	-54.4	12	-54.4
$2f_1 + f_2$	200	-48.4	10	-48.4
$2f_2 + f_1$	190	-54.4	0	-54.4

表 1.4.3 シミュレーション結果 ($f_{s3} = 23 \text{ MHz}$)

理論値			シミュレーション結果	
	周波数 [MHz]	パワー [dBc]	剰余周波数 [MHz]	パワー [dBc]
f_1	70	0.00	1	0.00
f_2	60	-6.07	14	-6.07
$3f_1$	210	-51.9	3	-51.9
$3f_2$	180	-70.0	19	-70.0
$2f_1 - f_2$	80	-48.4	11	-48.4
$2f_2 - f_1$	50	-54.4	4	-54.4
$2f_1 + f_2$	200	-48.4	16	-48.4
$2f_2 + f_1$	190	-54.4	6	-54.4

表 1.4.4 シミュレーション結果 ($f_{s4} = 29 \text{ MHz}$)

理論値			シミュレーション結果	
	周波数 [MHz]	パワー [dBc]	剰余周波数 [MHz]	パワー [dBc]
f_1	70	0.00	12	0.00
f_2	60	-6.07	2	-6.07
$3f_1$	210	-51.9	7	-51.9
$3f_2$	180	-70.0	6	-70.0
$2f_1 - f_2$	80	-48.4	22	-48.4
$2f_2 - f_1$	50	-54.4	21	-54.4
$2f_1 + f_2$	200	-48.4	26	-48.4
$2f_2 + f_1$	190	-54.4	16	-54.4

表 1.4.5 シミュレーション結果 ($f_{s5} = 31 \text{ MHz}$)

理論値	シミュレーション結果			
	周波数 [MHz]	パワー [dBc]	剰余周波数 [MHz]	パワー [dBc]
f_1	70	0.00	8	0.00
f_2	60	-6.07	29	-6.07
$3f_1$	210	-51.9	24	-51.9
$3f_2$	180	-70.0	25	-70.0
$2f_1 - f_2$	80	-48.4	18	-48.4
$2f_2 - f_1$	50	-54.4	19	-54.4
$2f_1 + f_2$	200	-48.4	14	-48.4
$2f_2 + f_1$	190	-54.4	4	-54.4

シミュレーションの結果、理論計算により求めた各 HD, IMD のパワーと剰余周波数スペクトラムのパワー一致した。本シミュレーションでは、HD および IMD のスペクトラムに重なりが生じなかった。2 トーン試験では、スペクトラムの本数が少ないため、サンプリング回路の個数を増やして、スペクトラムに重なりが発生しないサンプリングデータを用いる冗長構成により対応が可能であると考えられる。

4.2 高周波狭帯域通信デバイス試験

高周波狭帯域通信の一例として、Bluetoothの周波数ホッピング回路の試験アプリケーションを検討した [20]。Bluetoothは、2.4 GHz帯を1 MHzの間隔で79チャンネルに分割して使用し、1 MbpsのGFSK (Gaussian Frequency Shift Keying) 信号を2.402 GHz~2.480 GHzの帯域幅でホッピングする。本検討によるホッピング試験 [21] では、2.4 GHzより十分低い数 MHz~数十 MHzのサンプリング周波数により剰余系サンプリングを行い、キャリア周波数を検出して正常なチャンネルに対応するかを試験する。Matlabによるシミュレーションによりキャリア周波数の検出が可能であることを検証した。

図 1.4.6 および図 1.4.7 に Bluetooth basic rate (BR) を模した、中心周波数 2.405 GHz の Gaussian filtered PRBS-9 の時間波形および周波数スペクトラムを示す。この Gaussian filtered PRBS-9 は Bandwidth-Time product (BT) を 0.5, Modulation index は 0.3 とした。

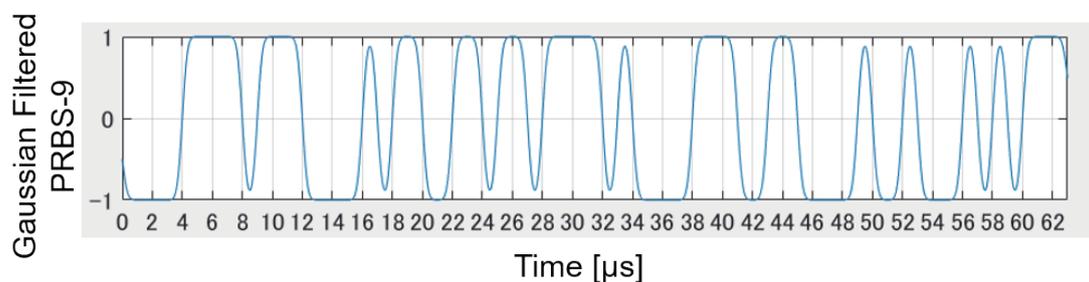


図 1.4.6 Bluetooth BR 模擬信号の時間波形

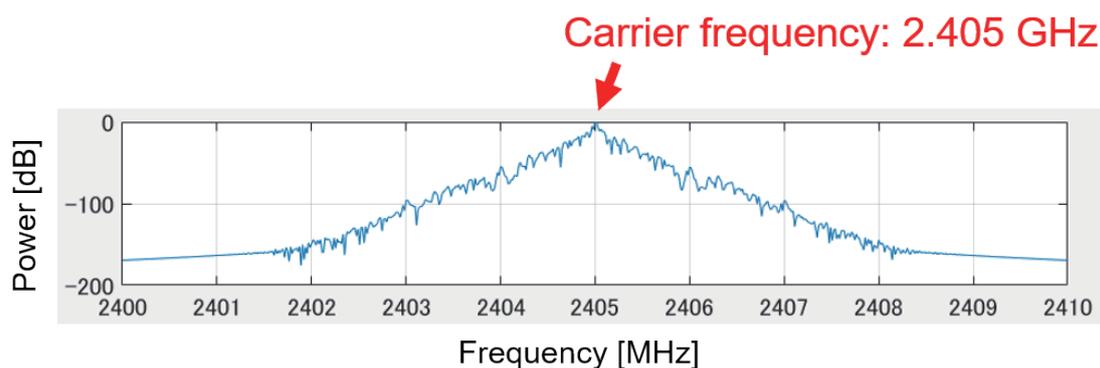


図 1.4.7 Bluetooth BR 模擬信号の周波数スペクトラム

図 1.4.8, 図 1.4.9, 図 1.4.10 および図 1.4.11 に剰余系サンプリングにより得られたパワースペクトラム, 表 1.4.6 に各パワースペクトラムのピーク周波数と剰余テーブルの比較をそれぞれ示す.

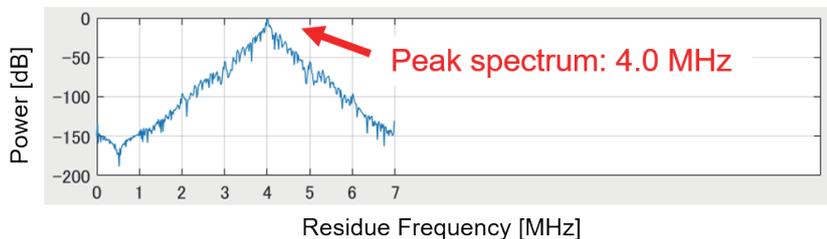


図 1.4.8 剰余系サンプリングにより得られた Bluetooth BR 模擬信号のパワースペクトラム ($f_{s1} = 7$ MHz)

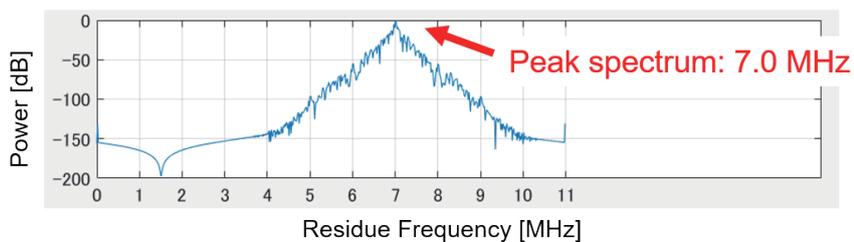


図 1.4.9 剰余系サンプリングにより得られた Bluetooth BR 模擬信号のパワースペクトラム ($f_{s2} = 11$ MHz)

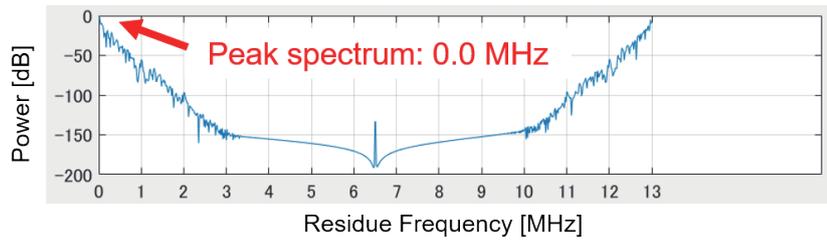


図 1.4.10 剰余系サンプリングにより得られた Bluetooth BR 模擬信号のパワースペクトラム ($f_{s3} = 137 \text{ MHz}$)

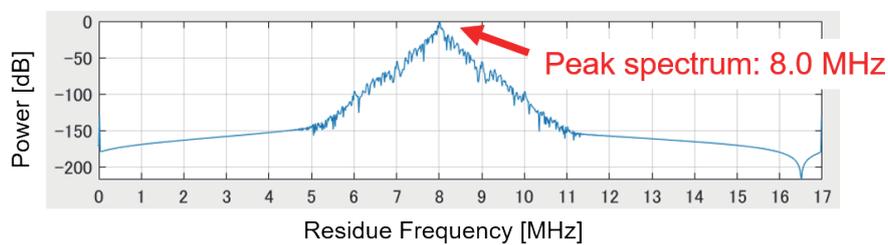


図 1.4.11 剰余系サンプリングにより得られた Bluetooth BR 模擬信号のパワースペクトラム ($f_{s4} = 17 \text{ MHz}$)

表 1.4.6 シミュレーション結果

理論値		シミュレーション結果
サンプリング周波数 f_s [MHz]	剰余周波数 $\text{mod}_{f_s}(2405)$ [MHz]	ピーク周波数 [MHz]
$f_{s1} = 7$	4	4.0
$f_{s2} = 11$	7	7.0
$f_{s3} = 13$	0	0.0
$f_{s4} = 17$	8	8.0

表 1.4.6 より、理論的な剰余周波数と各剰余系サンプリングの剰余周波数スペクトラムのピーク周波数が一致することが確認された。Bluetooth 等の高周波広帯域通信では、同時に使用する帯域が狭いため帯域信号の場合であってもスペクトラムの重なりが発生しない。ホッピング試験では、正しいチャンネルで通信が行われていることを確認するため、スペクトラムの重なりが発生しない場合にサンプリングが可能な剰余系サンプリングは有効な試験手法であると考えられる。

第5章 考察

本研究で提案した剰余系サンプリングは、高周波信号を複数の低サンプリング周波数によりサンプリングする。本研究で示したシミュレーションは、シングルトーンの正弦波や狭帯域通信の試験など、同時に使用される帯域はサンプリング周波数より狭い場合、また、2トーン試験では、基本波、3次高調波および相互変調歪の帯域はサンプリング周波数より広いが、剰余周波数スペクトラムに重なりが生じない場合で行った。したがって、スペクトラムの本数が少なくスペクトラムに重なりが生じないサンプリング回路のみ使用する冗長構成が可能な2トーン試験や、同時に使用する帯域がサンプリング周波数より狭い狭帯域通信が高周波デバイス試験の有効なアプリケーションであると考えられる。今後、多くのサンプリング回路の出力スペクトラムに重なりが生じる、広帯域のマルチトーン試験や高周波広帯域通信のアプリケーションを検討し、剰余周波数スペクトラムの重なり補正や冗長化可能なサンプリング周波数の選択の条件を明らかにしたい。

剰余系サンプリングを実装する際には、RCポリフェーズフィルタやサンプリング回路の誤差が特性に影響すると考えられる。また、本研究では固定した値におけるサンプリング周波数の誤差の影響およびその許容値を議論した。回路の誤差およびサンプリングクロックのジッタの影響、剰余系アルゴリズムの実装手法などの回路実装時の課題を検討したい。

第6章 まとめ

本研究では、低コストな高周波/アナログデジタル混載集積回路の試験技術の検討を行った。

高周波サンプリングを低コストに行う手法として剰余系サンプリングを提案した。剰余系サンプリングは高周波信号を複数の低サンプリング周波数によりサンプリングする。サンプリングにより発生するエイリアシング現象と剰余定理を用いて、元の高周波信号の周波数を推定可能であることを確認した。また、剰余系サンプリング結果のFFTスペクトラムの周波数分解能がサンプリングポイント数を増加させることで向上可能であることを示し、サンプリング周波数の誤差が周波数推定値に与える影響およびサンプリング周波数誤差の許容値を示した。

さらに、剰余系サンプリングを用いた高周波デバイス試験の手法を提案し、2トーン試験および高周波狭帯域通信デバイス試験をアプリケーションとしてシミュレーション検証を行った。

参考文献

- [1] G. W. Roberts, F. Taenzler, M. Burns; “An Introduction to Mixed-Signal IC Test and Measurement”, Oxford Press (2011).
- [2] Y. Sasaki, Y. Zhao, A. Kuwana, H. Kobayashi; “Highly Efficient Waveform Acquisition Condition in Equivalent-Time Sampling System”, IEEE Asian Test Symposium, Hefei, Anhui, China (Oct. 2018).

- [3] M. Kimura, A. Minegishi, K. Kobayashi, H. Kobayashi; “A New Coherent Sampling System with a Triggered Time Interpolation”, *IEICE Trans. on Fundamentals*, Vol. E84-A, No. 3, pp.713-719 (Mar. 2001).
- [4] M. Leonard Eugene Dickson; “History of the Theory of Numbers”, Vol. 2, *Diophantine Analysis*, Dover (2005).
- [5] Y. Tamura, R. Sekiyama, K. Asami, H. Kobayashi; “RC Polyphase Filter As Complex Analog Hilbert Filter”, *IEEE International Conference on Solid-State and Integrated Circuit Technology*, Hangzhou, China (Oct. 2016).
- [6] 浅見 幸司, 串田 弥音, 八田 朱実, チャンミンチー, 田村 善郎, 桑名 杏奈, 小林 春夫; “多段 R ポリフェーズフィルタの解析・評価法”, 2019 年度 第 10 回 電気学会東京支部 栃木・群馬支所 合同研究発表会 (2020 年 3 月).
- [7] Y. Abe, S. Katayama, C. Li, A. Kuwana, H. Kobayashi; “Frequency Estimation Sampling Circuit Using Analog Hilbert Filter and Residue Number System”, *13th IEEE International Conference on ASIC*, Chongqing, China (Oct. 2019).
- [8] T. Yanagida, S. Shibuya, K. Machida, K. Asami, H. Kobayashi; “Low-Distortion One-Tone and Two-Tone Signal Generation Using AWG over Full Nyquist Region”, *IEEE International Test Conference in Asia*, Harbin, China (Aug. 2018).
- [9] P. Wambacq, W. M. C. Sansen; “Distortion Analysis of Analog Integrated Circuits”, Springer (1998).
- [10] K. Kato, F. Abe, K. Wakabayashi, C. Gao, T. Yamada, H. Kobayashi, O. Kobayashi, K. Niitsu; “Two-Tone Signal Generation for ADC Testing”, *IEICE Trans. Electronics*, Vol. E96-C, No. 6, pp. 850-858, (2013). (DOI: 10.1587/transele.E96.C.850).
- [11] J. Schoukens, R. Pintelon, E. van der Ouderaa, J. Renneboog; “Survey of Excitation Signals for FFT-based Signal Analyzers”, *IEEE Trans. Instrumentation and Measurement*, Vol. 37, No. 3, pp. 342-352, (1988). (DOI: 10.1109/19.7453).
- [12] K. Bhatheja, S. Chaganti, D. Chen, X. R. Jin, C. C. Dao, J. Ren, A. Kumar, D. Correa, M. Lehmann, T. Rodriguez, E. Kingham, J. R. Knight, A. Dobbin, S. W. Herrin, D. Garrity; “Low Cost High Accuracy Stimulus Generator for On-chip Spectral Testing”, *ITC* (2022).
- [13] M. M. Elsayed, E. Sanchez-Sinencio; “A Low THD, Low Power, High Output-Swing Time-Mode-Based Tunable Oscillator Via Digital Harmonic-Cancellation Technique”, *IEEE Journal of Solid-State Circuits*, Vol. 45, No. 5, pp. 1061-1071, (2010). (DOI: 10.1109/JSSC.2010.2043885).
- [14] K. Machida, T. Yanagida, K. Asami, M. Kawabata, S. Shibuya, H. Kobayashi; “Low-Distortion Signal Generation Method for Analog IC Testing Using Trigonometric Function Calculation”, *ICSICT* (2018) (DOI: 10.1109/ICSICT.2018.8565022).

- [15] S. Aouini, K. Chuai, G. W. Roberts; “A Low-Cost ATE Phase Signal Generation Technique for Test Applications”, ITC (2010) (DOI: 10.1109/TEST.2010.5699202).
- [16] C. D. Ziomek, E. S. Jones; “Advanced Waveform Generation Techniques for ATE”, IEEE Autotestcon (2009) (DOI: 10.1109/AUTEST.2009.5314045).
- [17] Y. Shibasaki, K. Asami, A. Kuwana, K. Machida, Y. Du, A. Hatta, K. Kubo, H. Kobayashi; “Crest Factor Controlled Multi-Tone Signals for Analog/Mixed-Signal IC Testing”, ITC Asia (2019) (DOI: 10.1109/ITC-Asia.2019.00015).
- [18] S. Uemori, T. J. Yamaguchi, S. Ito, Y. Tan, H. Kobayashi, N. Takai, K. Niitsu, N. Ishikawa; “ADC Linearity Test Signal Generation Algorithm”, APCCAS (2010) (DOI: 10.1109/APCCAS.2010.5774755).
- [19] M. Murakami, H. Kobayashi, S. N. Bin Mohyar, O. Kobayashi, T. Miki, J. Kojima; “I-Q Signal Generation Techniques for Communication IC Testing and ATE Systems”, ITC (2016) (DOI: 10.1109/TEST.2016.7805858).
- [20] Bluetooth Core Specification Version 5.2, Vol. 2:BR/EDR Controller (Dec. 2019).
- [21] Radio Frequency Physical Layer (RF PY), Bluetooth Test Suite (Jan. 2020).

第2部 低歪正弦波生成回路の研究

第1章 序論

1.1 研究背景

量産試験に用いられる技術は低コストであることが求められる [1, 2, 3]. アナログ集積回路の試験において、正弦波は DC 信号とともに広く用いられている. AC 特性試験では、正弦波を入力して各部波形と比較することで、特性が計測される. また、リニアリティの試験においても、正弦波が用いられる [4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19]. これは、正弦波はランプ波 (Ramp Wave) と比較して高精度な信号の生成が容易なためである. 特に高い精度が要求されるオーディオ帯域の正弦波生成は、ベンチトップ型オーディオアナライザである Audio Precision 製 APx555B が業界標準となっている. しかし、オーディオアナライザ等の計測器は、高価で測定時間が長いため、出荷時のテストでの使用には適さない. 量産試験においては、半導体試験装置 (Automatic Test Equipment: ATE) のモジュールとしての信号生成回路が必要である. アナログ集積回路の試験用の ATE のモジュールとして、既にアナログモジュールが存在する. しかし、ロジック回路の試験に特化したデジタルモジュールと比較して高価である. IoT 時代におけるアナログ集積回路試験では、さらなる試験コストの低減が望まれる.

本研究では、アナログ集積回路試験用の BOST (Built-Out Self-Test) 回路の基本要素である BPF (Band-Pass Filter) および BEF (Band Elimination Filter) の特性改善手法を検討した. 本提案は負性抵抗により抵抗をキャンセルする ESR (Equivalent Series Resistance) 補正回路により LC フィルタの特性を改善する.

また、ATE のデジタルモジュールの矩形波をソースとして、ロジック回路を中心とした回路により低歪の正弦波生成を行う回路を検討した. 抵抗加算回路や比較的簡素なフィルタ回路を使用することにより、アナログ回路の使用を最小限とすることで、歪やノイズの影響を低減した正弦波の生成を実現した. 提案手法の検証は、回路シミュレータによるシミュレーションおよび、実装回路の評価により行った. 従来から段数を削減して簡素化したフィルタを用いた場合でも、ATE 搭載信号源と同等の 16 bit DDS 方式シグナルジェネレータの後段に LPF を設けた場合と比較して 3 次高調波が 3 dB、帯域内ノイズが 10 dB 程度低減することを確認して、100 kHz の正弦波を発生した際の高調波歪が -95 dBc の低歪正弦波発生器を実現した.

1.2 研究目的

アナログ集積回路試験に用いる低歪な正弦波を、ATE のデジタルモジュールの矩形波をソースとして、ロジック回路により生成する手法を開発することを目的とする. ロジック回路を中心として極力アナログ回路を排除した回路を採用することで、回路構成を比較的簡素にするとともに、歪やノイズの影響を低減する.

従来から段数を削減して簡素化したフィルタを用いた場合でも、ATE のアナログモジュールに搭載される信号源と同等である 16 bit DDS 方式シグナルジェネレータの後段に LPF を

設けた場合以上の低歪，低ノイズの正弦波生成を目標とする。

1.3 第2部の構成

第2部では，アナログ集積回路の試験に用いるフィルタ回路の特性改善と低ノイズ低歪正弦波の発生回路を検討する。第1章では，アナログ集積回路の試験技術の背景および研究の目的について述べる。第2章ではアナログフィルタに関して，その種類や特性について概説する。第3章では，アナログ集積回路試験に用いられるテスト信号源に関して，低歪正弦波の発生の従来手法を中心に概説する。第4章では，アナログ集積回路の試験への適用を想定したバンドパスフィルタ (BPF) およびバンドエリミネーションフィルタ (BEF) の特性改善手法を検討した。フィルタ特性の劣化の原因であるインダクタの ESR (Equivalent Series Resistance) を補正する ESR 補正回路を提案し，シミュレーションおよび実装回路の実測によるフィルタ特性改善の検証について述べる。第5章では，アナログ集積回路試験に用いる低歪正弦波を比較的簡素な回路により ATE のデジタルモジュールの矩形波をソースとして生成する手法を提案し，シミュレーションおよび実装回路による実測による実測について述べる。最後に，第6章および第7章において第2部のまとめおよび今後の課題について述べる。

第2章 アナログフィルタの概説

2.1 フィルタ回路の目的

フィルタ回路は，主に周波数領域の振幅特性に着目し，不要な帯域の信号を除去し，所望の帯域の信号のみを通過させる，重要なアナログ回路である。一部の特殊なフィルタとしては，振幅特性を周波数に対して平坦として移相器として用いるオールパスフィルタや，複素信号の生成，イメージ除去に用いるヒルベルトフィルタ (RC ポリフェーズフィルタ) も存在する [20]。

2.2 フィルタ回路の構成

信号処理におけるアナログフィルタは，高周波用に MEMS など構成した機械フィルタを除き，電子回路により構成する。電子回路のフィルタは，インダクタ，キャパシタの周波数特性を利用して周波数特性を実現する。インダクタ，キャパシタ，抵抗，基板の配線特性などのパッシブ素子のみを使用してフィルタを構成したものをパッシブフィルタと呼ぶ。パッシブ素子に加えて，トランジスタやオペアンプなどのアクティブ素子を用いた構成をアクティブフィルタと呼ぶ。パッシブフィルタは電源が不要であるが，アクティブフィルタには電源が必要である。また，一般的にパッシブフィルタの方が，アクティブフィルタより広い帯域で対応可能である。アクティブフィルタでは，増幅やバッファを兼ねることが可能である。パワー用途では，大電流に対応するためパッシブフィルタで構成する。

2.3 周波数特性

周波数に対する振幅特性，すなわち通過および遮断する周波数帯域に着目してフィルタ回路を分類すると，ローパスフィルタ (LPF)，ハイパスフィルタ (HPF)，バンドパスフィルタ (BPF)，バンドエリミネーションフィルタ (BEF) に分類可能である。

LPF は，低域のみを通過する周波数特性を有する．アナログデジタル変換，デジタルアナログ変換においてエイリアシングの防止のため高域を除去する場合や高調波の除去，電源の平滑化にも用いられる。

HPF は，高域のみを通過させる周波数特性を有する．直流電流の除去にも用いられる。

BPF は，所望の周波数帯域のみを通過させる特性を有する．アナログ集積回路の試験では，高調波やノイズを除去し，純度の高い正弦波を生成する際に用いられる．この場合，通過域が極めて狭いバンドパスフィルタを用いる。

BEF は，所望の周波数帯域のみを遮断する特性を有する．ノイズや歪の測定の際，基本波成分の除去によるダイナミックレンジの向上に用いられる。

第3章 アナログ集積回路テスト用信号源

ATE によるアナログ集積回路試験において，100 kHz の発生において，高調波が 100 dBc 以下となる低歪の正弦波を低コストに生成する手法を検討する．アナログ集積回路のテストでは正弦波が用いられる [4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19]．アナログ発振器を用いる場合には，非常に低歪な正弦波の生成が可能であるが，専用の発振回路が必要であるため，価格，サイズの問題が生じる．一方，アナログモジュールに搭載されている任意波形発生器 (AWG) を用いる場合が考えられる [4, 5, 6, 7, 8, 9, 10, 11, 12]．AWG による波形生成は，デジタル生成された波形データを DAC により出力して，アナログ・ローパス・フィルタによりエイリアシングを除去することで行う．低歪な信号の生成は，サイズが大きく，高価なフィルタ回路を要する．デジタル ATE を使用して，アナログオプションを不要とした正弦波生成もこれまでに提案されている [18, 19]．しかし矩形波の高調波を減衰する手法では，非常に次数の高いフィルタが必要であり，サイズが大きく，高価であるとともに，多数用いるインダクタのカップリングによる歪増加の問題がある [21]．ATE が出力するビット列を工夫することで，3次高調波をキャンセルする手法も提案されているが，依然としてフィルタ回路に高い性能が要求される。

第4章 アナログBPFおよびBEFの特性改善

本提案では、アナログ集積回路試験用のBOST (Built-Out Self-Test) 回路の基本要素であるBPF (Band-Pass Filter) およびBEF (Band Elimination Filter) の特性改善手法を検討した。BOST回路では、試験信号として用いる正弦波の歪の除去を目的としてBPFが用いられる。また、出力信号の全高調波歪の評価における基本波の除去にBEFが用いられる。これらのフィルタ回路における歪やノイズの発生は試験品質を低下させる。

2.2で述べた通り、パッシブフィルタによるフィルタ回路の構成は、アクティブフィルタにより構成した場合よりノイズや歪が低減可能である。従って、本提案では、インダクタおよびキャパシタによるLCフィルタをベースとしてフィルタを構成する。

図2.4.1に寄生成分を含んだインダクタの等価モデルを示す。実際のインダクタは、巻き線の直流抵抗や線間容量 C_p が含まれ、このうち、直流抵抗をESR (Equivalent Series Resistance) と呼ぶ。インダクタの周波数特性は、ESRにより低域でインピーダンスが理想インダクタより高くなり、LCフィルタを構成した場合、阻止帯域の減衰特性やQ値が劣化する。本研究では、負性抵抗により抵抗をキャンセルするESR補正技術を提案し、LCフィルタの特性を改善した。正帰還により負性抵抗を作り、ESRをキャンセルする技術は、IC内のトランジスタ回路で実現した例がある[22, 23, 24, 25, 26, 27, 28, 29]。本提案はLSIテストシステムで用いる低周波のLCフィルタ回路で個別部品を用いて実現している。IC内での実現と比較し、寄生容量等の寄生素子が大きくとも発振せず実現できることを実験的にも検証した。さらに、補正技術を応用した可変インダクタンス回路を実装し、周波数可変フィルタを実現した。また、複数のインダクタから構成されるフィルタにおいて、インダクタ間の相互インダクタンスが阻止帯域の特性劣化につながることを明らかにした。

本章で提案するフィルタ回路の特性改善手法について、シミュレーションおよび実装回路の実測により特性改善を検証した。シミュレーションにはLTspiceを用いた。

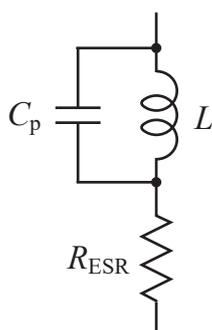


図2.4.1 インダクタの等価回路

4.1 インダクタの ESR 補正技術

図 2.4.2 に本研究で提案する ESR 補正回路を示す。本回路では、追加の微小抵抗 R_m 、計装増幅器および計装増幅器のゲイン設定抵抗 R_g により構成する。ESR R_{ESR} を含んだインダクタ L に直列に微小抵抗 R_m を接続する。抵抗 R_m の両端の電圧を計装増幅器により増幅し、インダクタの他端の電圧とする。

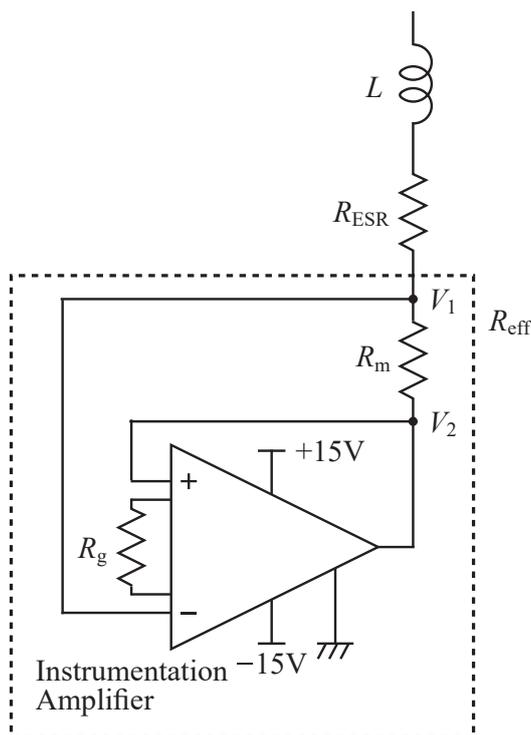


図 2.4.2 インダクタの ESR 補正回路

計装増幅器のゲインが G であるとき、インダクタの他端の電圧 V_2 はインダクタとの接続点の電圧 V_1 により次式で表せる。

$$V_2 = (V_1 - V_1)G \quad (2.4.1)$$

(2.4.1) 式より、 R_m の両端電圧は次式である。

$$R_m I = V_1 - V_2 = \frac{V_1}{1 - G} \quad (2.4.2)$$

(2.4.2) 式を V_1 について整理して、インダクタ L および ESR に直列に追加される補正抵抗

値 R_{eff} は電流 I で除すことで次式となる.

$$R_{\text{eff}} = \frac{V_1}{I} = R_m(1 - G) \quad (2.4.3)$$

計装増幅器のゲインが $G > 1$ では補正抵抗値は $R_{\text{eff}} < 0$ と負性抵抗となる. 計装増幅器のゲイン G を調整して, $R_{\text{eff}} = -R_{\text{ESR}}$ とすることで, ESR を 0 と等価に補正することが可能である.

本提案回路により, ESR の値が減少することをインダクタ L および提案回路による実測により検証した. 図 2.4.3 に検証回路を示す. インダクタ L および提案した ESR 補正回路を直列に接続し, LCR メータ (DER EE DE-5000) により ESR 値の測定を行った.

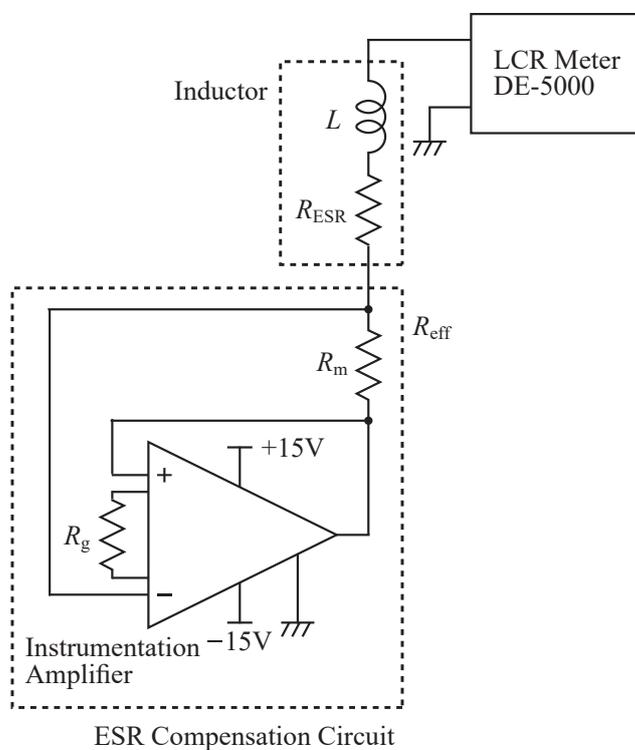


図 2.4.3 ESR 補正技術の検証回路

ESR 補正回路の計装増幅器には LT1167 を用いた。図 2.4.4 に測定結果を示す。計装増幅器のゲインを変化させることで ESR の値が変化し、8.2 倍に設定した際に ESR が最も減少した。

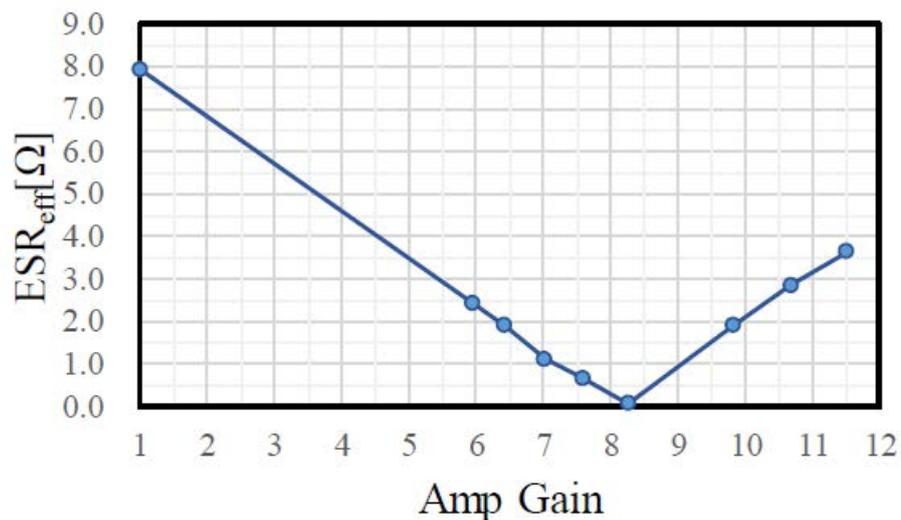


図 2.4.4 ESR 補正回路の測定結果

計装増幅器の基準電位は GND としているため、本補正回路のアプリケーションは、T 型回路網において GND に接続される素子など、入出力端子に対して並列に接続される素子に対して ESR 補正が適用可能と考えられる。また、インダクタに追加した微小抵抗をインダクタに置き換えることで、可変インダクタも構成可能であると考えられる。可変インダクタによるフィルタの周波数特性の可変や遮断域、通過域の周波数の微調整が今後の課題である。

4.2 LC型BPFのESR補正技術

図2.4.5にLC型BPFの回路を示す。このLC型BPFの伝達関数は次式である[30]。

$$G(s) = \frac{s^3 R_t L^2 C_2}{s^4 R_s R_t L^2 C (2C_2 + C) + s^3 L^2 (C + C_2) (R_s + R_t) + s^2 L \{ 2R_s R_t (C + C_2) + L \} + sL (R_s + R_t) + R_s R_t} \quad (2.4.4)$$

ここで、 $L_1 = L_2 = L$ 、 $C_1 = C_3 = C$ である。

インダクタ L_1 および L_2 にESRを含んだLC型BPFについて、本提案手法によるESR補正の効果をシミュレーションにより検証した。BPFの通過域の中心周波数は100kHzとした。図2.4.6にシミュレーションの結果を示す。インダクタにESRが含まれる場合、低域における遮断特性に劣化が発生した。また、通過域においても減衰が発生した。ESR補正を行った場合、10kHz以下における遮断特性が改善し、1kHzにおける減衰は補正なしの場合と比較し40dB向上した。また、通過域における減衰も改善された。

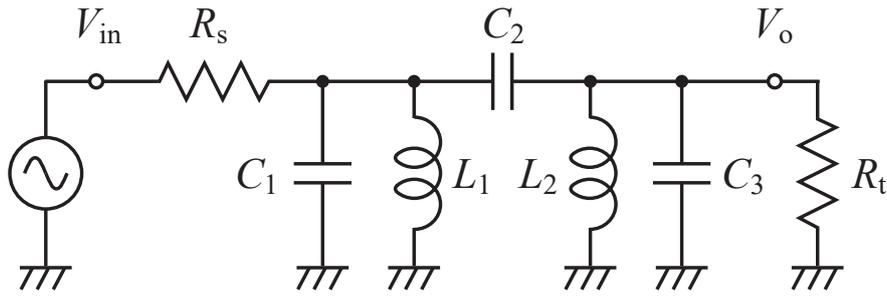


図2.4.5 LC型BPF

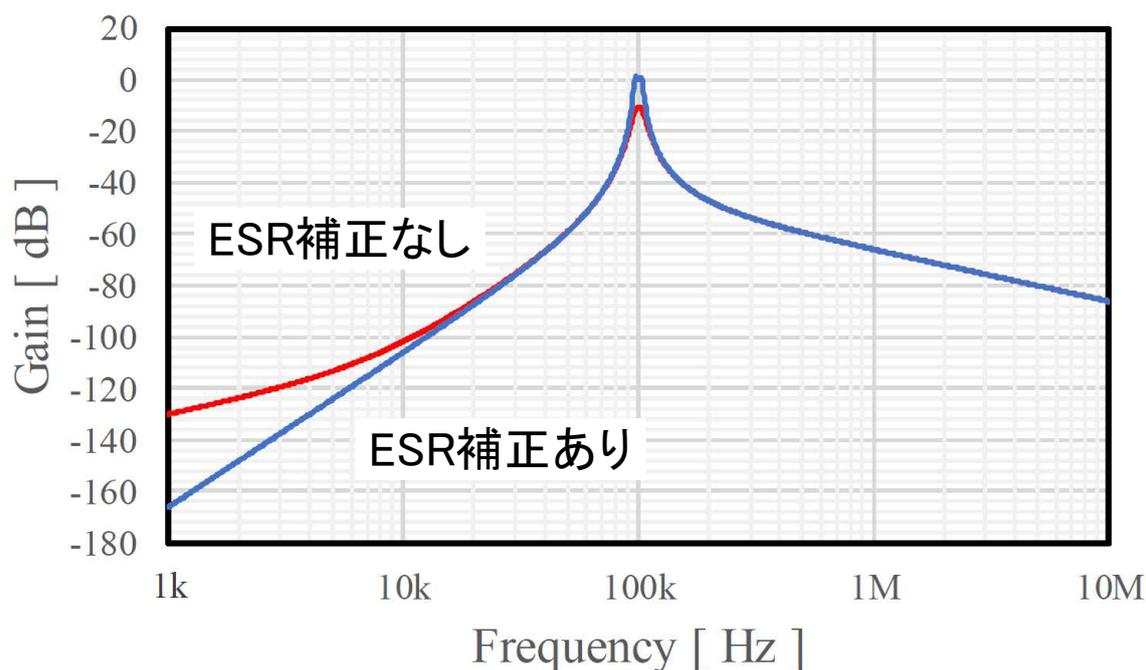
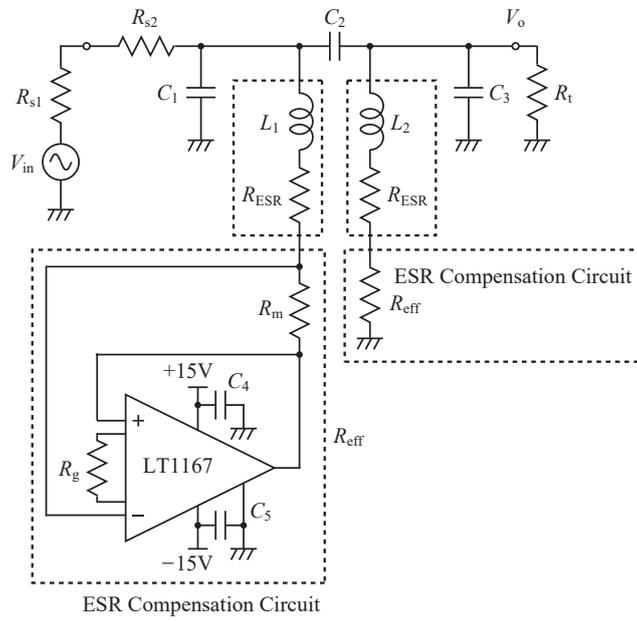
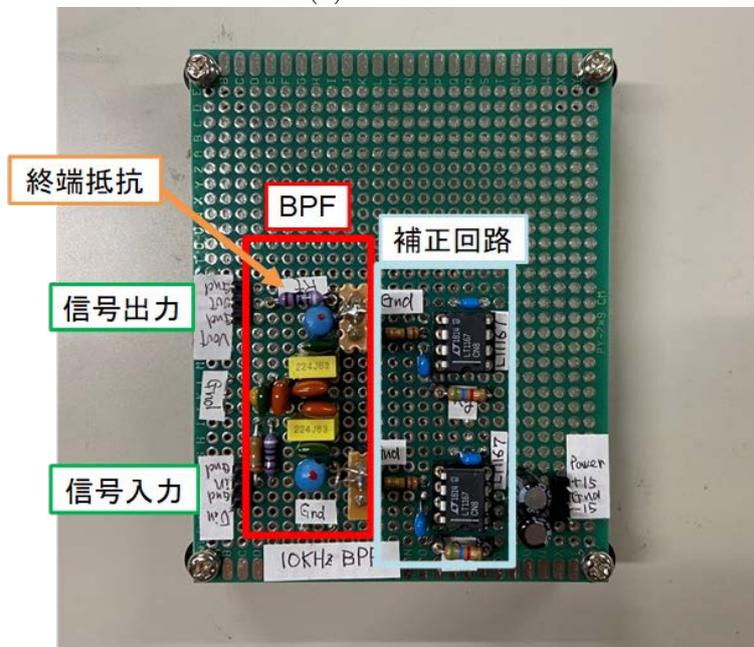


図 2.4.6 LC 型 BPF の ESR 補正シミュレーションの結果

LC 型 BPF における ESR 補正について、回路実装を行うことで、実測においても特性改善を検証した。図 2.4.7 (a) に実装回路、(b) にその外観を示す。BPF の通過域の中心周波数は 10 kHz に設計した。BPF に 10 V_{pp} の正弦波を入力し、出力信号をオシロスコープで観測するとともに FFT 機能により入力信号周波数のレベルを計測した。図 2.4.8 に測定結果を示す。シミュレーションによる結果と比較し、ESR 補正の有無に限らず -85 dBV 以下で減衰が確認されなかった。これについて、遮断域の測定のダイナミックレンジが不足していると考えられる。また、シミュレーションと異なり、実装回路上のインダクタ L_1 および L_2 間には結合による相互インダクタンスがあり、フィルタ特性劣化の原因と推測される。



(a) 実装回路



(b) 実装回路の外観

図 2.4.7 LC 型 BPF の ESR 補正技術の回路実装

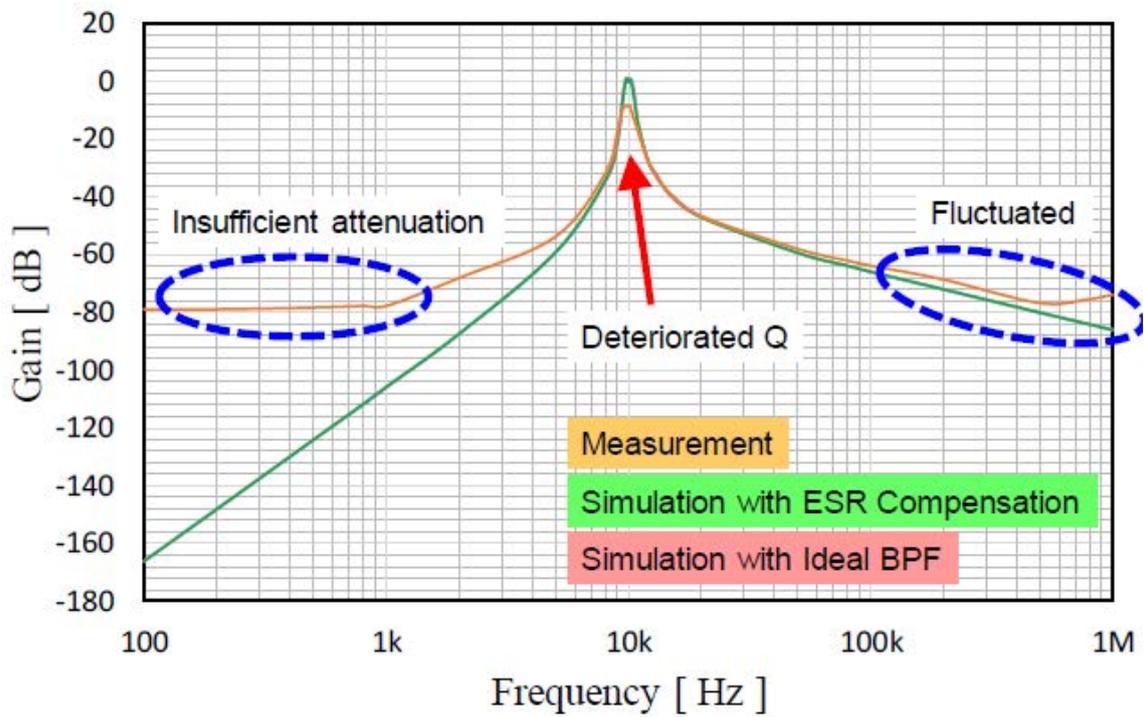
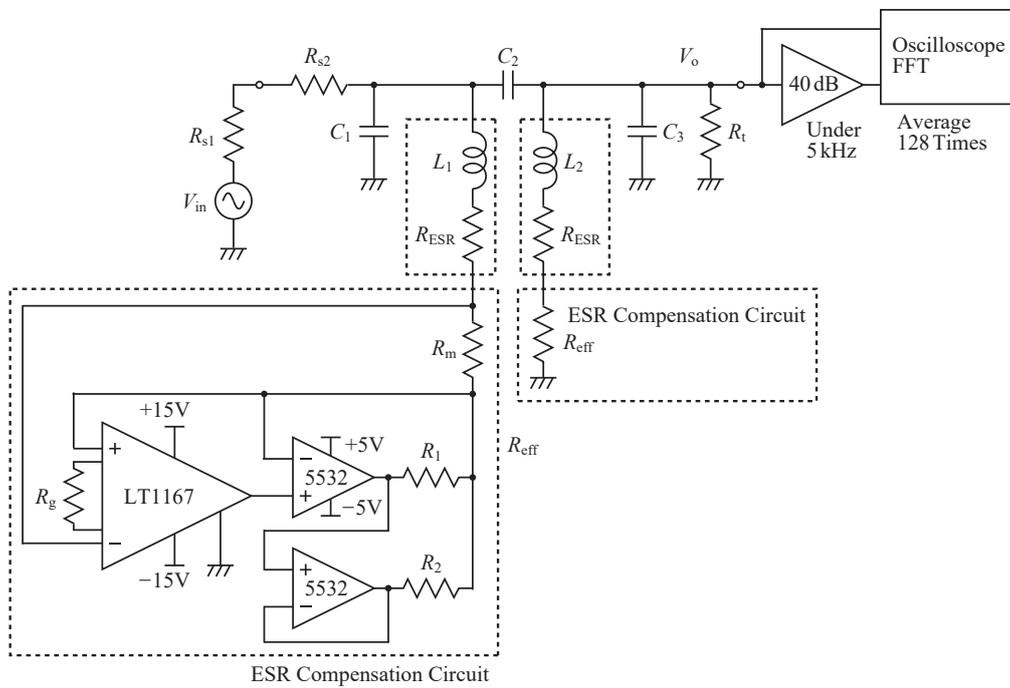
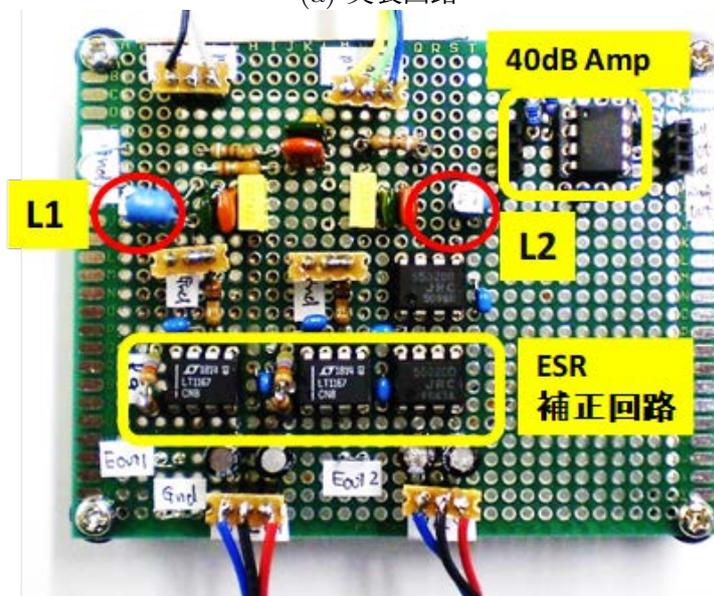


図 2.4.8 LC 型 BPF の ESR 補正技術の実測結果

前述の実装回路に改良を施し、検証を行った。図 2.4.9 (a) に実装回路、(b) にその外観を示す。本実装回路は図 2.4.7 に加え、BPF 出力にオペアンプを設け 5kHz 以下では 40dB 増幅した。これにより、オシロスコープによる測定限界の -85 dBV 以下の -110 dBV 以下の測定が可能となった。また、ESR 補正回路の計装増幅器の後段に駆動能力の高いオペアンプ (NJM5532) を設けた。ESR 補正回路の計装増幅器出力電流が BPF に 10 V_{pp} 入力時、 $\pm 40\text{ mA}$ 要し、歪の増大が懸念されるためである。図 2.4.10 に測定結果を示す。3kHz 以下において ESR 補正による特性改善が確認された。



(a) 実装回路



(b) 実装回路の外観

図 2.4.9 LC 型 BPF の ESR 補正技術の改良回路の実装

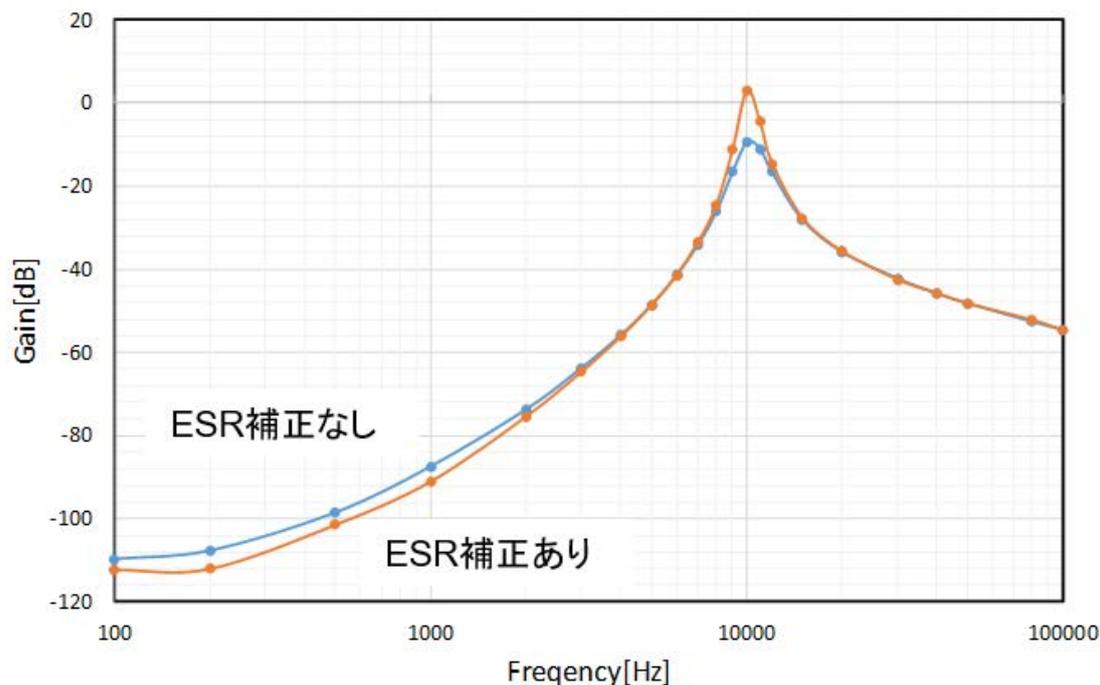


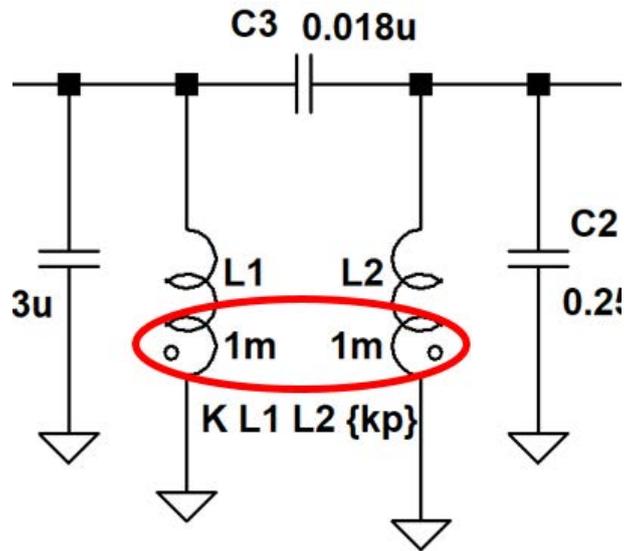
図 2.4.10 LC 型 BPF の ESR 補正の改良回路の実測結果

4.3 相互インダクタンスによるフィルタ特性劣化

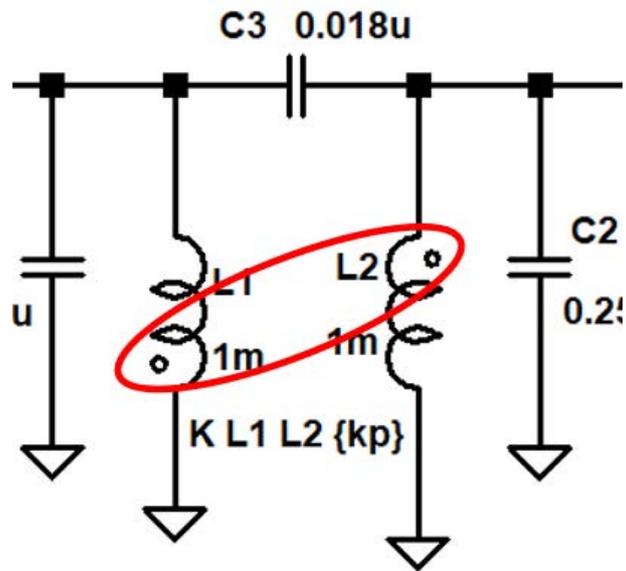
実装回路による ESR 補正の検証において、低域の遮断特性が十分に改善されなかった。

ESR の他の他の特性劣化要因として、2つのインダクタ L_1 および L_2 の結合による相互インダクタンスの影響に着目し、特性改善の検討を行った。

シミュレーション回路により結合係数 K を変化させた場合の BPF の周波数特性の変化を検証した。結合係数が正の場合は、図 2.4.11 (a) に示すように、巻き始めの方向を同一とするとともに、結合係数のパラメータを正とする。結合係数を負にする手法として、インダクタの巻き始めの方向を同一として、結合係数のパラメータを負にする場合および、巻き始めの方向を逆として、結合係数のパラメータを正とする場合がある。事前のシミュレーションにより、両者の結果が同一となることを確認した。本検討では、図 2.4.11 (b) に示すように巻き始めの方向を逆とし、結合係数のパラメータの符号を正としたシミュレーションを行った。結合係数 K は 0.0001, 0.001, 0.01, 0.1, -0.0001, -0.001, -0.01, -0.1 とした。



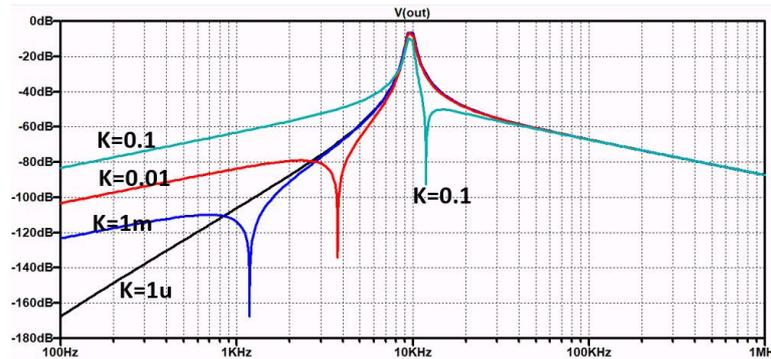
(a) 結合係数が正の場合



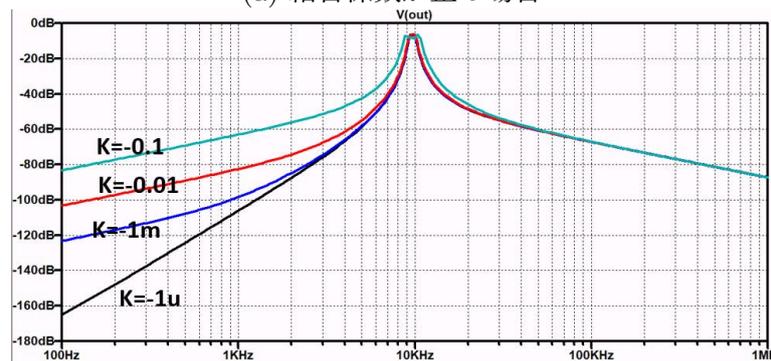
(b) 結合係数が負の場合

図 2.4.11 LC 型 BPF の相互インダクタンスのシミュレーション回路

図 2.4.12 (a) および (b) にシミュレーション結果を示す。図 2.4.12 (a) は結合係数が正の場合、(b) は結合係数が負の場合である。結合係数が正の場合、負の場合の双方ともに、結合係数の絶対値の増大により低域の遮断特性が劣化することが確認された。さらに、結合係数が正の場合には、遮断域にゼロ点が生じた。ゼロ点の周波数は結合係数の増大とともに高くなった。一方、結合係数が負の場合にはゼロ点は生じなかった。図 2.4.13 (a) に結合係数が正の場合、(b) に結合係数が負の場合の通過域を拡大して示す。結合係数の正負による通過域の特性の差異は結合係数の絶対値が 0.01 以上で大きくなった。

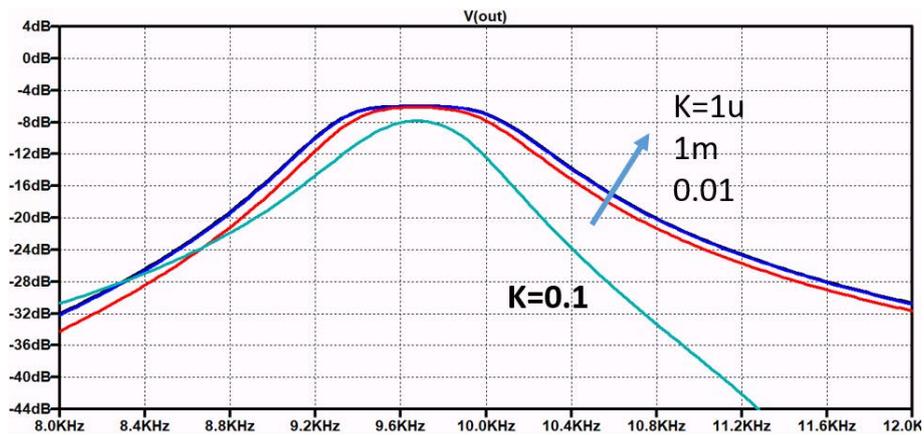


(a) 結合係数が正の場合

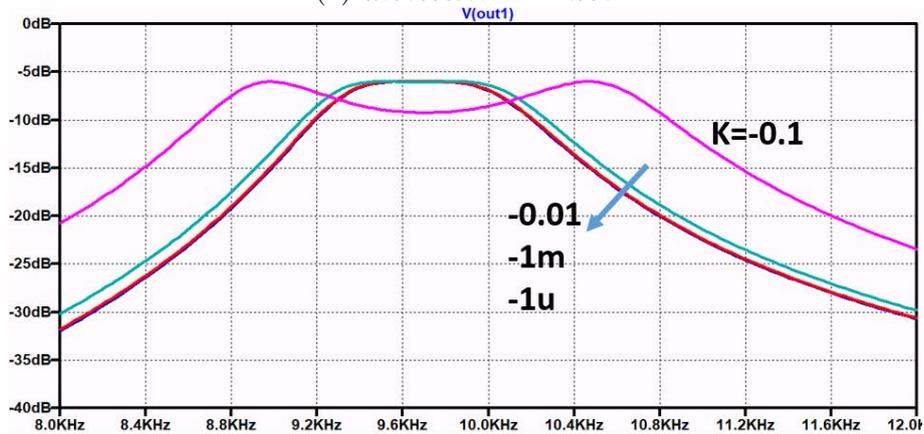


(b) 結合係数が負の場合

図 2.4.12 LC 型 BPF の相互インダクタンスのシミュレーション結果



(a) 結合係数が正の場合



(b) 結合係数が負の場合

図 2.4.13 LC 型 BPF の相互インダクタンスのシミュレーション結果 (通過域の拡大表示)

インダクタ間の結合によるフィルタ特性劣化の対策は、一方のインダクタの角度を 90° 回転し2つのインダクタを直交させる、インダクタ間に磁気シールドを設けることが挙げられる。4.2において提案した ESR 補正に加えインダクタの角度を変更した場合について、実装回路を用いてフィルタ特性の改善を検証した。実装回路は図 2.4.9 を用いた。図 2.4.14 に測定結果を示す。インダクタの角度を回転することで低域の特性が改善し、遮断特性は ESR 補正に加えインダクタの角度を直交した場合が最も改善した。

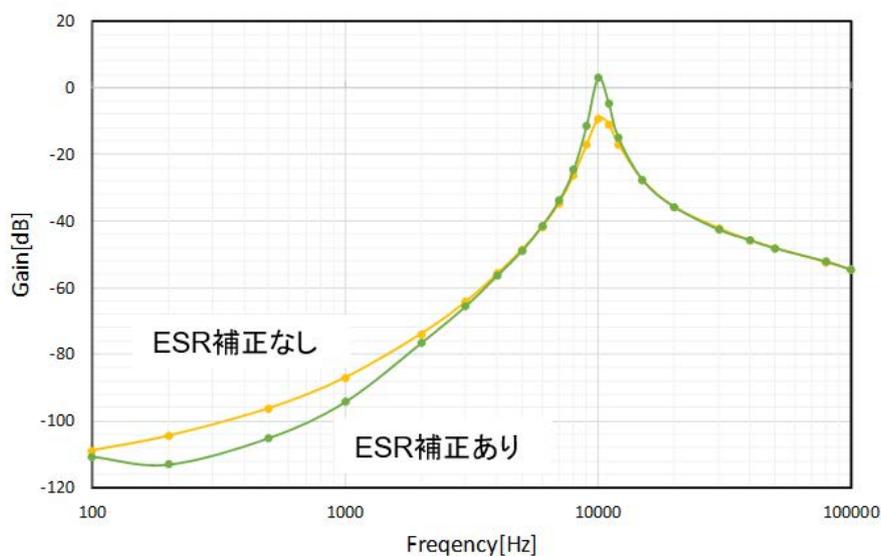


図 2.4.14 相互インダクタンスを低減した LC 型 BPF の実測結果

4.4 LC型BEFの特性改善

図2.4.15にLC型BEFの回路を示す。このLC型BEFの伝達関数は次式である [30].

$$G(s) = \frac{(s^2 L_1 C_1 + 1)(s^2 L_2 C_2 + 1)(s^2 R_t L_3 C_3 + R_t)}{(s^2 R_s L_1 C_1 + s L_1 + R_s)\{(s^2 L_2 C_2 + 1)(s^2 L_3 C_3 + 1) + s C_2 (s^2 R_t L_3 C_3 + s L_3 + R_t)\} + (s^2 L_1 C_1 + 1)(s^2 L_2 C_2 + 1)(s^2 R_t L_3 C_3 + s L_3 + R_t)} \quad (2.4.5)$$

BEFは高ダイナミックレンジな測定を実現するために、遮断特性が求められる。遮断周波数において、インダクタ L_1 とキャパシタ C_1 およびインダクタ L_3 とキャパシタ C_3 は並列共振しているため、高インピーダンスである。また、インダクタ L_2 とキャパシタ C_2 は直列共振しているため低インピーダンスである。従って、ESRによる影響は L_2 のESRによるものが最も大きい。本研究では、 L_2 にESR補正を施す。

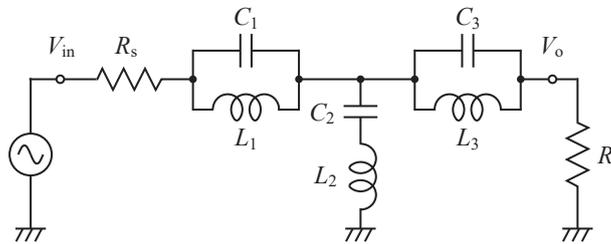


図2.4.15 LC型BEF

ESR補正による特性改善についてシミュレーションにより検証を行った。ESRは 2Ω とした。図2.4.16にシミュレーション結果を示す。ESR補正により遮断特性が50dB向上した。

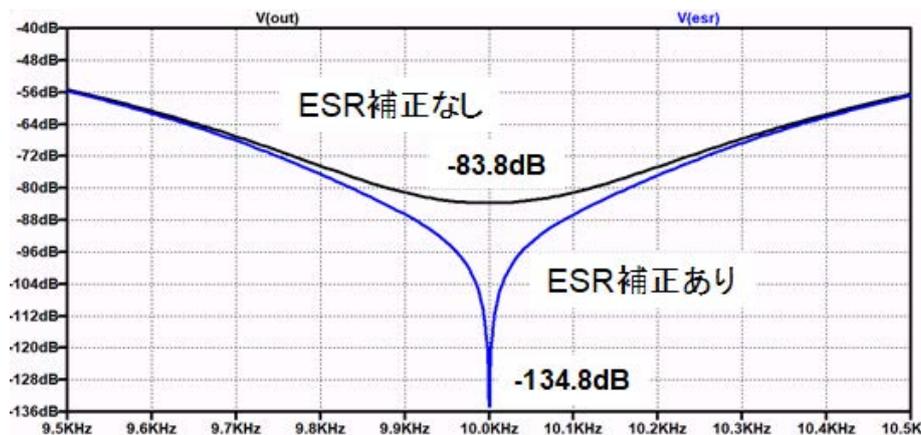
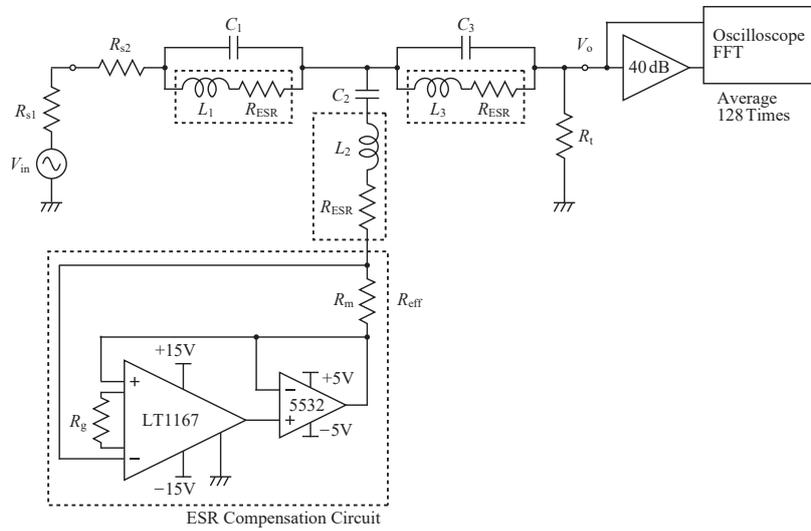
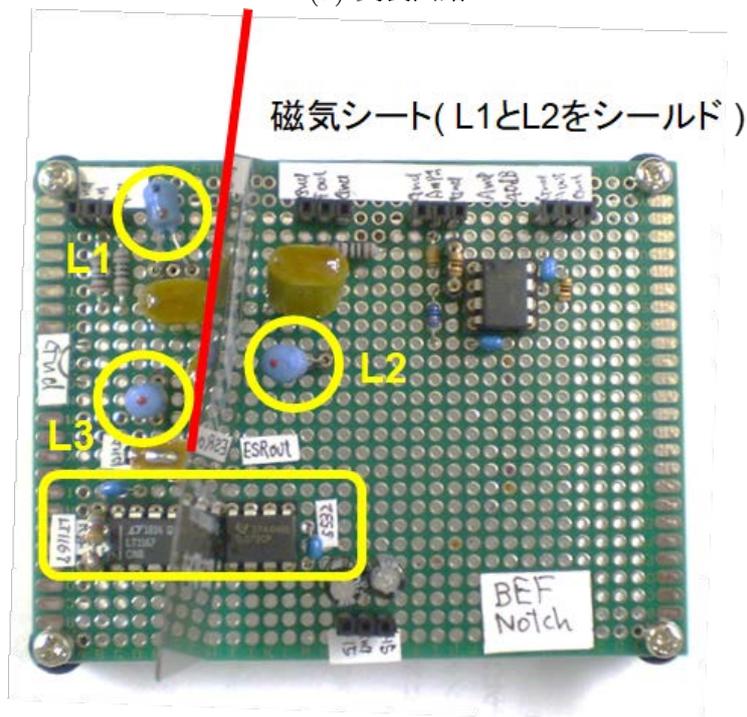


図2.4.16 LC型BEFのESR補正シミュレーションの結果



(a) 実装回路



(b) 実装回路の外観

図 2.4.17 LC 型 BEF の ESR 補正技術の回路実装

実装回路による実測によっても LC 型 BEF の特性改善を検証した。図 2.4.17 (a) に実装回路, (b) にその外観を示す。実装回路では、インダクタ間の結合による相互インダクタンスの対策として、 L_1 , L_3 と L_2 の間に磁気シールドを設けた。インダクタは ESR が 8Ω のものを用いた。

図 2.4.18 に測定結果を示す。減衰特性が 40 dB 向上し、 -70 dBc を実現した。本実装回路では、キャパシタを選別していないため、共振周波数を一致させることでより特性が向上すると考えられる。

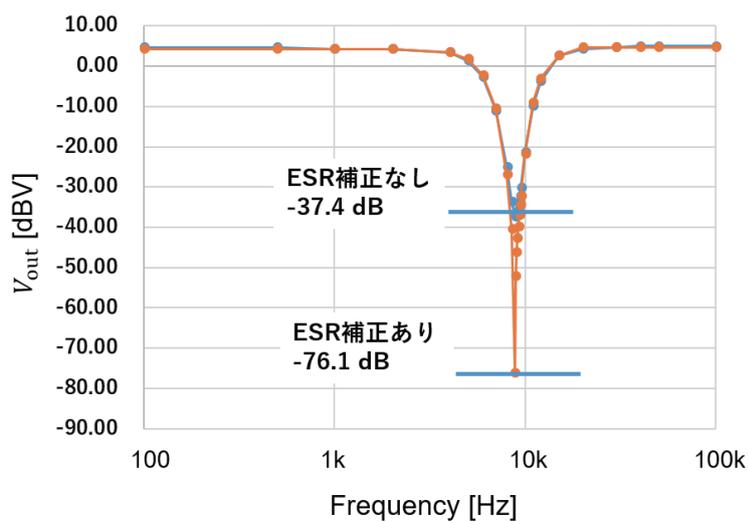


図 2.4.18 LC 型 BEF の ESR 補正技術の実測結果

第5章 高調波キャンセル回路による低歪正弦波生成

5.1 高調波キャンセル回路の原理

従来のアナログ集積回路試験に用いる低歪な正弦波は、アナログ ATE に搭載された AWG の出力をフィルタに通過させ生成する。しかし、アナログ ATE はデジタル ATE と比較し高価であり、AWG のフィルタも多段カスケードにより高次とする等、複雑で高価であった [21]。本提案では、デジタル ATE の出力する矩形波の加減算により 3 次のみならず、5 次以上の高調波もキャンセルする。これにより、フィルタ次数の要求が大きく緩和される。矩形波のフーリエ級数展開は

$$\begin{aligned} V_{\text{rect}}(t) = & \sin(\omega t) + \frac{1}{3} \sin(3\omega t) + \frac{1}{5} \sin(5\omega t) \\ & + \frac{1}{7} \sin(7\omega t) + \frac{1}{9} \sin(9\omega t) + \dots \end{aligned} \quad (2.5.1)$$

となる。これは、矩形波は、基本波とその奇数次高調波から構成されることを示している。したがって、矩形波から高調波の成分を除去することで正弦波を得ることが可能である。ここで、周波数が 15ω の矩形波を入力信号として、これを 15, 5 および 3 分周した矩形波 $V_{\text{rect}1}(t)$, $V_{\text{rect}3}(t)$ および $V_{\text{rect}5}(t)$ を考える。これらの矩形波のフーリエ級数展開は

$$\begin{aligned} V_{\text{rect}1}(t) = & \sin(\omega t) + \frac{1}{3} \sin(3\omega t) + \frac{1}{5} \sin(5\omega t) \\ & + \frac{1}{7} \sin(7\omega t) + \frac{1}{9} \sin(9\omega t) + \dots \end{aligned} \quad (2.5.2)$$

$$\begin{aligned} V_{\text{rect}3}(t) = & \sin(3\omega t) + \frac{1}{3} \sin(9\omega t) + \frac{1}{5} \sin(15\omega t) \\ & + \frac{1}{7} \sin(21\omega t) + \frac{1}{9} \sin(27\omega t) + \dots \end{aligned} \quad (2.5.3)$$

$$\begin{aligned} V_{\text{rect}5}(t) = & \sin(5\omega t) + \frac{1}{3} \sin(15\omega t) + \frac{1}{5} \sin(25\omega t) \\ & + \frac{1}{7} \sin(35\omega t) + \frac{1}{9} \sin(45\omega t) + \dots \end{aligned} \quad (2.5.4)$$

である。これらをそれぞれ 1 倍, $-1/3$ 倍, $-1/5$ 倍して加算した $f(t)$ を考えると、

$$\begin{aligned} f(t) = & V_{\text{rect}1}(t) - \frac{1}{3} V_{\text{rect}3}(t) - \frac{1}{5} V_{\text{rect}5}(t) \\ = & \sin(\omega t) + \frac{1}{3} \sin(3\omega t) + \frac{1}{5} \sin(5\omega t) + \dots \\ & - \frac{1}{3} \left[\sin(3\omega t) + \frac{1}{3} \sin(9\omega t) + \frac{1}{5} \sin(15\omega t) + \dots \right] \\ & - \frac{1}{5} \left[\sin(5\omega t) + \frac{1}{3} \sin(15\omega t) + \frac{1}{5} \sin(25\omega t) + \dots \right] \\ = & \sin(\omega t) + \frac{1}{7} \sin(7\omega t) + \frac{1}{11} \sin(11\omega t) + \dots \end{aligned} \quad (2.5.5)$$

である。(2.5.1) 式と (2.5.5) 式を比較すると、3 次および 5 次高調波が除去されていることが分かる。したがって、 $f(t)$ を比較的シンプルなアナログローパスフィルタを通過させ、7 次以上の高調波を除去することで、低歪な正弦波 $\sin(\omega t)$ が得られる。

このとき、基本周波数の矩形波 $V_{\text{rect1}}(t)$ の 9 次高調波は、周波数 3 倍の矩形波 $V_{\text{rect3}}(t)$ の 3 次高調波と成分が一致するため、同時に除去される。すなわち、9 倍などの合成数の次数の矩形波はキャンセルに不要である。したがって、高調波のキャンセルを行う際に必要な矩形波は、基本周波数とその奇素数倍の周波数である。具体的な回路は、デジタル ATE の出力する矩形波を分周し、基本波成分および奇素数倍の周波数の矩形波を逆相にして加算する BOST 回路により実現する。また、残存する高調波は簡素なフィルタ回路により除去を行う。図 2.5.1 に、100 kHz の正弦波を 3 次および 5 次の高調波をキャンセルして生成する回路を示す。入力する矩形波の周波数は出力正弦波の周波数 f の 100 kHz に 5 以下の素数、すなわち 2, 3, 5 を乗じた 3 MHz である。素数を乗ずるのは、任意の奇数は奇素数の積により表現可能であることから、分周により基本波の奇数倍の周波数が生成可能であることによる。また、2 倍を含めて、素数倍としているのは、奇数分周を避けるためである。これにより、基本波の 100 kHz は 30 分周、3 次の 300 kHz は 10 分周、5 次 500 kHz は 6 分周することで生成可能である。

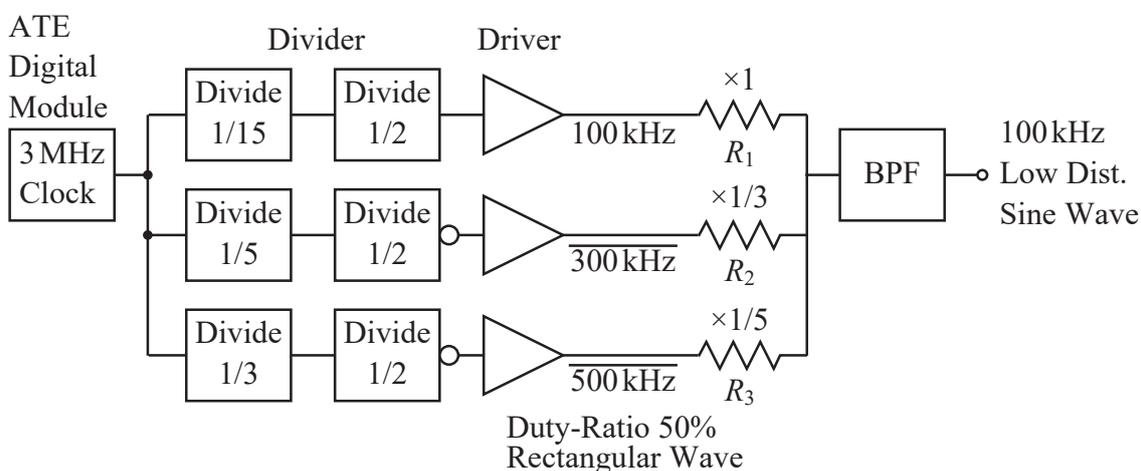


図 2.5.1 3 次および 5 次の高調波キャンセル回路

5.2 高調波キャンセル回路のシミュレーション検証

本提案手法について、LTspiceを用い、3次および5次高調波をキャンセルするシミュレーション検証を行った。図2.5.2にシミュレーションの回路図を示す。基本波、3次高調波、5次高調波の矩形波は初期位相を0とした独立のパルス電圧源により生成した。これらの矩形波は振幅をそれぞれ1, 1/3, 1/5として、同一値の抵抗により加算したものを出力信号とする。

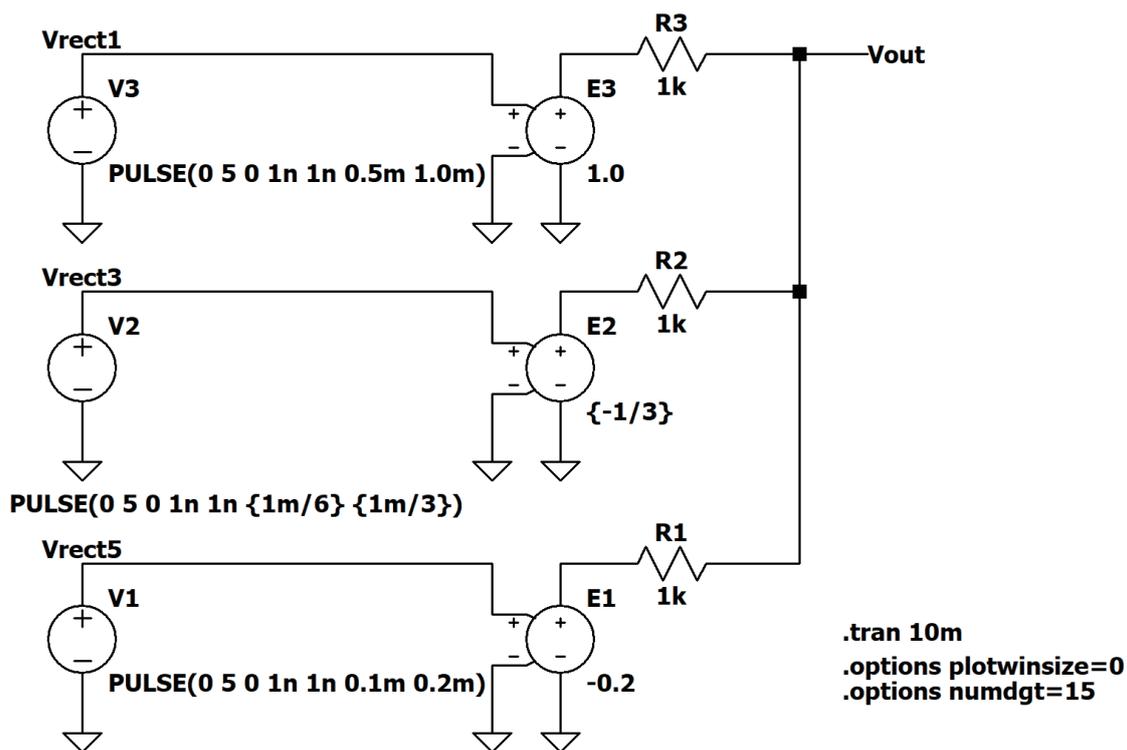
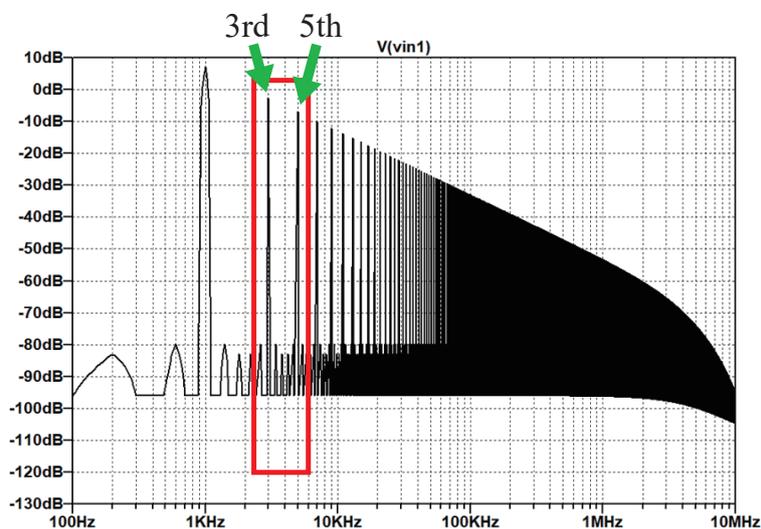
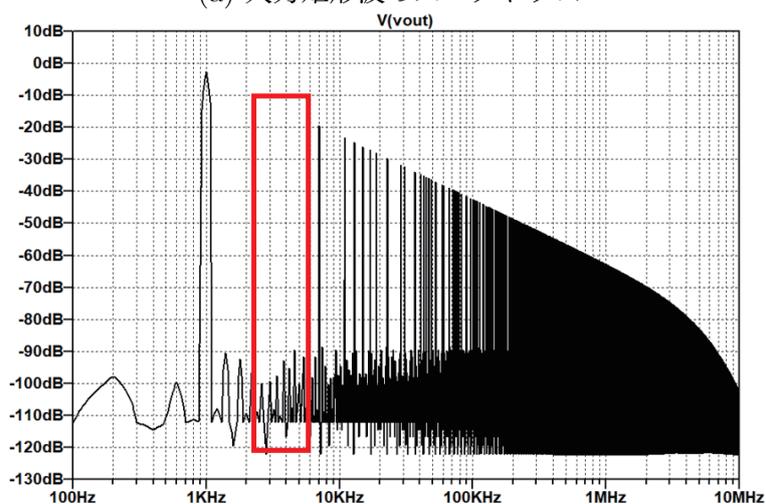


図2.5.2 3次および5次の高調波キャンセル回路のシミュレーション

図 2.5.3 (a) に、周波数を生成する正弦波の周波数と同一値に設定した矩形波の FFT, (b) に基本波, 3 次高調波, 5 次高調波の矩形波を加算した出力波形の FFT を示す. 本提案による矩形波の加算により 3 次, 5 次高調波が 90 dB 程度低減されていることが確認された.



(a) 入力矩形波のスペクトラム

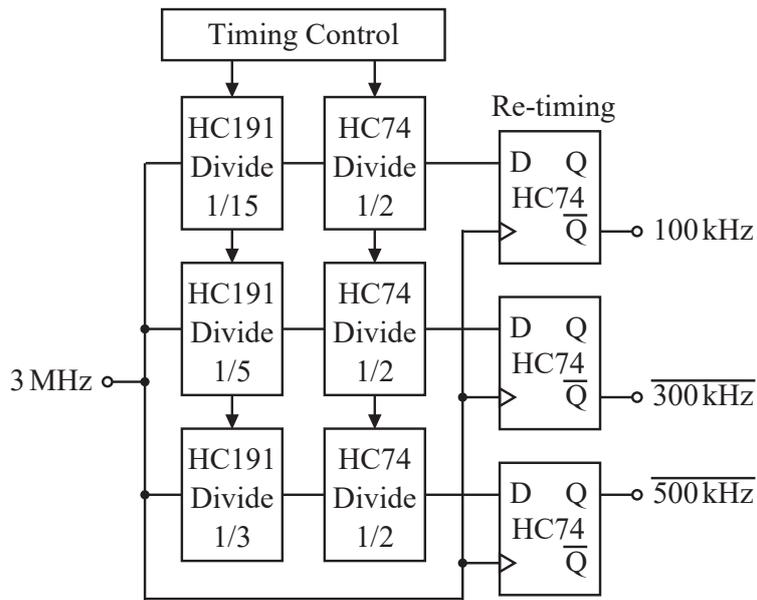


(b) 矩形波の加算により 3 次および 5 次高調波を低減したスペクトラム

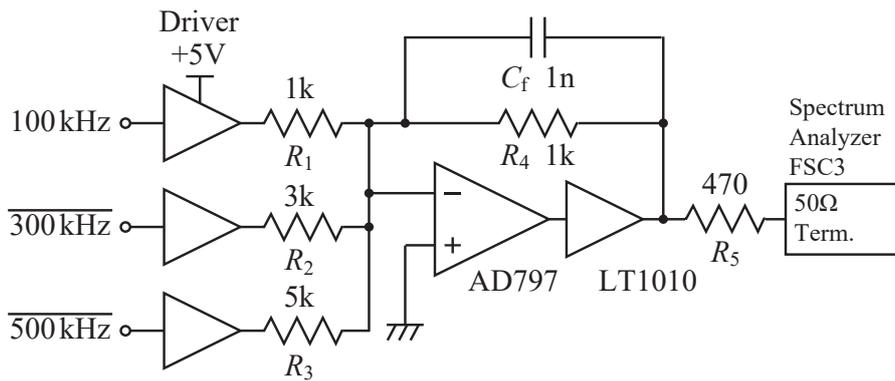
図 2.5.3 高調波キャンセル回路のシミュレーション結果

5.3 実機検証

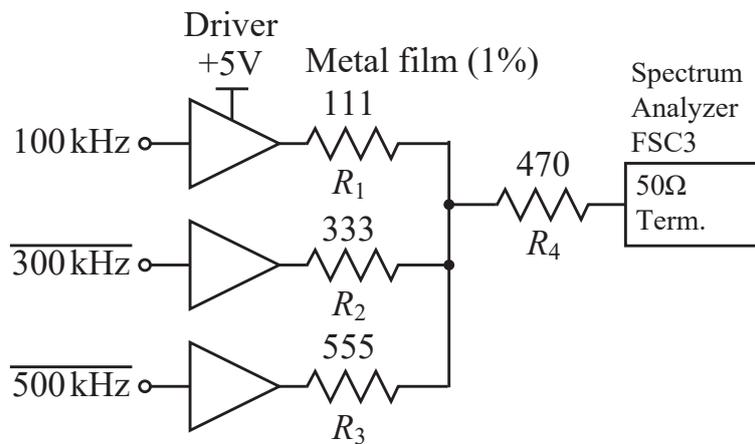
本提案の高調波キャンセルを用いた低歪正弦波の生成について、実装回路の測定により検証した。本実装回路では、3 MHz の矩形波から、3 次および 5 次高調波をキャンセルした 100 kHz の正弦波を生成した。図 2.5.4 (a) に、矩形波の分周回路、(b) にオペアンプによる加算回路、(c) に抵抗を用いた加算回路の回路図を示す。分周回路は 74HCC00 シリーズロジック素子により構成し、それぞれ 30, 10, 6 分周した。入力信号矩形波は、まず 74HC191 を用いた 16 進, 6 進, 4 進カウンタによりそれぞれ 15, 5, 3 分周し、さらに 74HC74 で各々 2 分周した。これらの分周器のリセット信号は、基本周波数 100 kHz すなわち 30 分周した矩形波を基準に生成し、2 分周回路の 74HC74 は 30 分周した矩形波の立ち上がりエッジで他の 2 分周回路を Low レベルにリセットし、各矩形波の初期位相を規定した。また、分周後の矩形波を入力矩形波によりラッチすることで、タイミングの高精度化を図った。加算回路は図 2.5.4 (b) および (c) のいずれかを用い、比較を行った。図 2.5.5 に実装回路の外観を示す。(a) に分周回路、(b) に検証環境を示す。



(a) 矩形波の分周回路

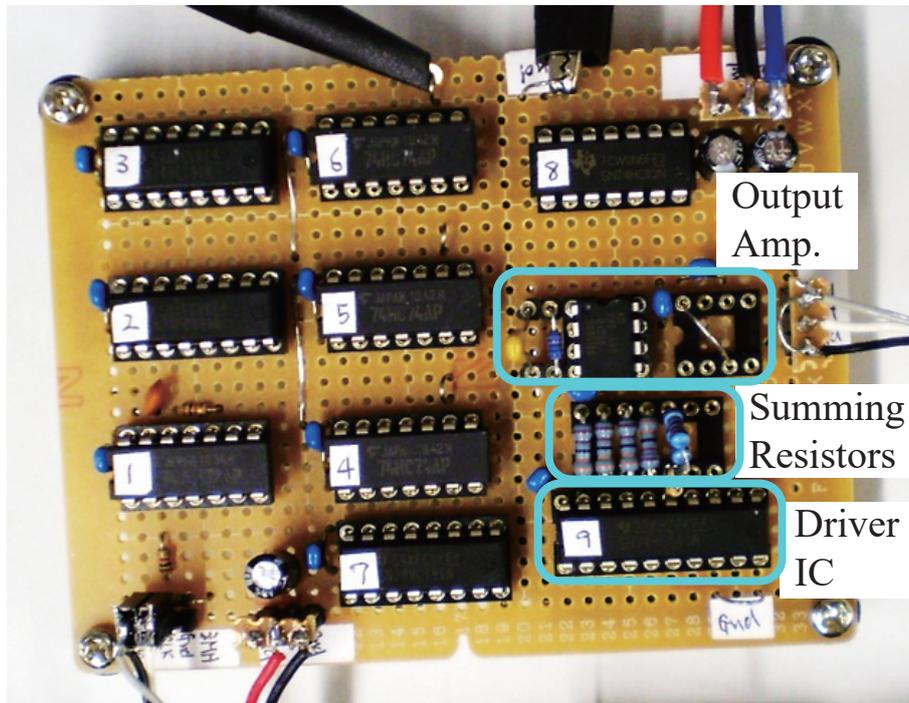


(b) オペアンプを用いた加算回路

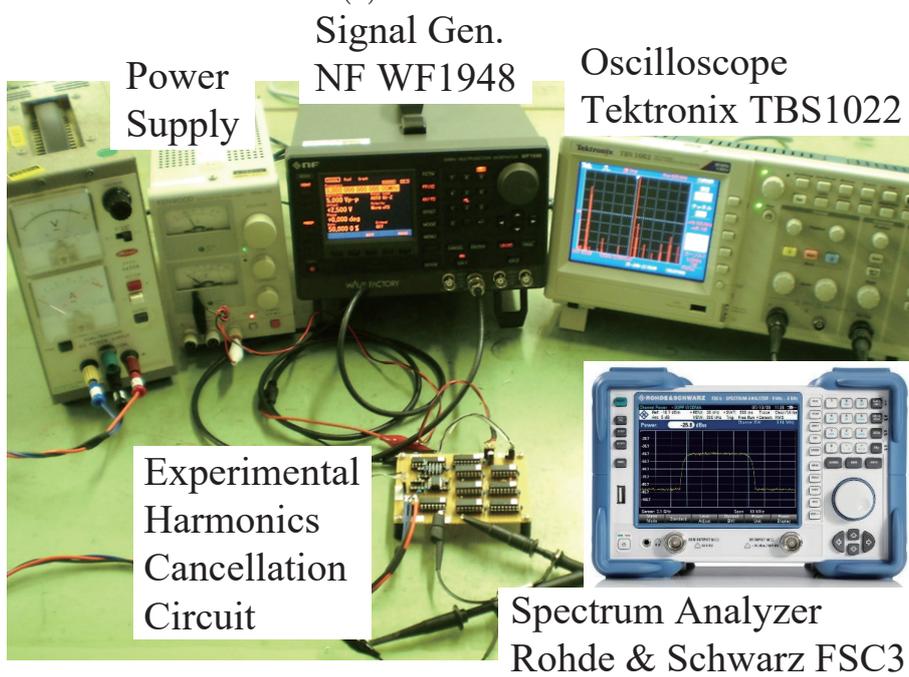


(c) 抵抗を用いた加算回路

図 2.5.4 実装した高調波キャンセル回路



(a) 分周回路の外観



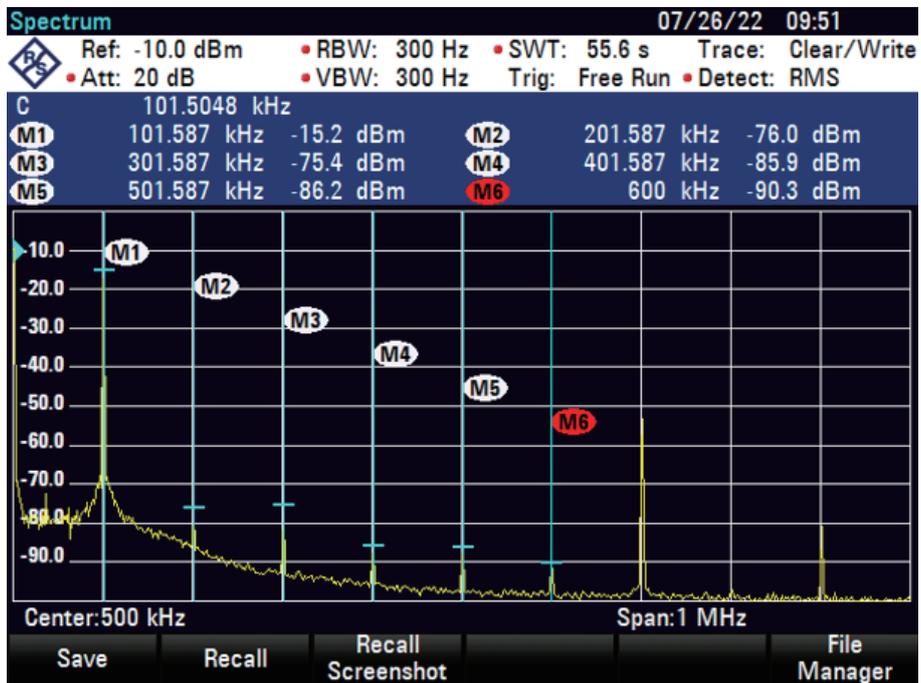
(b) 検証回路

図 2.5.5 実装した高調波キャンセル回路の検証環境

入力の矩形波はシグナルジェネレータ、出力波形はオシロスコープ、周波数スペクトラムの観測はオシロスコープのFFT機能、およびスペクトラムアナライザ(R&S製FSC3)により行った。本検証で用いたシグナルジェネレータはATEに搭載された信号発生器とほぼ同等性能を有する、16bit DDS方式により信号を発生するNF製WF1948を用いた。図2.5.6に高調波キャンセル回路の出力信号のスペクトラムを示す。(a)は加算回路にオペアンプを用いた場合、(b)は抵抗加算を用いた場合である。

抵抗加算を用いた場合も、オペアンプによる加算回路を用いた場合と同様に、3次および5次の高調波がキャンセルされることが確認された。加算回路の方式による影響は、オペアンプを用いた場合の方が、加算抵抗を用いた場合と比較して6dB程度、ノイズ、高調波が増加することが確認された。これは、オペアンプにより発生していると推測される。低ノイズ、低歪な正弦波を生成する際には、出力駆動用のバッファを除き、オペアンプ使用段数の削減が求められることが明らかとなった。したがって、本提案による低歪正弦波生成回路の構成では、加算回路に抵抗加算を用いることで高性能化を図る。

抵抗加算に用いる抵抗の相対精度や温度係数の誤差により、高調波キャンセル特性が劣化する。モンテカルロシミュレーションにより、各抵抗の相対誤差を0.01%、0.1%、1%の場合を検討した。0.01%の場合は最大6dB程度、0.1%の場合は最大20dB程度、1%の場合は最大40dB程度、3次および5次高調波が増加する。したがって、加算回路に用いる抵抗はディスクリート素子では、選別や高精度の製品の使用を要する。複数の抵抗を集積した抵抗アレイは、相対精度0.01%オーダー、温度係数 ± 1 ppm/ $^{\circ}\text{C}$ オーダーを実現した製品があり、本回路の構成に適する。



(a) 加算回路にオペアンプを用いた場合



(b) 抵抗加算を用いた場合

図 2.5.6 高調波キャンセル回路の出力信号のスペクトラム

ロジック回路により構成した高調波キャンセル回路部では矩形波の加算により、5次高調波までキャンセルした正弦波が生成可能であることを示した。これをさらにLPFを通過させることで、より低歪な正弦波とすることを検討した。高調波キャンセル回路部において、低ノイズ低歪な正弦波発生回路では、オペアンプの個数を極力削減する必要があることが明らかとなった。したがって、フィルタについてもパッシブフィルタを中心に構成することで、低ノイズ、低歪とする。本検討では、5.1で提案した3次および5次高調波のキャンセル回路の抵抗加算の後段に2段のLC型LPFおよびCR型アクティブLPFを接続する。LC型LPFにより高調波を除去するとともに、インダクタで発生した2次および3次歪をアクティブLPFにより除去する。図2.5.7にLPF回路を示す。LCフィルタはカスケード時にインピーダンス整合が容易な $\lambda/4$ 型LPF構成とした[31]。インダクタにはマイクロインダクタ、パワーインダクタを用いた。アクティブLPFは出力駆動用のアンプを兼ねた3次チェビシェフCR型LPFの構成とした。

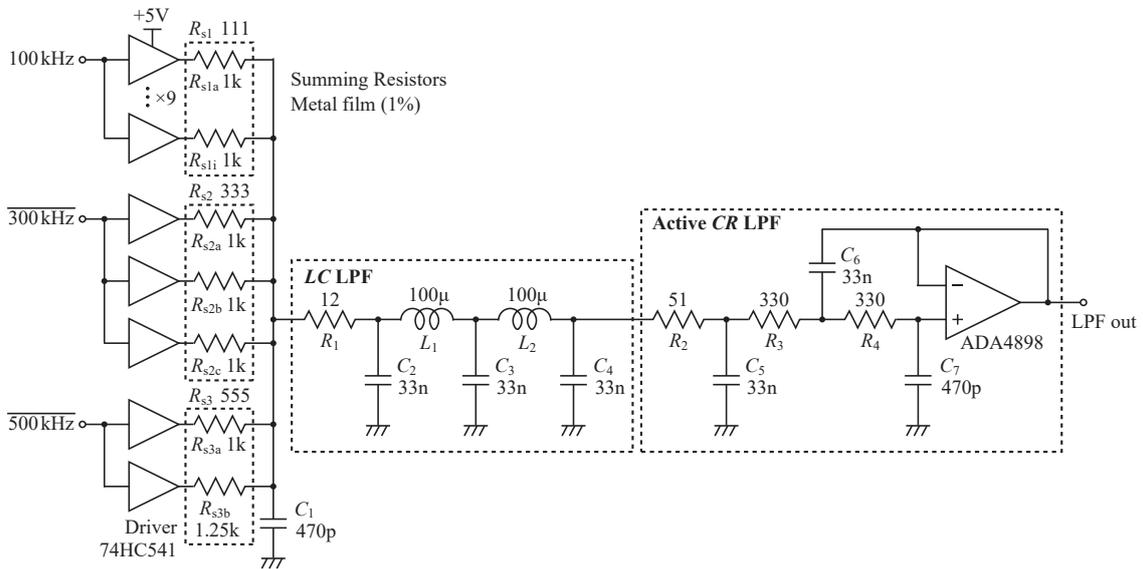
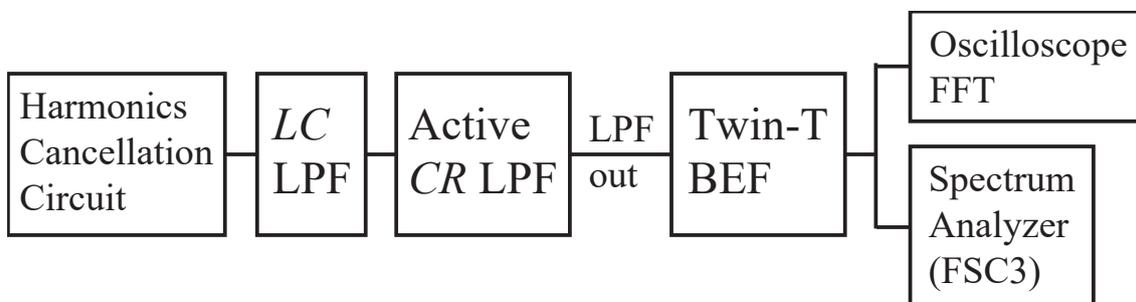
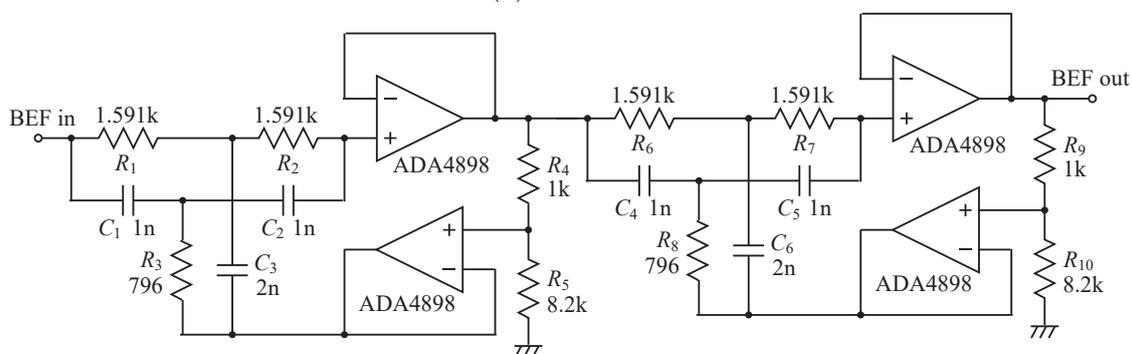


図 2.5.7 低歪正弦波生成回路に用いる LPF 回路

図 2.5.8 に、オシロスコープ (テクトロニクス TBS1022) の FFT 機能および、スペクトラムアナライザ (FSC3 R&S) を使用した評価構成を示す。高調波歪の評価は、2 段のアクティブ BEF により基本波を除去し計測した。アクティブ BEF はアクティブ Twin-T フィルタの構成とした。



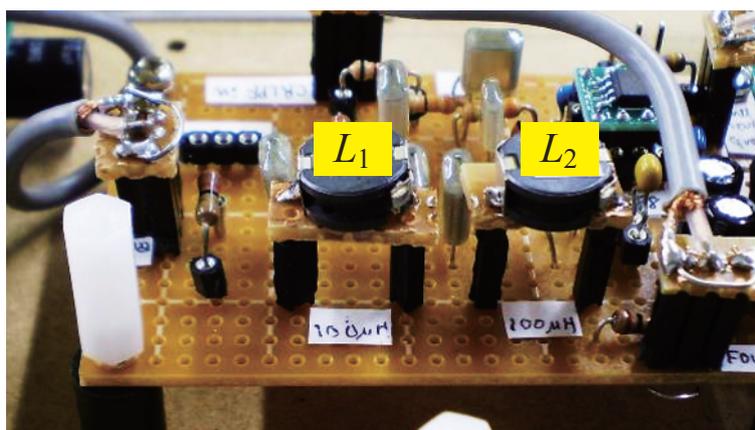
(a) 評価構成



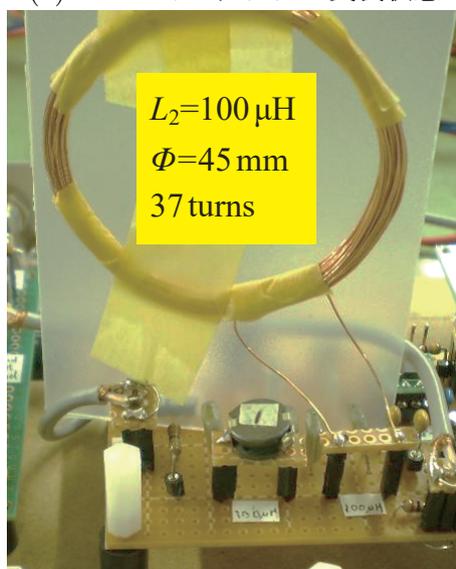
(b) アクティブ BEF 回路

図 2.5.8 高調波歪の評価の構成

図 2.5.9 に LC 型 LPF 部の実装構成を示す。インダクタにはマイクロインダクタ、パワーインダクタおよび空芯インダクタを用いて評価した。当初マイクロインダクタ使用では 2 次、3 次歪が -70 dBc 程度観測された。インダクタをマイクロインダクタからパワーインダクタに変更することで、2 次、3 次歪が 10 dB 程度改善された。これは、インダクタに用いられるコアの材料および構造による磁気飽和やインダクタ間の結合が低減されたためと考えられる。さらに 2 次、3 次歪を改善するため、インダクタの実装方法を検討した。まず図 2.5.9 (a) に示す一方のパワーインダクタ L_2 の向きを 180° 回転させて実装、すなわち L_1 と L_2 の結合係数の極性を反転させた。これにより、高調波歪が 3 dB 程度低減した。



(a) パワーインダクタの実装状態



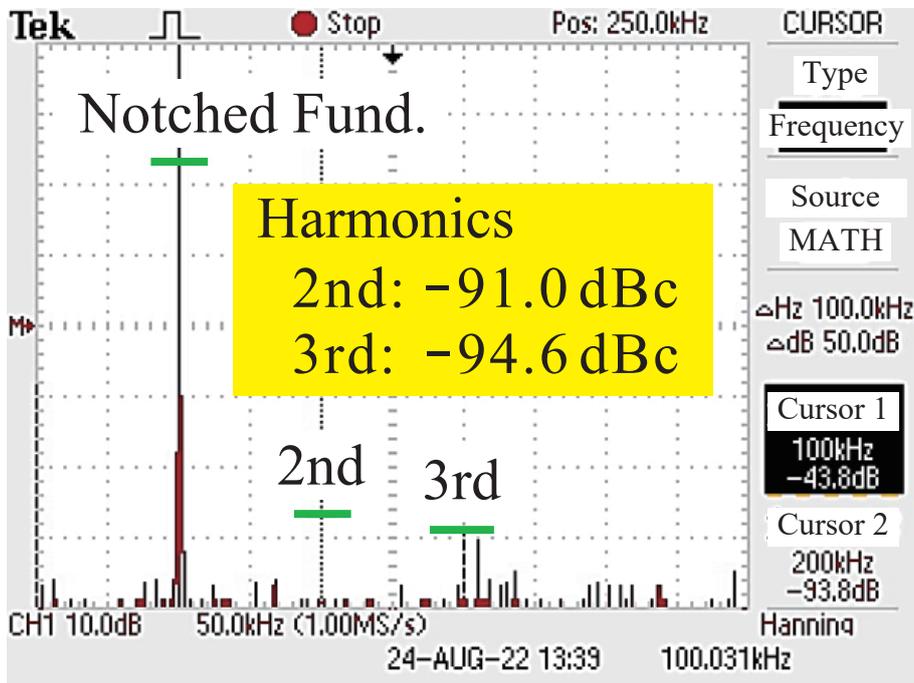
(b) L_2 を空芯インダクタに交換した場合

図 2.5.9 LC 型 LPF 部の実装構成

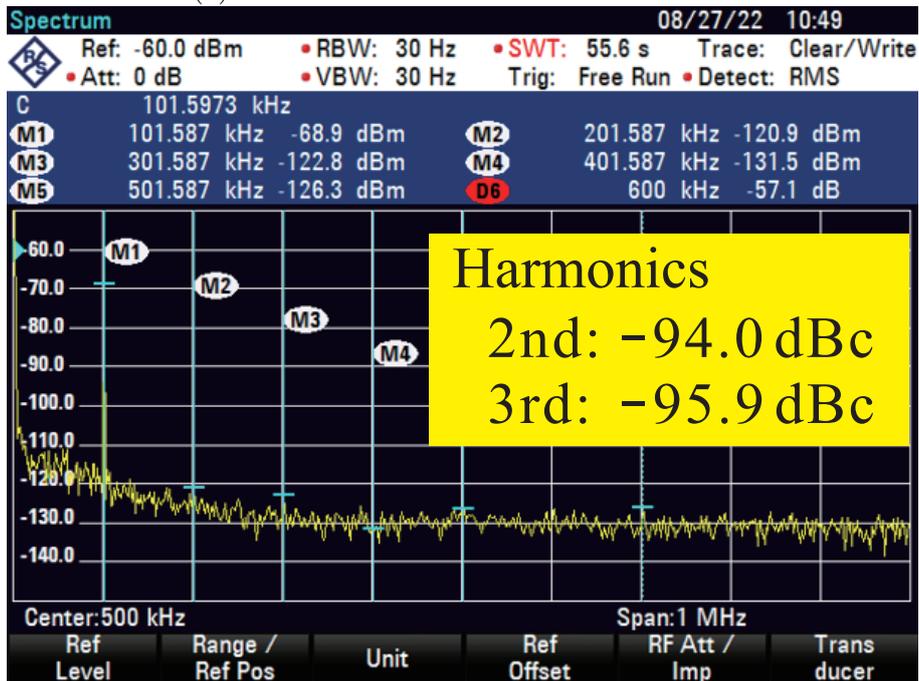
図 2.5.10 はインダクタに 100 μ H パワーインダクタを使用した時の高調波歪測定結果を示す。(a) はオシロスコープ FFT 機能使用, (b) はスペクトラムアナライザを使用した測定結果である。2 次歪が -94 dBc, 3 次歪が -95.9 dBc が得られた。さらに, インダクタ L_2 を, 図 2.5.9 (b) に示す空芯インダクタに交換した。表 2.5.1 に示すように 3 次歪が 3 dB 低減した。これはインダクタの磁気歪が低減したためと推測される。ロジックによる高調波キャンセル回路の電源ノイズを低減することにより当初より 2 次高調波が 3 dB 程度低減した。

表 2.5.1 高調波歪へのインダクタによる影響

高調波	高調波歪 [dBc]	
	L_1, L_2 : パワーインダクタ使用時	L_2 : 空芯インダクタ使用時
2 次	-97.9	-100.1
3 次	-92.3	-95.6
4 次	-110.7	-110.6
5 次	-102.3	-99.7



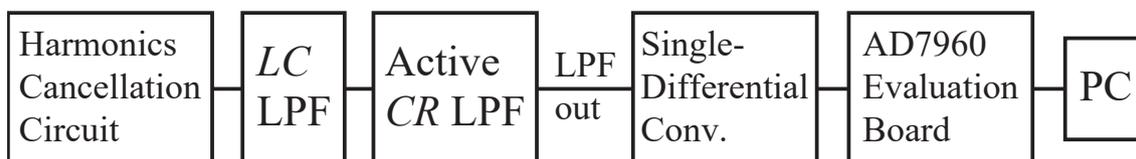
(a) オシロスコープ FFT 機能を用いた場合



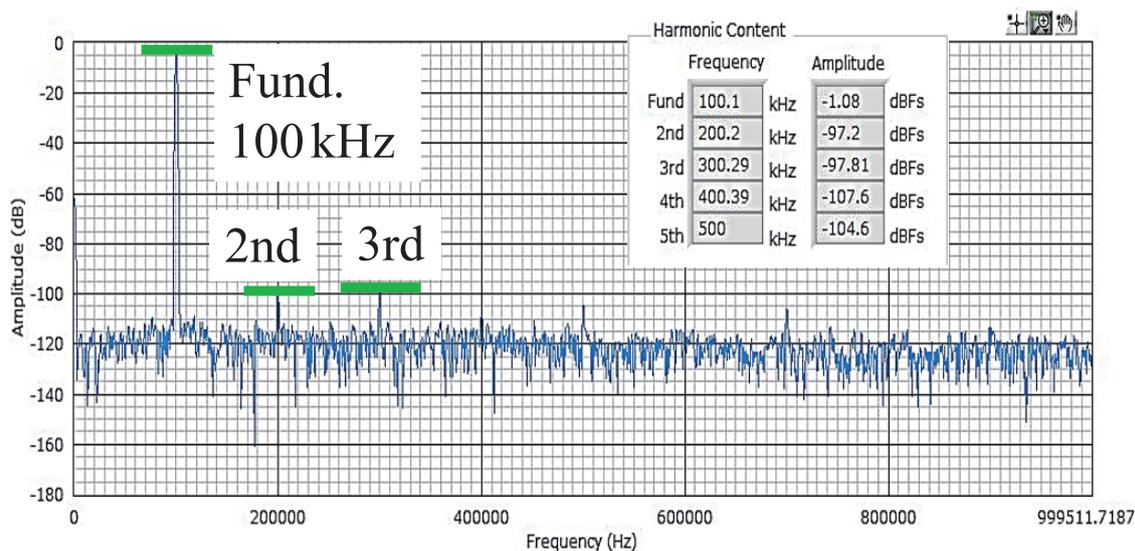
(b) スペクトラムアナライザを用いた場合

図 2.5.10 インダクタに 100 μ H パワーインダクタを使用した時の高調波歪測定結果

最終評価は、Analog Devices 製 18 bit 5 Msps ADC(AD7960) 評価ボードと評価ソフトを使用して行った。なお ADC 入力には差動入力のため、LPF 出力と ADC 入力間にシングル差動変換回路を付加した。図 2.5.11 (a) に評価構成を示す。図 2.5.11 (b) にサンプリング周波数 2 Msps, 4096 point で FFT を行って得られた 1 MHz 帯域のスペクトラムと、5 次までの高調波歪を計測した結果を示す。



(a) 評価構成



(b) 1 MHz 帯域のスペクトラムおよび 5 次までの高調波歪の計測結果

図 2.5.11 Analog Devices 製 18 bit 5 Msps ADC を使用した最終評価

本構成による測定では、2 次、3 次高調波歪は -96 dBc, 4 次以降は -100 dBc 以下が得られた。AD7960 でサンプリング周波数 2 Msps, 4096 point で FFT した場合のノイズフロアは 130 dBFS であり、測定値に対して十分な計測精度である。

-100 dBc 以下では、後段 LPF に使用するオペアンプによるノイズの影響が顕著であり、今後、使用オペアンプの見直しや回路、定数の最適化で -100 dBc 以下を目指す予定である。

第6章 考察

負性抵抗を利用したインダクタの ESR 補正回路を提案し、正弦波の生成および歪測定に用いられるアナログフィルタの特性改善について検討した。本実装回路では、キャパシタを選別していないため、共振周波数を一致させることでより特性が向上すると考えられる。また、ESR 補正回路を応用した可変インダクタ回路を実現し、周波数設定値の微調整を検討したい。

16 bit 分解能の ADC のダイナミック試験では、試験装置は 16 bit 分解能の理論 SN 比の 98 dB 以上の性能が求められる。本研究では、3 次、5 次の高調波のキャンセルを実現したが、7 次まで高調波をキャンセルすることで、後段 LPF の要求性能が緩和される。今後、高調波歪およびノイズのレベルの -100 dBc 以下への低減を目指し、部品の最適化や FPGA による 3 次、5 次および 7 次高調波のキャンセル回路の構成を検討したい。7 次の高調波キャンセルでは入力矩形波の周波数を出力周波数の 210 倍すなわち、100 kHz の出力では 21 MHz とする必要がある。実装を容易とするため、個別 IC によるキャンセル回路に代わり FPGA による実装を目指す。

アナログ集積回路試験用の低歪正弦波は周波数を可変する必要がある。本研究では、ロジック回路による高調波キャンセル回路の後段に LPF を設けており、生成する正弦波の周波数により遮断周波数が可変な構成が課題である。本研究で提案した、ESR 補正回路の応用により可変インダクタが実現可能であるが、LPF のインダクタは入出力に対して直列に配置されるため、適用外である。したがって、複数の遮断周波数を有するフィルタを切り替える構成を想定している。また、入力矩形波のジッタやロジック回路により生成する矩形波のスキューにより高調波の除去特性が劣化すると考えられ、今後、特性への影響の解析を行う。

第7章 まとめ

本研究では、アナログ集積回路試験用の低歪な正弦波の生成を検討した。まず、負性抵抗を利用したインダクタの ESR 補正回路を提案し、実装回路の測定により ESR の低減を確認した。

ESR 補正回路を LC 型 BPF および BEF のインダクタの ESR 低減に用い、遮断特性の向上を検討した。実装回路の測定により、LC 型 BPF で 2 kHz 以下において 10 dB 程度、LC 型 BEF で 40 dB 程度、遮断特性の向上を確認した。測定では、被測定回路の後段にオペアンプを設け、5 kHz 以下では 40 dB 増幅器を追加することで、オシロスコープによる測定限界の -85 dBV 以下である、 -110 dBV 以下の測定を実現した。

さらに、ロジック回路と比較的簡素なフィルタ回路を用い、アナログ集積回路試験用の低歪な正弦波の生成を実現した。実装回路による評価で、本提案手法による正弦波発振器は、ATE 搭載信号源と同等の 16 bit DDS 方式シグナルジェネレータの後段に LPF を設けた場合と比較して 3 次高調波が 3 dB、帯域内ノイズが 10 dB 程度低減することを確認した。

参考文献

- [1] G. W. Roberts, F. Taenzler, M. Burns; “An Introduction to Mixed-Signal IC Test and Measurement”, Oxford University Press, Oxford, 2nd ed, (2011).
- [2] G. W. Roberts; “Mixed-Signal ATE Technology and its Impact on Today’s Electronic System”, ITC (2016) (DOI: 10.1109/TEST.2016.7805852).
- [3] H. Kobayashi, A. Kuwana, J.—Wei, Y. Zhao, S. Katayama, T. M. Tri, M. Hirai, T. Nakatani, K. Hatayama, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa; “Analog/Mixed-Signal Circuit Testing Technologies in IoT Era”, ICSICT (2020) (DOI: 10.1109/ICSICT49897.2020.9278194).
- [4] A. Maeda; “Low Distortion Sine Waveform Generation by an AWG”, ATS’08 (2008) (DOI: 10.1109/ATS.2008.28).
- [5] F. Abe, Y. Kobayashi, K. Sawada, K. Kato, O. Kobayashi, H. Kobayashi; “Low-Distortion Signal Generation for ADC Testing”, ITC (2014) (DOI: 10.1109/TEST.2014.7035304).
- [6] S. Shibuya, Y. Kobayashi, H. Kobayashi; “High-Frequency Low-Distortion Signal Generation Algorithm with Arbitrary Waveform Generator”, ASICON (2015) (DOI: 10.1109/ASICON.2015.7517007).
- [7] T. Yanagida, S. Shibuya, H. Kobayashi, K. Hatayama; “High-Frequency Low-Distortion One-Tone and Two-Tone Signal Generation Using Arbitrary Waveform Generator”, ICSICT (2016) (DOI: 10.1109/ICSICT.2016.7999029).
- [8] T. Yanagida, S. Shibuya, K. Machida, K. Asami, H. Kobayashi; “Low-Distortion One-Tone and Two-Tone Signal Generation Using AWG over Full Nyquist Region”, ITC Asia (Aug. 2018) (DOI: 10.1109/ITC-Asia.2018.00026).
- [9] S. Shibuya, T. Yanagida, K. Asami, H. Kobayashi; “High-Frequency Low-Distortion One-Tone and Two-Tone Signal Generation Using Arbitrary Waveform Generator”, Means and Methods for Measurement and Monitoring, Supplement Book to Advanced Micro-Device Engineering VIII, Applied Mechanics and Materials, Vol. 888, pp. 52-58, (2019). (DOI: 10.4028/www.scientific.net/AMM.888.52).
- [10] P. Sarson, H. Kobayashi; “Using Distortion Shaping Technique to Equalize ADC THD Performance Between ATEs”, IMSTW (2016) (DOI: 10.1109/IMS3TW.2016.7524223).
- [11] P. Sarson, S. Shibuya, T. Yanagida, H. Kobayashi; “A Technique for Dynamic Range Improvement of Intermodulation Distortion Products for an Interpolating DAC-based Arbitrary Waveform Generator Using a Phase Switching Algorithm”, VTS (2017) (DOI: 10.1109/VTS.2017.7928917).

- [12] P. Sarson, H. Kobayashi; “Using Distortion Shaping Technique to equalize ADC THD Performance Between ATEs”, *Journal of Electronic Testing* (2017) (DOI: 10.1007/s10836-016-5630-0).
- [13] H. Malloug, M. J. Barragan, S. Mir, E. Simeu, H. Le-Gall; “Mostly-Digital Design of Sinusoidal Signal Generators for Mixed-Signal BIST Applications Using Harmonic Cancellation”, *IMSTW* (2016) (DOI: 10.1109/IMS3TW.2016.7524231).
- [14] B. Dufort, G. W. Roberts; “Analog Test Signal Generation Using Periodic Sigma-Delta-Encoded Data Streams”, *Kluwer Academic Publishers, Norwell*, (2000). (DOI: 10.1007/978-1-4615-4377-0).
- [15] D. A. Lampasi, A. Moschitta, P. Carbone; “Accurate Digital Synthesis of Sinewaves”, *IEEE Trans. Instrumentation and Measurement*, Vol. 57, No. 3, pp. 522-529, (2008). (DOI: 10.1109/TIM.2007.911583).
- [16] B. Karthik Vasan, S. K. Sudani, D. J. Chen, R. L. Geiger; “Low-Distortion Sine Wave Generation Using a Novel Harmonic Cancellation Technique”, *IEEE Trans. Circuits and Systems I: Regular Papers*, Vol. 60, No. 5, pp. 1122-1134, (2013). (DOI: 10.1109/TCSI.2013.2249178).
- [17] P. Aluthwala, N. Weste, A. Adams, T. Lehmann, S. Parameswaran; “Design of a Digital Harmonic-Cancelling Sine-wave Synthesizer with 100 MHz Output Frequency, 43.5dB SFDR, and 2.26mW Power”, *ISCAS* (2015) (DOI: 10.1109/ISCAS.2015.7169331).
- [18] M. Kawabata, K. Asami, S. Shibuya, T. Yanagida, H. Kobayashi; “Low-Distortion Signal Generation for Analog/Mixed-Signal Circuit Testing Using Digital ATE”, *ITC Asia* (2017) (DOI: 10.1109/ITC-ASIA.2017.8097100).
- [19] M. Kawabata, K. Asami, S. Shibuya, T. Yanagida, H. Kobayashi; “Sine Signal Generation with Specified Multiple Harmonics Suppression”, *ICSICT* (2016) (DOI: 10.1109/ICSICT.2016.7999030).
- [20] Y. Tamura, R. Sekiyama, K. Asami, H. Kobayashi; “RC Polyphase Filter As Complex Analog Hilbert Filter”, *IEEE International Conference on Solid-State and Integrated Circuit Technology*, Hangzhou, China (Oct. 2016).
- [21] T. Komuro, S. Sobukawa, H. Sakayori, M. Kono, H. Kobayashi; “Total Harmonic Distortion Measurement System for Electronic Devices up to 100MHz with Remarkable Sensitivity”, *IEEE Trans. on Instrumentation and Measurement*, Vol. 56, No. 6, pp. 2360-2368, (2007). (DOI: 10.1109/TIM.2007.904548).
- [22] K. A. Townsend, J. W. Haslett; “Low-power Q-enhancement for parallel LC tanks”, *2006 IEEE International Symposium on Circuits and Systems*, pp.4-3749, (2006). (DOI: 10.1109/ISCAS.2006.1693442).

- [23] W. Gao, W. M. Snelgrove; “A linear active Q-enhanced monolithic LC filter”, 1997 IEEE International Symposium on Circuits and Systems (ISCAS), Vol. 1, pp. 97-100, (1997). (DOI: 10.1109/ISCAS.1997.608598).
- [24] L. Mohammadi, K. -J. Koh; “2-4 GHz Q-tunable LC bandpass filter with 172-dBHz peak dynamic range, resilient to +15-dBm out-of-band blocker”, 2015 IEEE Custom Integrated Circuits Conference (CICC), pp.1-4, (2015). (DOI: 10.1109/CICC.2015.7338403).
- [25] R. Duncan, K. W. Martin, A. S. Sedra; “A Q-enhanced active-RLC bandpass filter”, in IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol.44, No.5, pp.341-347, (May 1997). (DOI: 10.1109/82.580837).
- [26] C. Wu, H. Hsu; “The design of CMOS continuous-time VHF current and voltage-mode lowpass filters with Q-enhancement circuits”, in IEEE Journal of Solid-State Circuits, Vol. 31, No. 5, pp. 614-624, (May 1996). (DOI: 10.1109/4.511017).
- [27] C. Wu, H. Hsu; “The continuous-time VHF lowpass filter design using finite-gain current and voltage amplifiers and special Q-enhancement circuit”, 1994 IEEE International Symposium on Circuits and Systems (ISCAS), Vol. 5, pp.771-774, (1994). (DOI: 10.1109/ISCAS.1994.409492).
- [28] W. A. Gee, P. E. Allen; “CMOS integrated transformer-feedback Q-enhanced LC bandpass filter for wireless receivers”, 2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512), pp.IV-IV, (2004). (DOI: 10.1109/ISCAS.2004.1328988).
- [29] Y. Chang, J. Choma, J. Wills; “The design of CMOS gigahertz-band continuous-time active lowpass filters with Q-enhancement circuits”, Proceedings Ninth Great Lakes Symposium on VLSI, pp.358-361, (1999). (DOI: 10.1109/GLSV.1999.757456).
- [30] M. Takagi, T. Nakatani, S. Katayama, D. Iimori, G. Ogihara, Y. Zhao, A. Kuwana, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa, K. Katoh, K. Hatayama, H. Kobayashi; “Design Consideration for LC Analog Filters: Inductor ESR Compensation, Mutual Inductance Effect and Variable Center Frequency”, 8th International Congress on Information and Communication Technology (ICICT 2023), (Feb. 2023).
- [31] A. Kumar, N. P. Chaudhari, A. K. Verma; “Constant-k and m-Derived Composite Low Pass Filter Using Defected Ground Structure”, ICACCT (2012) (DOI: 10.1109/ACCT.2012.38).

第3部 マルチ出力スイッチング電源の研究

第1章 序論

1.1 研究背景

IoT時代の到来により、身の回りの様々な電子機器・デバイスには通信をはじめ、より多くの機能が搭載されている。それらを構成する各電子回路要素の駆動電圧は異なり、効率の観点から各駆動電圧それぞれを生成する電源回路が設けられる。デバイスの機能追加とともに、回路要素およびその駆動電源の数は増加しており、低コスト化、省スペース化のために複数の出力を単一のパワー部から取り出すスイッチングコンバータの研究開発が行われている。

1.2 研究目的

本研究では、正極性の電圧が出力可能な昇降圧スイッチングコンバータの回路方式であるSEPIC方式のマルチ出力構成を提案する。昇降圧コンバータはチョップ方式が代表的であるが、負電源である。正極性の昇降圧コンバータとしてSEPIC方式およびZetaコンバータがあり、入出力電流リップルの大きさの特徴からSEPIC方式は低消費電力機器に適する。本研究では、バッテリーや環境発電素子で駆動するIoTシステム、ウェアラブル機器、携帯用機器などの低消費電力機器の低コスト化、省スペース化のためのマルチ出力電源を検討する。従って、スイッチング電源の方式にはSEPIC方式を用いる。

先行研究では、SEPIC方式のマルチ出力構成が提案されているが、出力電圧を制御していないアプリケーションやスイッチングの制御周期を共用する手法である。本研究では、異なる制御方式を提案し、出力電圧の数を柔軟に変更可能とする。

1.3 第3部の構成

第3部では、SEPIC方式のマルチ出力構成を提案する。第1章では、直流定電圧電源回路の方式を概説した後、スイッチングコンバータについて述べる。スイッチングコンバータの概説では、特に昇降圧型のスイッチングコンバータについて取り上げ、マルチ出力技術についても述べる。第3章では、SEPIC方式の昇降圧型電源について、回路構成および動作原理、昇圧率の理論導出を行う。第4章ではSEPIC方式のスイッチングコンバータのマルチ出力構成技術を提案し、第5章でシミュレーションによる動作検証を行う。最後に、第6章および第7章において第3部のまとめおよび今後の課題について述べる。

第2章 直流定電圧電源回路の概説

2.1 回路方式

電子機器における電源の役割は、電圧、電流を変換することにより、負荷として接続された電子回路要素に適した安定的な電圧または電流を生成して供給することである。電源回路により変換、安定化して出力するエネルギーの源は、商用電源や前段に設けられた電源回路、バッテリー、発電素子など多岐にわたる。一定値に制御された直流電圧を出力する動作をする電源を直流定電圧電源と呼ぶ。図 3.2.1 に直流定電圧電源の方式を示す。まず、電圧の変換手法として、リニア方式とスイッチング方式に大別される。

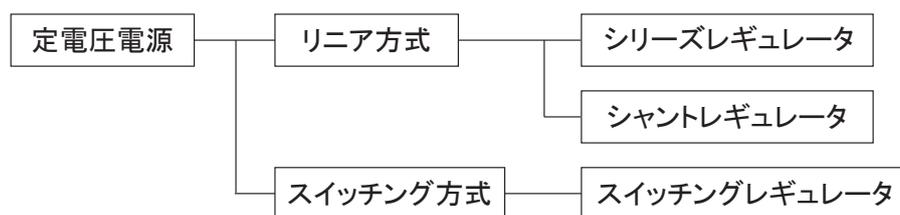


図 3.2.1 直流定電圧電源の方式

リニア方式にはシリアズレギュレータとシャントレギュレータが存在するが、現在存在するリニア方式はそのほとんどがシリアズレギュレータである。シリアズレギュレータの構成例を図 3.2.2 に示す。シリアズレギュレータの名は電源の入力と出力間に直列に制御素子が挿入されており、制御素子での電圧降下により出力電圧を一定化することからつけられた。制御素子は MOS FET などの半導体素子が用いられこれを抵抗として使用する。外付けの素子が少ない簡易な回路で実現が可能であり、ノイズが小さい利点がある。電圧の安定化には電圧降下を用いるため降圧のみが可能であり、入出力間の電位差が大きい場合には損失が大きくなり効率が悪化するなどの欠点がある。

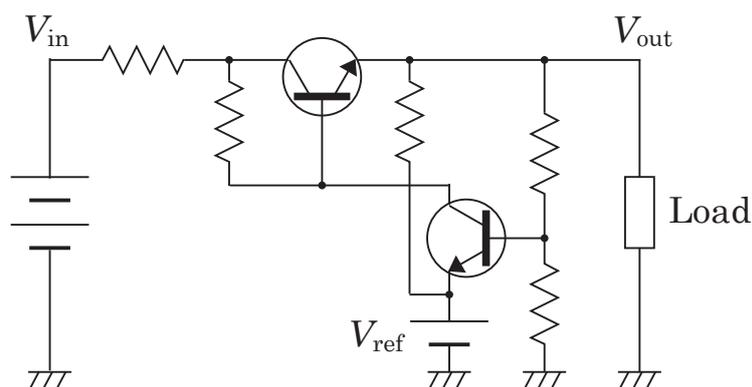


図 3.2.2 シリアズレギュレータの構成

スイッチング方式はスイッチングレギュレータやスイッチング電源とも呼ばれ、その回路方式により降圧型、昇圧型、昇降圧型およびそれらを絶縁にしたものと共振型が存在する [1, 2, 3]. また発振器の有無により、他励式、自励式に分類が可能であり、他励式では制御方式としてパルス幅変調 (PWM: Pulse Width Modulation) を用いるものとスイッチング周波数により制御を行うものが存在する. スwitchング電源の構成の一例を図 3.2.3 に示す. スwitchング電源では、MOS FET などの半導体素子をスイッチとして用い、電流の ON/OFF により電圧を変換する. 本方式では、回路の構成により入力電圧を降圧して出力する降圧型の他、昇圧して出力する昇圧型、負電源を生成する昇降圧型を実現することが可能である. 部品点数が多くなるが、理論的には入出力の電力が一定となるため効率が非常に高い特徴を有する.

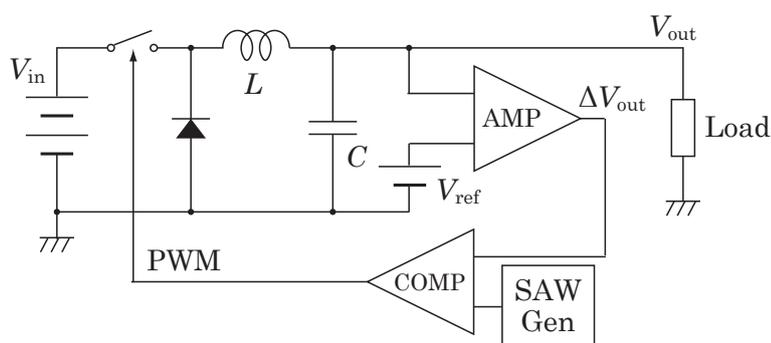


図 3.2.3 スwitchング電源の構成

表 3.2.1 にシリーズレギュレータとスswitchングレギュレータの比較を示す [3].

表 3.2.1 シリーズレギュレータとスswitchングレギュレータの比較

	シリーズレギュレータ	スswitchングレギュレータ
効率	低い (30% - 80%程度)	高い (85% - 97%程度)
回路サイズ・重量	大型, 重い	小型, 軽い
部品点数	少ない	多い
安定性	良好	普通
ノイズ	無い	輻射ノイズ, 伝導ノイズともに大
出力電圧	入力電圧以下	入力電圧以上も可能
出力リップル電圧	小さい (10mV 以下)	大きい
出力インピーダンス	小さい	シリーズレギュレータより大きい
過渡応答速度	速い	シリーズレギュレータより遅い
ワイド入力対応	困難	可能
信頼性	部品点数が少ないため高い	普通

2.2 スイッチングコンバータ

表 3.2.2 にスイッチング電源の回路方式と使用される制御方式を示す [3].

表 3.2.2 スイッチング電源の各回路方式に使用される制御方式

回路方式		スイッチ素子数	制御方式	
非共振型	チョッパ方式 非絶縁型	降圧型	一石 他励式 / PWM 制御	
		昇圧型		
		昇降圧型		
	絶縁型	リングングチョーク型	一石	自励式 / 周波数制御
		フライバック型	一石	他励式 / PWM 制御
		フォワード型		
		プッシュプル型	多石	
ハーフブリッジ型				
フルブリッジ型				
共振型	絶縁型	電流共振型	多石 他励式 / 周波数制御	
		電圧共振型	一石 周波数制御	
		部分共振型	一石 自励式 / 周波数制御	

絶縁型コンバータは AC-DC コンバータなど安全性の要求から入出力の絶縁が求められる電源に用いられる。また、直列接続や出力端の接地の位置により負電圧の出力に対応するものもある。パワー段部の絶縁とエネルギー伝達にはトランスを用いた磁気結合、制御部の絶縁および信号伝達にはフォトカプラによる光結合やパルストランスによる磁気結合を用いる。共振型コンバータは、共振により電圧または電流を正弦波に近似した波形とすることにより、非共振型のスイッチング周波数を高速化した際に問題となるスイッチング損失を低減する。

2.3 昇降圧型スイッチングコンバータの回路構成

非絶縁型すなわちトランスを用いない回路構成の昇降圧コンバータには、いくつかの構成が存在する。最も基本的な構成として、チョップ方式の昇降圧コンバータがある。チョップ方式非絶縁型の昇降圧型コンバータのパワー段部の例を図 3.2.4 に示す [1, 2, 3]。チョップ方式は、出力の極性が反転し、非絶縁型のスイッチングコンバータで負電圧を生成する際に用いられる。

バッテリーや太陽光発電など、スイッチングコンバータ前段の電源の電圧が大きく変動する用途では、昇降圧電源が必要であり、特に正極性が必要な場合の構成も存在する。正極性の昇降圧コンバータは、インダクタとキャパシタをそれぞれ追加して実現し、図 3.2.5 の SEPIC (Single Ended Primary Inductor Converter) 方式および図 3.2.6 の Zeta コンバータ [2, 4] が存在する。スイッチングコンバータの回路構成において、入出力電流リプルはインダクタが直列に挿入されている場合は小さく、スイッチ、ダイオードが挿入されている場合は、大きくなる。SEPIC 方式、Zeta コンバータともに正極性の昇降圧コンバータであるが、直列に挿入されたインダクタの位置が異なり、SEPIC 方式では入力側、Zeta コンバータでは出力側である。従って、SEPIC 方式は入力電流リプルが小さく、Zeta コンバータは出力電流リプルが小さい特徴がある。また、反転型の昇降圧コンバータでも、インダクタとキャパシタをそれぞれ追加して図 3.2.7 の構成とした、Cuk(チューク) コンバータがある [1, 2, 5, 6]。

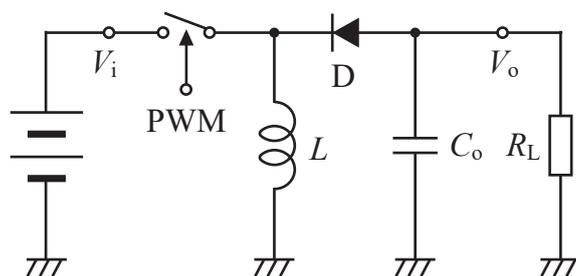


図 3.2.4 チョップ方式非絶縁型の昇降圧型コンバータのパワー段部

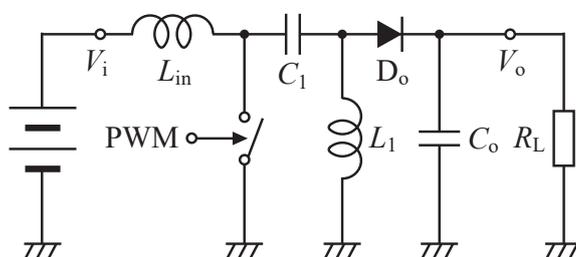


図 3.2.5 SEPIC 方式のパワー段部

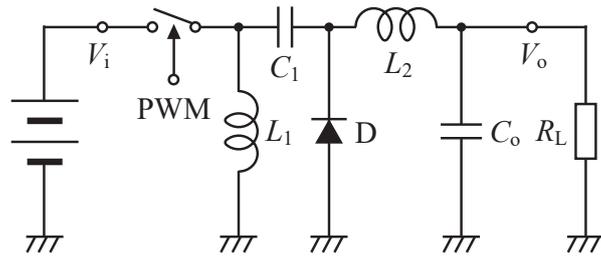


図 3.2.6 Zeta コンバータのパワー段部

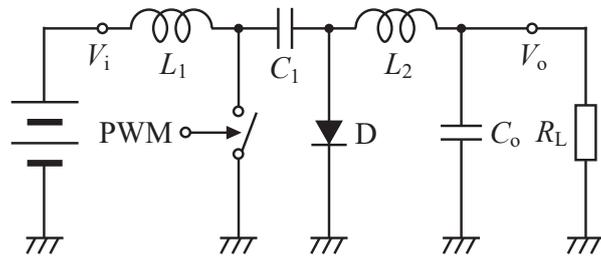


図 3.2.7 Cuk コンバータのパワー段部

2.4 昇降圧型スイッチングコンバータのアプリケーション

IoT システム、ウェアラブル機器、携帯用機器や車載用機器の電源には商用電源が用いられることは少なく、主に環境発電素子や蓄電池が利用される。これらの電源が供給可能な出力電圧が大きく変動するため、入力電圧近傍の電圧を得る場合や動作可能な電源電圧の範囲を拡大するためには、昇降圧電源を利用することが必要である。

2.5 マルチ出力スイッチングコンバータ技術

電子機器を構成する電子部品の駆動電圧は多数の値が存在し、効率の要求から各々の電圧値を出力する電源回路が設けられる。これら複数の出力電圧を複数の電源回路の入力を並列に接続して得た場合、スイッチングコンバータであれば、パワー段部の構成部品をそれぞれ設ける必要がある。しかし、パワー用の部品は大サイズ、高価格であるため、全体の機器のコスト上昇、大型化の原因となる。そこで、パワー段部の入力インダクタやスイッチング用のスイッチを複数の出力で共用する SIMO(Single-Inductor Multiple-Output) 構成 [7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19] が提案されている。SIMO 構成のうち、特に 2 出力のものは SIDO(Single-Inductor Dual-Output) 構成と呼ぶ。

SIMO 構成スイッチングコンバータはパワー段部を各出力で共通するため、コスト低減や小型化が可能となり、IoT システムやウェアラブル機器、携帯用機器などの環境発電素子や蓄電池を電源とした小型、小電力のアプリケーションに利用されている [20, 21, 22, 23, 24, 25, 26, 27, 28]。スイッチングコンバータを SIMO 構成とする際、効率、出力電圧のクロスレギュレーション、過渡応答特性、出力リップルに課題があり、SIMO 構成のトポロジおよび制御の方式の研究が行われている [29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50]。

第3章 SEPIC方式

3.1 SEPIC方式の概要

SEPIC (Single Ended Primary Inductor Converter) 方式は、基本的なチョップ方式非絶縁型の昇降圧型コンバータのパワー段部にインダクタおよびキャパシタを1つずつ追加することで、正極性の昇降圧電源を実現した回路構成である。バッテリーや太陽光発電など、スイッチングコンバータ前段の電源の電圧が大きく変動する用途では、昇降圧電源が必要であり、トランスを用いない非絶縁構成で正極性の昇降圧電源には SEPIC 方式や Zeta コンバータがある。SEPIC 方式が太陽光発電に用いられる例もある [51, 52] が、入出力電流リップの大きさの観点から、入力電流リップが小さく、出力電圧リップが比較的大きいため、携帯機器などの低消費電力機器が適している [53, 54]。本研究では、バッテリーや環境発電素子で駆動する IoT システム、ウェアラブル機器、携帯用機器などの低消費電力機器の低コスト化、省スペース化のためのマルチ出力電源を検討するため、スイッチングコンバータの方式には SEPIC 方式を用いる。

図 3.3.1 にパワー段部に制御部を加えた SEPIC 方式の構成例を示す。

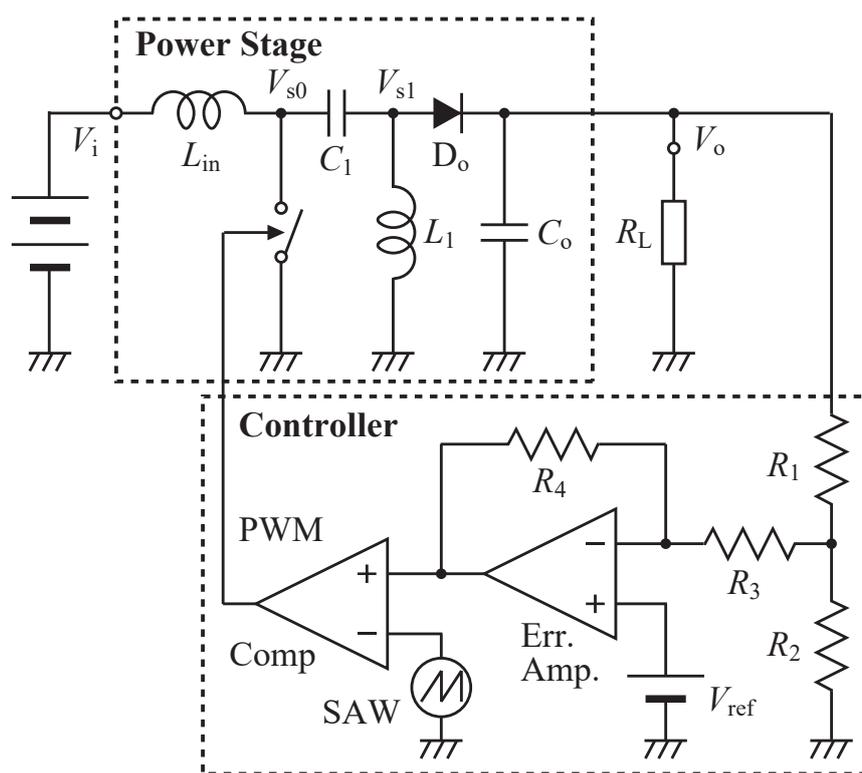


図 3.3.1 パワー段部に制御部を加えた SEPIC 方式の構成

インダクタ L_{in} は基本的な昇降圧型コンバータと同様に、電源の入力とスイッチ SW の間に接続される。インダクタ L_{in} とスイッチ SW の接点にキャパシタ C_1 を接続して、そのも

う一方の端にインダクタ L_1 および出力ダイオード D_o を接続する。出力ダイオード D_o に出力キャパシタ C_o を接続して出力電圧 V_o を得る。制御部では、出力電圧 V_o の抵抗分圧と基準電圧 V_{ref} をオペアンプで比較増幅して誤差信号 V_{err} を生成する。誤差信号をさらに比較器で鋸歯状波信号 SAW と比較することで、パルス幅変調 (PWM) パルスを発生し、PWM パルスによりパワー段部のスイッチ SW を制御駆動する。

SEPIC 方式では、インダクタ L_1 にキャパシタ C_1 および出力ダイオード D_o を接続した他方は GND に接続する。ここに、バイアスカパシタ C_b を挿入して、インダクタ L_{in} とスイッチ SW の接続点とインダクタ L_1 とバイアスカパシタ C_b の接続点の間にバイアスダイオード D_b を設けることで、昇圧動作のみとしつつ昇圧率を向上した高昇圧 SEPIC の構成となる。図 3.3.2 に高昇圧 SEPIC のパワー段部の構成例を示す。SEPIC 方式では、PWM パルスの時比率 D を用いて表した昇圧率は $D/(1 - D)$ であるが、高昇圧 SEPIC では $(1 + D)/(1 - D)$ である。

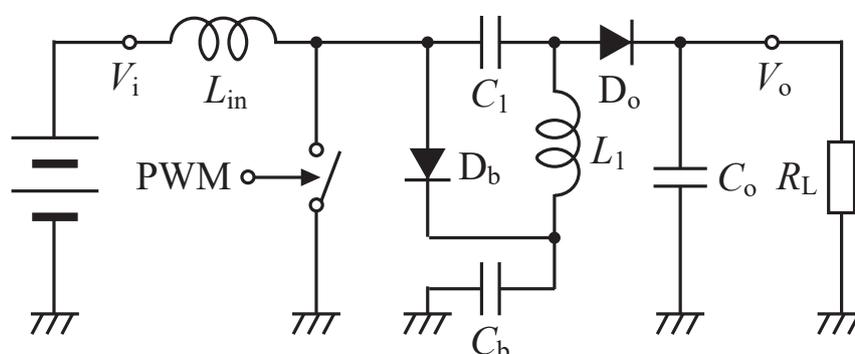


図 3.3.2 高昇圧 SEPIC 方式の構成

高昇圧 SEPIC において、スイッチ SW 後段に設けられた L_1 , C_1 , C_b , D_b の回路網と同一構成の回路をはしご状に接続することで、図 3.3.3 の増幅昇圧 SEPIC の構成が可能である [55]. 昇圧率は高昇圧 SEPIC からさらに上昇して、 L_1 , C_1 , C_b , D_b の回路網の個数が n の場合、 $(1 + nD)/(1 - D)$ であり、PWM パルスの時比率の上昇を抑制しつつ高い昇圧率が実現可能である.

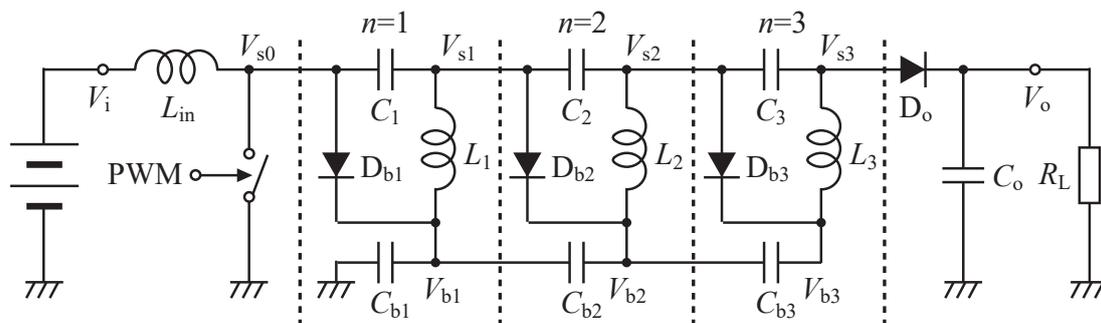


図 3.3.3 増幅昇圧 SEPIC 方式の構成

3.2 SEPIC 方式の動作

図 3.3.1 の回路を用いて、基本的な SEPIC 方式の動作を説明する [56, 57, 58].

スイッチ SW が ON 時には、インダクタ L_{in} の順方向電流 (入力端子側からスイッチ SW 側の方向) が時間とともに増加し、エネルギーが蓄積される。また、 L_1 の電流が L_1 の蓄積エネルギーによりキャパシタ C_1 を充電する方向に流れる。このときダイオード D_o は逆バイアスとなり OFF する。

スイッチ SW が OFF 時には、インダクタ L_{in} のエネルギーによりノード V_{s0} が昇圧され、更にキャパシタ C_1 によりノード V_{s1} も更に昇圧される。これによりダイオード D_o が順方向バイアスとなり ON して、出力キャパシタ C_o に充電電流が流れる。このとき、 L_1 にはエネルギーが蓄積される。

以上の動作の際、出力電圧の抵抗分圧値が基準電圧より低い場合は、PWM パルスの時比率 D を増加し、スイッチの ON 時間を長くする。これにより、インダクタ L_{in} の電流が増加し、蓄積エネルギーが増加した結果、出力電圧 V_o が上昇する。このように PWM パルスの時比率を負帰還制御することにより出力電圧値を一定に保持する。

3.3 増幅昇圧 SEPIC の動作

図 3.3.4 に増幅昇圧 SEPIC の動作波形を示す。定常状態であるため、キャパシタ $C_1, C_2, C_3, C_{b1}, C_{b2}, C_{b3}$ の充電電圧は一定であり、 C_1, C_2, C_3 の端子電圧 $V_{s0}, V_{s1}, V_{s2}, V_{s3}$ には、スイッチ OFF 時にパルス状の昇圧がオーバーラップして現れる。 C_{b1}, C_{b2}, C_{b3} の端子電圧 V_{b1}, V_{b2}, V_{b3} は、スイッチ OFF 時にバイアスダイオード D_{b1}, D_{b2}, D_{b3} を介して充電されるため、 V_{s0}, V_{s1}, V_{s2} のスイッチ OFF 時の電圧と等しい値となっている。

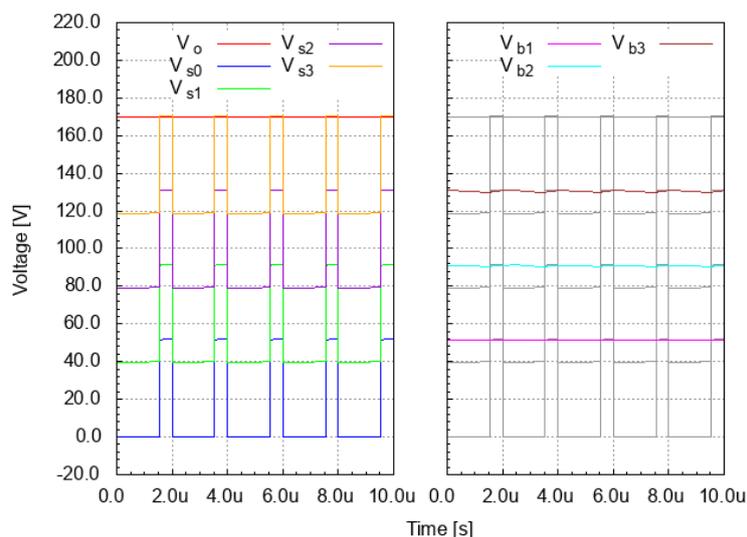


図 3.3.4 増幅昇圧 SEPIC 方式の動作波形

3.4 SEPIC 方式の昇圧率

基本的な SEPIC 方式，高昇圧 SEPIC，増幅昇圧 SEPIC について，同一の素子値によりパワー段部を構成し，入力電圧 $V_i = 10\text{ V}$ ，負荷電流 $I_o = 0.1\text{ A}$ ，スイッチング周波数 $f_{\text{ck}} = 500\text{ kHz}$ ，PWM パルスの時比率 $D = 0.80$ としてシミュレーションを行い，昇圧率を比較した．シミュレーションの結果を図 3.3.5 に示す．本シミュレーションでは，制御部を設けていないため出力電圧にオフセットが生じている．以下では，連続モードで動作している場合について，状態平均化法により各 SEPIC 方式の動作の解析を行い，理論的な昇圧率を示す．

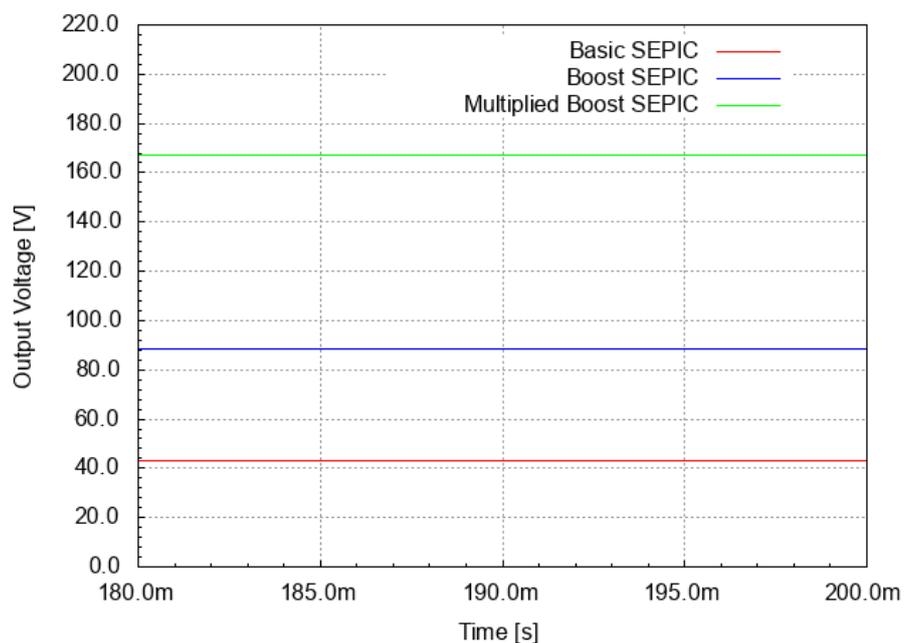
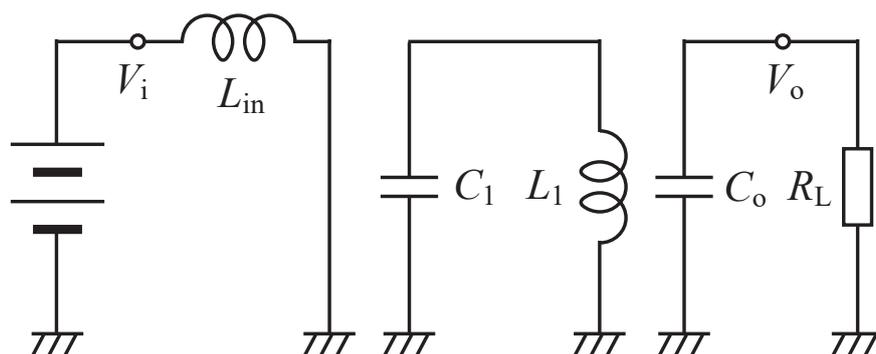


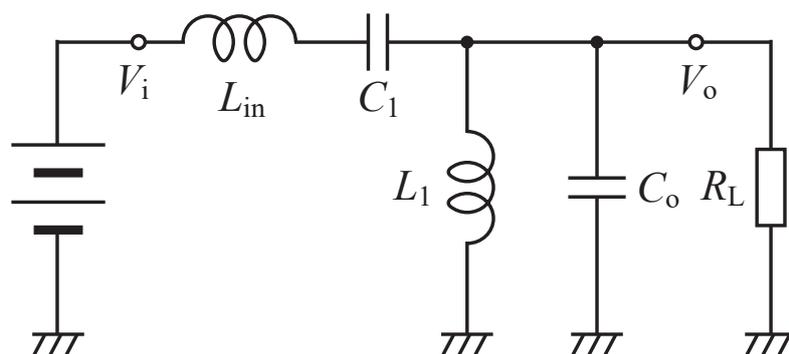
図 3.3.5 各 SEPIC 方式の昇圧率のシミュレーション

3.4.1 基本 SEPIC 方式

クロック周期を $T = 1/f_{\text{clk}}$ (f_{clk} : スイッチング周波数), スイッチ SW を駆動する PWM パルスの時比率を D とし, ダイオードの ON 電圧は 0 であると考え. 動作解析に用いる基本的な SEPIC 方式の回路を図 3.3.6 に示す. 図 3.3.6 (a) はスイッチ SW が ON 時の回路の状態を示し, スイッチにより GND に接続される L_{in} および C_1 の一方の端子を GND に接続し, ダイオード D_o は逆バイアスとなるため開放して表す. 図 3.3.6 (b) はスイッチ SW が OFF 時の場合であり, ダイオードは順方向バイアスとなるため短絡して表す.



(a) スイッチ SW が ON 時



(b) スイッチ SW が OFF 時

図 3.3.6 基本 SEPIC 方式の動作解析回路

まず, スイッチ SW が ON 時, OFF 時それぞれについて, インダクタ電流の変化率 ΔI_L を計算する. SW が ON 時の L_{in} 電流の変化率 $\Delta I_{L_{\text{in}}}$, L_1 電流の変化率 ΔI_{L_1} は次式である.

$$\Delta I_{L_{\text{in}}} = \frac{V_i}{L_{\text{in}}} DT \quad (3.3.1)$$

$$\Delta I_{L_1} = \frac{V_{C_1}}{L_1} DT \quad (3.3.2)$$

SW が OFF 時の L_{in} 電流の変化率 ΔI_{Lin} , L_1 電流の変化率 ΔI_{L1} は次式である.

$$\Delta I_{Lin} = \frac{V_i - (V_o - V_{C1})}{L_{in}}(1 - D)T \quad (3.3.3)$$

$$\Delta I_{L1} = \frac{V_o}{L_1}(1 - D)T \quad (3.3.4)$$

定常時には SW が ON 時と OFF 時の各インダクタ電流の変化率の和は 0 であるから,

$$\Sigma \Delta I_{Lin} = \frac{V_i}{L_{in}}DT + \frac{V_i - V_o + V_{C1}}{L_{in}}(1 - D)T = 0 \quad (3.3.5)$$

$$\Sigma \Delta I_{L1} = \frac{V_{C1}}{L_1}DT + \frac{V_o}{L_1}(1 - D)T = 0 \quad (3.3.6)$$

(3.3.5) 式, (3.3.6) 式より

$$V_i + (V_o - V_{C1})(1 - D) = 0 \quad (3.3.7)$$

$$V_{C1} = -\frac{1 - D}{D}V_o \quad (3.3.8)$$

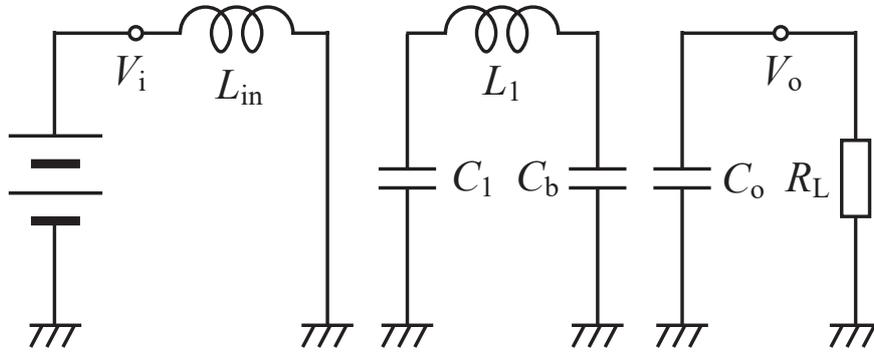
(3.3.7) 式に (3.3.8) 式を代入して, 次式を得る.

$$\frac{V_o}{V_i} = \frac{D}{1 - D} \quad (3.3.9)$$

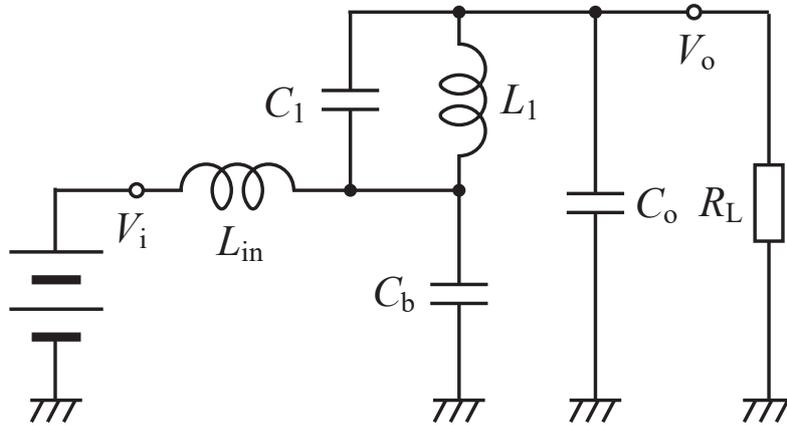
(3.3.9) 式の昇圧率から入力電圧が $V_i = 10V$, PWM パルスの時比率が $D = 0.80$ の場合, 出力電圧は $V_o = 40V$ であり, シミュレーション結果と一致する.

3.4.2 高昇圧 SEPIC 方式

基本的な SEPIC 方式の昇圧率と同様に図 3.3.7 の動作回路図により動作解析を行う。



(a) スイッチ SW が ON 時



(b) スイッチ SW が OFF 時

図 3.3.7 高昇圧 SEPIC 方式の動作解析回路

SW が ON 時の L_{in} 電流の変化率 ΔI_{Lin} , L_1 電流の変化率 ΔI_{L1} は次式である。

$$\Delta I_{Lin} = \frac{V_i}{L_{in}} DT \quad (3.3.10)$$

$$\Delta I_{L1} = \frac{V_{C1} - V_{Cb}}{L_1} DT \quad (3.3.11)$$

SW が OFF 時の L_{in} 電流の変化率 ΔI_{Lin} , L_1 電流の変化率 ΔI_{L1} は次式である。

$$\Delta I_{Lin} = \frac{V_i - V_{Cb}}{L_{in}} (1 - D) T \quad (3.3.12)$$

$$\Delta I_{L1} = \frac{V_o - V_{Cb}}{L_1} (1 - D) T \quad (3.3.13)$$

また、SW が OFF 時のキャパシタ C_1 の電圧 V_{C1} 、 C_b の電圧 V_{Cb} および出力電圧 V_o の関係は次式である。

$$V_{C1} = V_o - V_{Cb} \quad (3.3.14)$$

定常時には SW が ON 時と OFF 時の各インダクタ電流の変化率の和は 0 であるから、

$$\Sigma \Delta I_{L_{in}} = \frac{V_i}{L_{in}} DT + \frac{V_i - V_{Cb}}{L_{in}} (1 - D)T = 0 \quad (3.3.15)$$

$$\Sigma \Delta I_{L_1} = \frac{V_{C1} - V_{Cb}}{L_1} DT + \frac{V_o - V_{Cb}}{L_1} (1 - D)T = 0 \quad (3.3.16)$$

(3.3.14) 式、(3.3.15) 式および (3.3.16) 式より

$$V_i D + (V_i - V_{Cb})(1 - D) = 0 \quad (3.3.17)$$

$$V_{Cb} = \frac{1}{1 + D} V_o \quad (3.3.18)$$

(3.3.17) 式に (3.3.18) 式を代入して、次式を得る。

$$\frac{V_o}{V_i} = \frac{1 + D}{1 - D} \quad (3.3.19)$$

(3.3.19) 式の昇圧率から入力電圧が $V_i = 10 \text{ V}$ 、PWM パルスの時比率が $D = 0.80$ の場合、出力電圧は $V_o = 90 \text{ V}$ であり基本的な SEPIC 方式より高い昇圧率が得られていることが確認できる。また、この計算値はシミュレーション結果と一致する。

3.4.3 増幅昇圧 SEPIC 方式

図 3.3.8 の動作回路図により動作解析を行う。 L_1 , C_1 , C_b , D_b の回路網の個数は 3 とした。

L_{in} 電流の変化率 ΔI_{Lin} を考える。 SW が ON 時は次式である。

$$\Delta I_{Lin} = \frac{V_i}{L_{in}} DT \quad (3.3.20)$$

SW が OFF 時は次式である。

$$\Delta I_{Lin} = \frac{V_i - V_{Cb}}{L_{in}} (1 - D) T \quad (3.3.21)$$

L_1 電流の変化率 ΔI_{L1} を考える。 SW が ON 時は次式である。

$$\Delta I_{L1} = \frac{V_{C1} - V_{Cb1}}{L_1} DT \quad (3.3.22)$$

SW が OFF 時は次式である。

$$\Delta I_{L1} = \frac{V_{C1}}{L_1} (1 - D) T \quad (3.3.23)$$

L_2 電流の変化率 ΔI_{L2} を考える。 SW が ON 時は次式である。

$$\Delta I_{L2} = \frac{V_{C1} + V_{C2} - V_{Cb1} - V_{Cb2}}{L_2} DT \quad (3.3.24)$$

SW が OFF 時は次式である。

$$\Delta I_{L2} = \frac{V_{C2}}{L_2} (1 - D) T \quad (3.3.25)$$

L_3 電流の変化率 ΔI_{L3} を考える。 SW が ON 時は次式である。

$$\Delta I_{L3} = \frac{V_{C1} + V_{C2} + V_{C3} - V_{Cb1} - V_{Cb2} - V_{Cb3}}{L_3} DT \quad (3.3.26)$$

SW が OFF 時は次式である。

$$\Delta I_{L3} = \frac{V_{C3}}{L_3} (1 - D) T \quad (3.3.27)$$

また、キャパシタ C_1 の電圧 V_{C1} , C_2 の電圧 V_{C2} , C_3 の電圧 V_{C3} , C_{b1} の電圧 V_{Cb1} , C_{b2} の電圧 V_{Cb2} , C_{b3} の電圧 V_{Cb3} および出力電圧 V_o の関係は次式である。

$$V_o = V_{Cb1} + V_{C1} + V_{C2} + V_{C3} \quad (3.3.28)$$

$$V_{C1} = V_{Cb2} \quad (3.3.29)$$

$$V_{C2} = V_{Cb3} \quad (3.3.30)$$

$$V_{C1} + V_{C2} = V_{Cb2} + V_{Cb3} \quad (3.3.31)$$

定常時にはSWがON時とOFF時の各インダクタ電流の変化率の和は0であるから, (3.3.20)-(3.3.27) 式および, (3.3.29)-(3.3.31) 式を整理する.

$$V_i = V_{Cb1}(1 - D) \quad (3.3.32)$$

$$V_{C1} = V_{Cb1}D \quad (3.3.33)$$

$$V_{C2} = V_{Cb1}D \quad (3.3.34)$$

$$V_{C3} = V_{Cb1}D \quad (3.3.35)$$

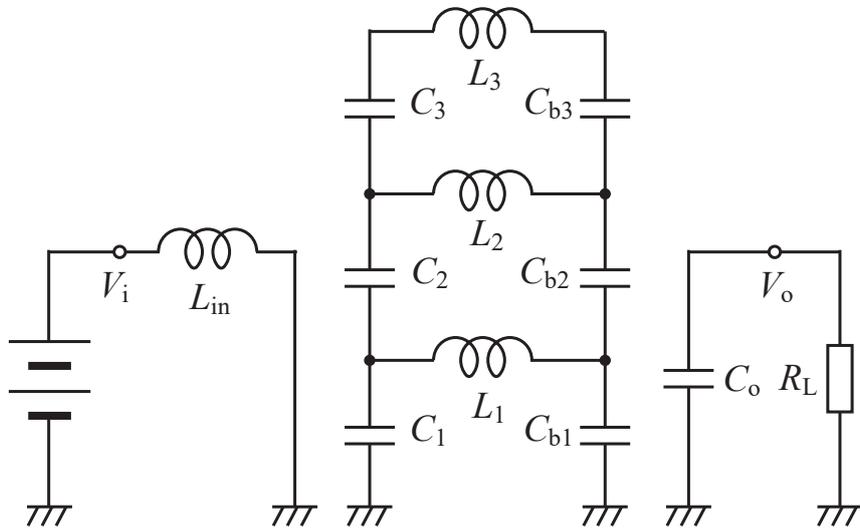
(3.3.28) 式および, (3.3.33)-(3.3.35) 式より次式が得られる.

$$V_o = V_{Cb1}(1 + 3D) \quad (3.3.36)$$

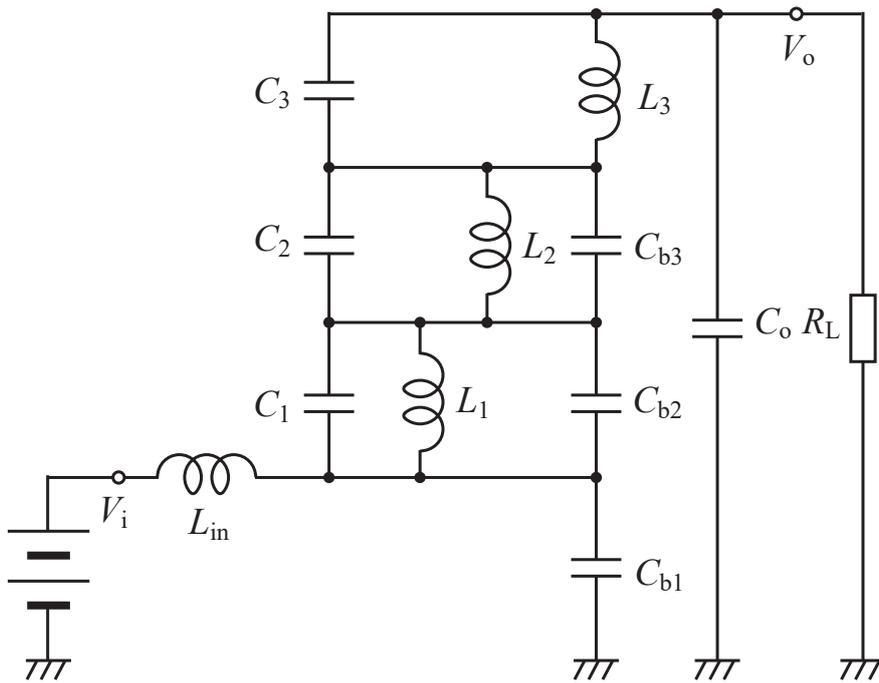
(3.3.36) 式に (3.3.32) 式を代入して, 次式を得る.

$$\frac{V_o}{V_i} = \frac{1 + 3D}{1 - D} \quad (3.3.37)$$

(3.3.37) 式の昇圧率から入力電圧が $V_i = 10 \text{ V}$, PWM パルスの時比率が $D = 0.80$ の場合, 出力電圧は $V_o = 170 \text{ V}$ であり, この計算値はシミュレーション結果と一致する. 尚, L_1 , C_1 , C_b , D_b の回路網の個数が n の場合, 昇圧率は $(1 + nD)/(1 - D)$ である.



(a) スイッチ SW が ON 時



(b) スイッチ SW が OFF 時

図 3.3.8 増幅昇圧 SEPIC 方式の動作解析回路

第4章 SEPIC方式スイッチングコンバータのSIMO構成

4.1 基本SEPIC方式のデュアル出力(SIDO)構成

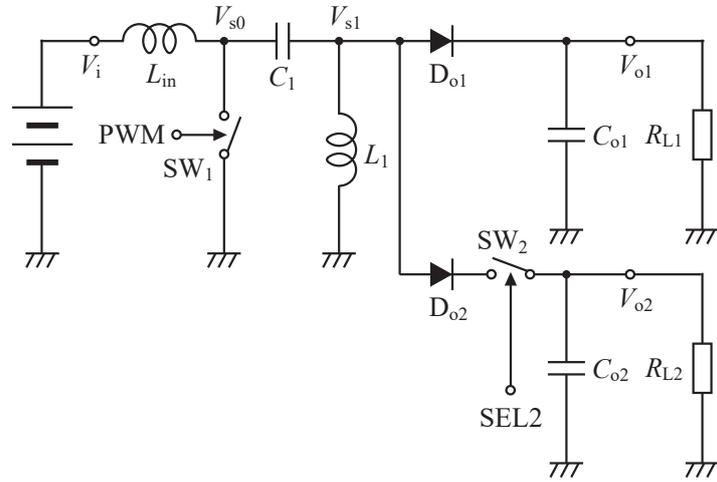
SIDO構成では、2つの出力端子電圧 V_{o1} 、 V_{o2} の関係を $V_{o1} > V_{o2}$ として、パワー段部の出力ダイオードの後段にスイッチを追加するとともに、制御部に各出力電圧の誤差を比較し、PWMパルスを選択するPWM選択部を追加する。

図3.4.1にSIDO構成とした基本SEPICのパワー段部および制御部を示す。パワー段部における出力 V_{o2} の追加は、出力 V_{o1} の出力ダイオード D_{o1} と並列に D_{o2} を設け、その後段にスイッチ SW_2 を設ける。 SW_2 の後段には、出力キャパシタ C_{o2} および負荷 R_{L2} が接続される。制御部では、出力 V_{o1} と同様の誤差増幅器および比較器からなるPWMパルス発生回路を出力 V_{o2} にも設ける。PWM選択部では、各誤差増幅器の誤差信号を比較し、より誤差が大きいパルスを排他的に選択する選択信号SEL1およびSEL2を生成し、これら選択信号によりPWMパルスの一方を選択する。SEL2が真の場合には、スイッチ SW_2 をONして、出力 V_{o2} に電流が供給されるが、出力は $V_{o1} > V_{o2}$ の関係であるから、出力ダイオード D_{o1} はOFFするため、出力 V_{o1} 側へのスイッチ追加は不要である。

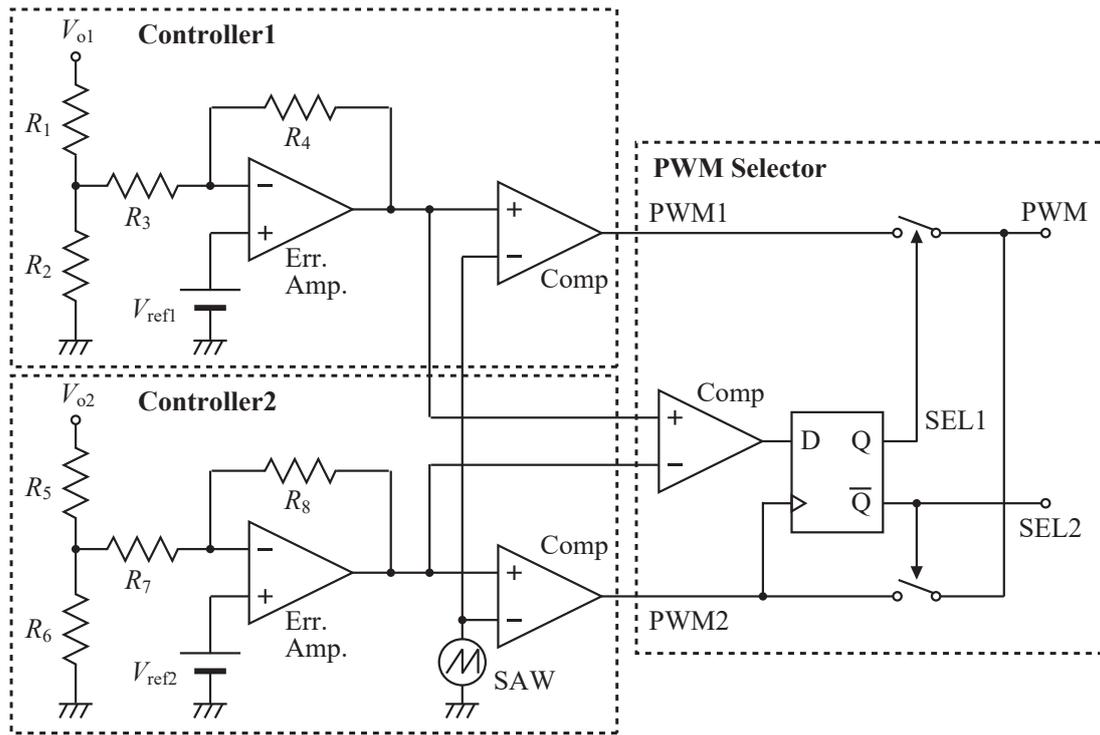
尚、高昇圧SEPICや増幅昇圧SEPICから2つの出力電圧を取り出す場合においても、同様の追加回路によりSIDO構成が可能である。このとき、出力 V_{o1} 、 V_{o2} の出力ダイオードを接続するノードが異なる場合には、 V_{o1} 側の出力ダイオードの後段にもスイッチを設ける。

本研究の他にも、パワー段部の構成を用いたSEPICのSIMO構成が提案されているが、制御は出力ダイオードの導通期間を共用することで行っている[18]。また、入力部のインダクタ L_{in} および SW_1 のみを共用し、キャパシタ C_1 後段の回路を複数設けたSIMO構成も提案されている。これは、キャパシタ C_1 後段の回路の一方で、出力ダイオード D_o とインダクタ L_1 を入れ替えたCukコンバータを構成して正負電源を実現している。制御は太陽電池を電源として入力電圧および入力電流によるMPPT制御を行っている[19]。

本研究で提案したマルチ出力制御は各出力が制御周期を占有するため、スイッチングパルスの時比率に制約が生じない。したがって、出力電圧の数が柔軟に変更可能である。



(a) パワー段部



(b) 制御部

図 3.4.1 SIDO 構成とした基本 SEPIC

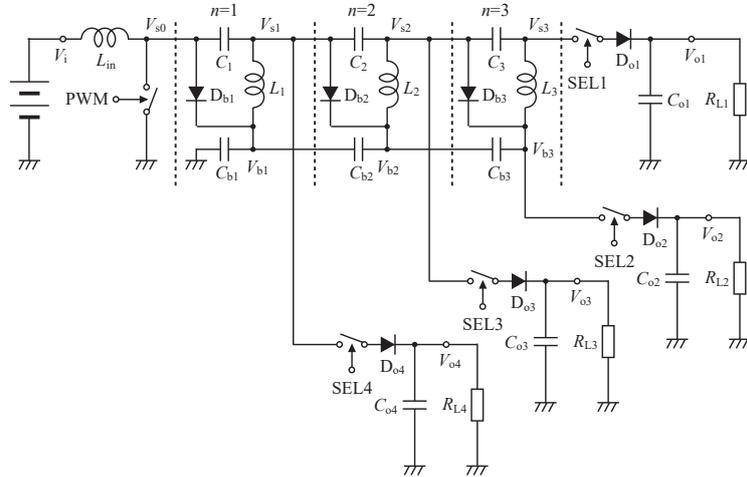
4.2 増幅昇圧 SEPIC の SIMO 構成

4つの出力 V_{o1} , V_{o2} , V_{o3} , V_{o4} を有する SIMO 構成について、増幅昇圧 SEPIC 方式への適用を例として述べる。図 3.4.2 に SIMO 構成とした増幅昇圧 SEPIC のパワー段部および制御部を示す。

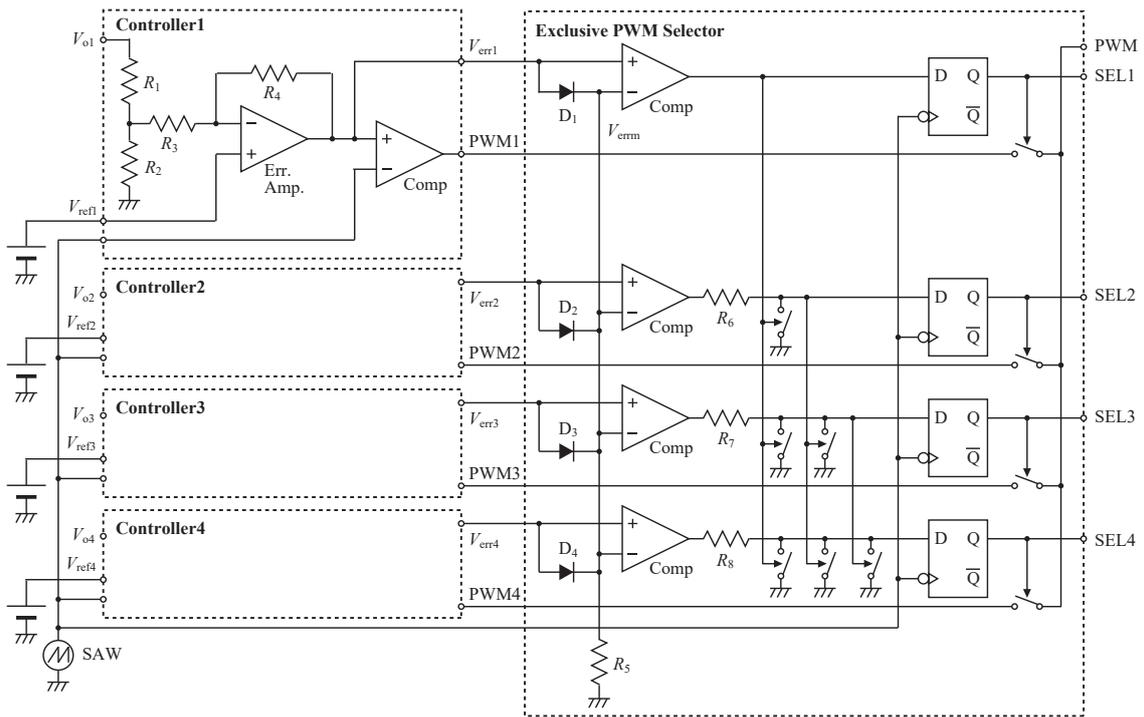
出力電圧の関係は、 $V_{o1} > V_{o2} > V_{o3} > V_{o4}$ とする。増幅昇圧 SEPIC では、各ノード電圧 V_{s1} , V_{s2} , V_{s3} , V_{b1} , V_{b2} , V_{b3} にはある程度の幅を持つため、各出力ダイオードの接続ノードを異なるノードから選択し、各出力の昇圧率が近似した時比率で表現可能とすることで、出力切り替え時のノイズを抑制する。

異なるノードに出力ダイオードを接続する場合には、出力 V_{o1} の出力ダイオード D_{o1} の後段にも出力選択スイッチを設ける。

制御部における誤差信号の比較は、3つ以上の出力を比較するため最大誤差信号 V_{errm} と各誤差信号 V_{err1} , V_{err2} , V_{err3} , V_{err4} を比較することで行う。複数の誤差信号が最大誤差信号 V_{errm} より大きくなる場合は、出力 V_{o1} , V_{o2} , V_{o3} , V_{o4} の優先順に排他選択して PWM パルスおよび出力スイッチを選択する。



(a) パワー段部



(b) 制御部

図 3.4.2 SIMO 構成とした増幅昇圧 SEPIC

4.3 高昇圧切替え型デュアル出力 SEPIC

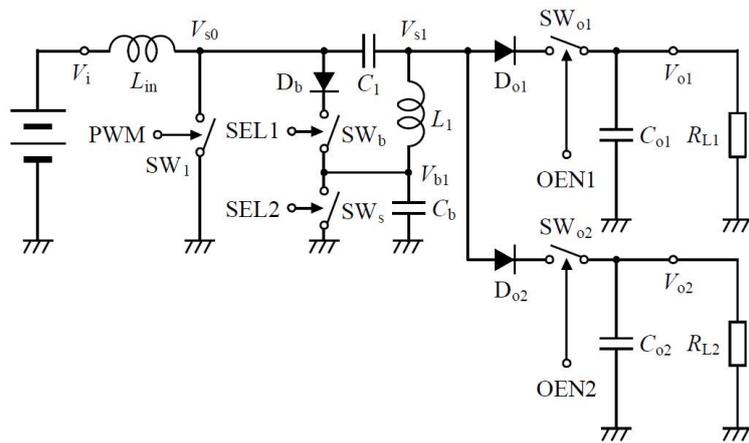
高昇圧 SEPIC および増幅昇圧 SEPIC は PWM パルスの時比率を上昇させず高い昇圧率を実現可能な回路構成であるが、降圧はできない。バッテリーを電源とするアプリケーションでは入力電圧が大きく変動するため、出力電圧が入力電圧近傍の場合、昇圧、降圧双方の動作が必須である。入力インダクタおよびスイッチの後段の回路を 2 段とした増幅昇圧 SEPIC の 1 段目を基本的な SEPIC と同様の構成、すなわち、バイアスカパシタおよびバイアスダイオードを設けない構成とすることで実現可能である。しかし、増幅昇圧 SEPIC では、インダクタおよびキャパシタの個数が増加する。

本章では、SIDO 構成における出力の選択に伴い、パワー段部の構成を基本 SEPIC 方式と高昇圧 SEPIC 方式の間で回路構成を切り替える、高昇圧切替え型デュアル出力 SEPIC を検討する。本提案では、出力 V_{o1} を昇圧専用、出力 V_{o2} を昇降圧用として、出力 V_{o1} 選択時には高昇圧 SEPIC、出力 V_{o2} 選択時には基本 SEPIC の構成とする。

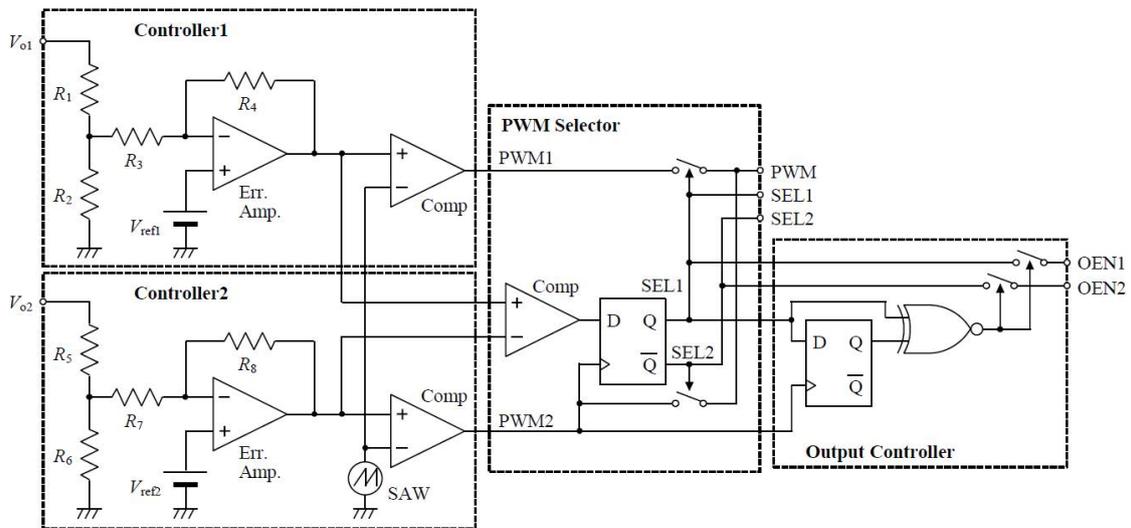
図 3.4.3 に高昇圧切替え型デュアル出力 SEPIC のパワー段部および制御部を示す。パワー段部においては、SIDO 構成とした高昇圧 SEPIC にさらにスイッチ SW_s および SW_b を設け、出力選択信号により駆動する。スイッチ SW_s は出力 V_{o2} の選択信号により ON し、バイアスカパシタ C_b の両端を短絡、解放する。スイッチ SW_b は出力 V_{o1} の選択信号により ON し、バイアスダイオード D_b を接続、解放する。

出力の切替わり時の、SEPIC 方式と高昇圧 SEPIC 方式の間の構成の切替えは、スイッチ SW_1 の ON, OFF 間に行われる。この時、 C_b 電圧と L_1 電流が非定常状態となり、出力キャパシタに大きなスパイク状の電流が流れ、出力電圧にノイズが発生する。この対策として出力選択スイッチ SW_{o2} を出力 V_{o2} に設け、出力選択の切替えから 1 制御周期遅延して出力を ON する出力コントロールを行い、出力電圧リプルの低減を図る。出力 V_{o1} についても出力電圧より高い電圧がノイズとして発生する場合、出力選択スイッチ SW_{o1} を設ける。

制御部における誤差増幅器および PWM パルスおよび選択信号 SEL1, SEL2 の生成部は図 3.4.1 (b) と同一構成である。構成の切替えの最初の制御周期の検出は、選択信号とその 1 制御周期遅延の排他的論理和により行う。これにより、出力の切替わり後の最初の周期のみ選択信号 SEL1 および SEL2 を強制的に OFF して、出力選択スイッチの駆動信号 OEN1 および OEN2 を生成する。



(a) パワー段部



(b) 制御部

図 3.4.3 高昇圧切替え型デュアル出力 SEPIC

第5章 シミュレーション検証

回路シミュレータの SIMetrix/SIMPLIS により本研究において提案した回路の動作を検証した。

5.1 基本 SEPIC 方式のデュアル出力 (SIDO) 構成

基本 SEPIC 方式のデュアル出力 (SIDO) 構成のシミュレーションを行った。表 3.5.1 にシミュレーションに用いたパラメータを示す。本シミュレーションでは、Li-ion 電池を電源としたウェアラブル機器や携帯用機器等を駆動する DC-DC コンバータを想定した条件に設定した。

表 3.5.1 SIDO 構成とした基本 SEPIC 方式のシミュレーション条件

シミュレーションパラメータ	設定値
入力電圧 V_i	4.0 V
出力電圧 1 V_{o1}	12 V
出力電圧 2 V_{o2}	1.8 V
出力電流 1 I_{o1}	10 mA → 20 mA
出力電流 2 I_{o2}	50 mA → 100 mA
動作周波数 f_{ck}	500 kHz
インダクタ L_{in}	220 μ H
L_{in} ESR	10 m Ω
インダクタ L_1	220 μ H
L_1 ESR	10 m Ω
キャパシタ C_1	10 μ F
C_1 ESR	5.0 m Ω
出力キャパシタ 1 C_{o1}	100 μ F
C_{o1} ESR	1.0 m Ω
出力キャパシタ 2 C_{o2}	470 μ F
C_{o2} ESR	1.0 m Ω

図 3.5.1 に SIDO 構成とした SEPIC 方式スイッチングコンバータから 2 つの昇降圧出力を得るシミュレーションの各部波形，図 3.5.2 に過渡応答特性を示す。

出力電流が $I_{o1} = 10$ mA, $I_{o2} = 50$ mA の場合の定常リプルは $\Delta V_{o1} = 2.5$ mV, $\Delta V_{o1} = 0.8$ mV, 効率は 80.8% であった。

出力 V_{o1} 側の負荷電流の変化 $\Delta I_{o1} = 10$ mA に対して，出力電圧に生じるオーバーシュートは $\Delta V_{os1} = 13.5$ mV, $\Delta V_{os2} = 1.2$ mV であった。また出力 V_{o2} 側の負荷電流の変化 $\Delta I_{o2} = 50$ mA に対して，出力電圧に生じるオーバーシュートは $\Delta V_{os1} = 22$ mV, $\Delta V_{os2} = 2.4$ mV であった。

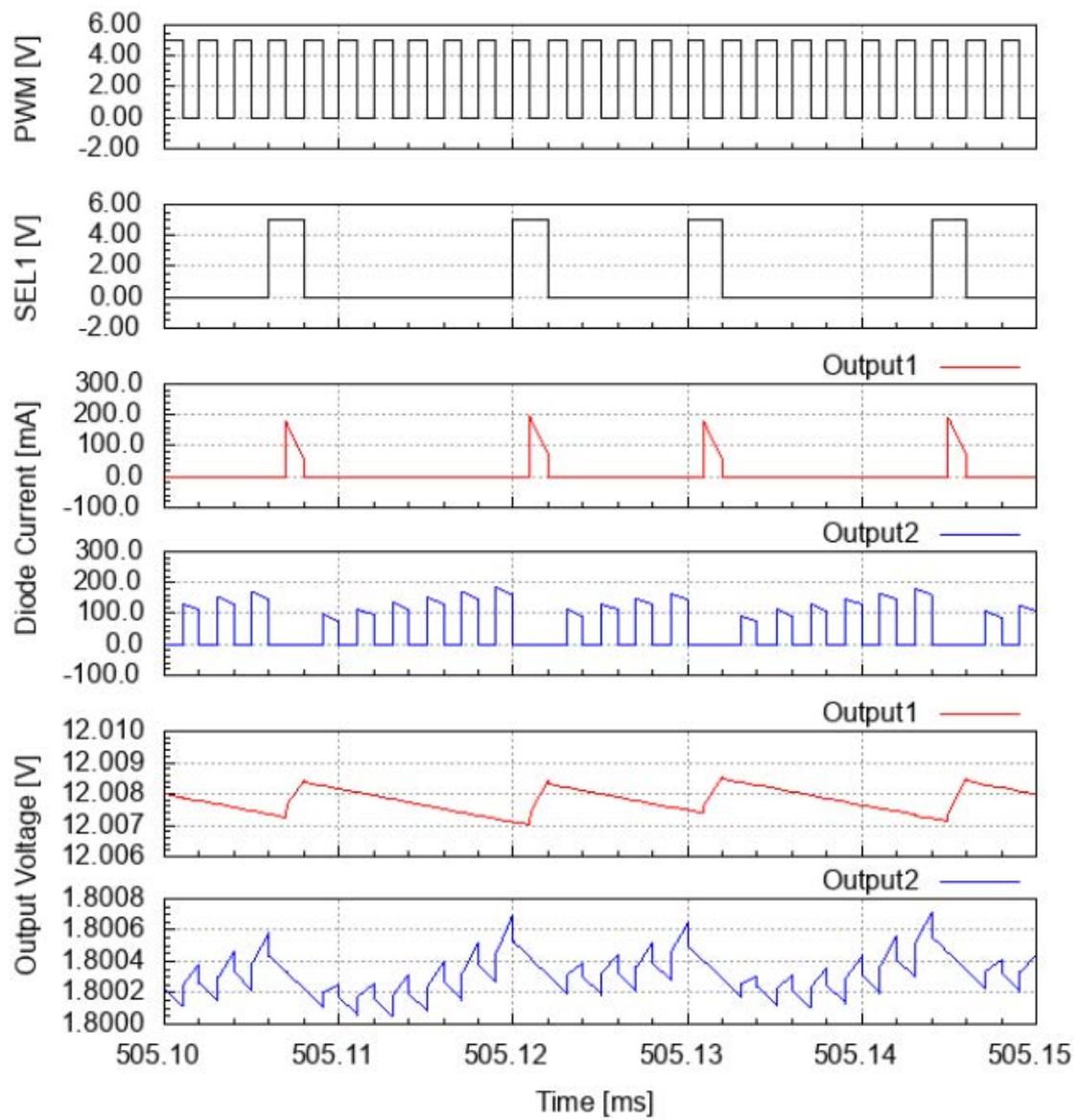


図 3.5.1 デュアル出力 SEPIC の各部波形

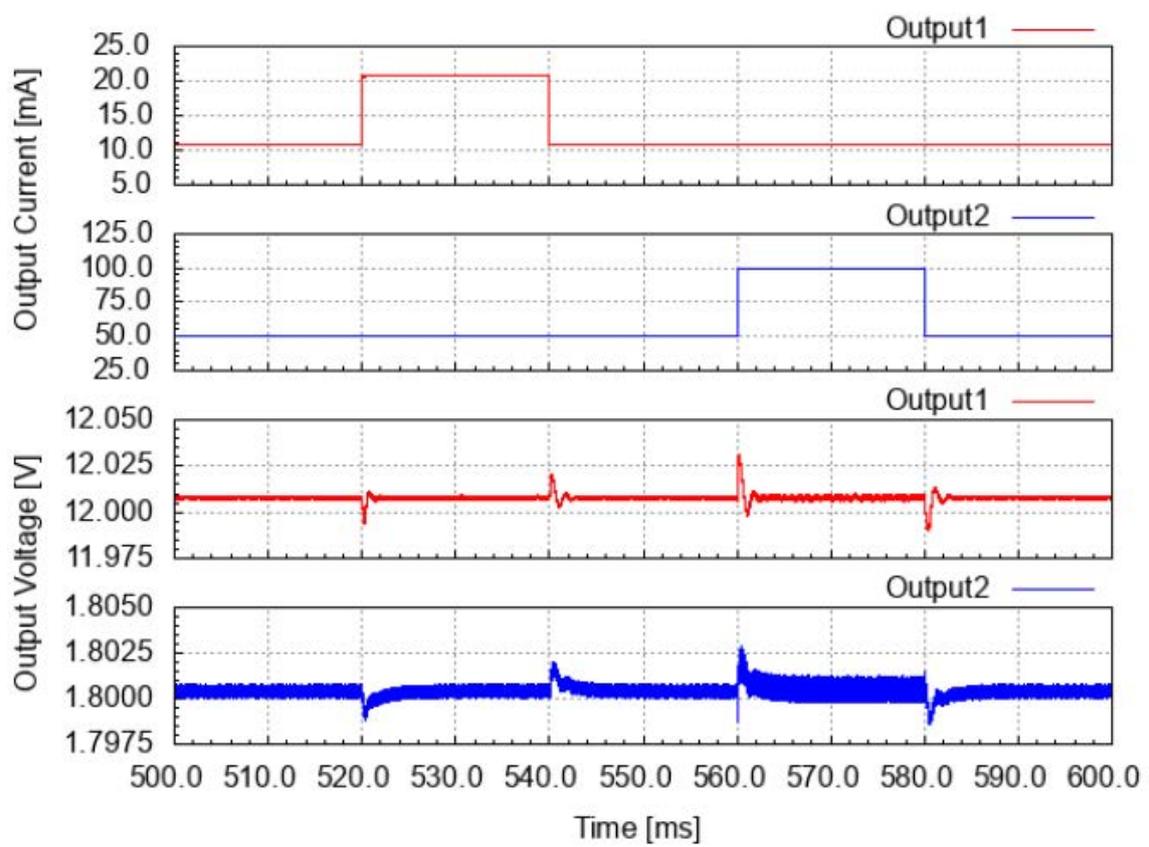


図 3.5.2 デュアル出力 SEPIC の過渡応答特性

5.2 増幅昇圧 SEPIC の SIMO 構成

増幅昇圧 SEPIC の SIMO 構成のシミュレーションを行った。表 3.5.2 にシミュレーションに用いたパラメータを示す。出力ダイオードを接続したノードは、出力 V_{o1} , V_{o2} , V_{o3} , V_{o4} の順に、 V_{s3} , V_{b3} , V_{b2} , V_{b1} とした。

表 3.5.2 増幅昇圧 SEPIC の SIMO 構成のシミュレーション条件

シミュレーションパラメータ	設定値
入力電圧 V_i	12 V
出力電圧 1 V_{o1}	160 V
出力電圧 2 V_{o2}	120 V
出力電圧 3 V_{o3}	80 V
出力電圧 4 V_{o4}	40 V
出力電流 1 I_{o1}	150 mA
出力電流 2 I_{o2}	150 mA
出力電流 3 I_{o3}	100 mA
出力電流 4 I_{o4}	100 mA
動作周波数 f_{ck}	500 kHz
インダクタ L_{in}	22 μ H
L_{in} ESR	20 m Ω
インダクタ L_1 , L_2 , L_3	47 μ H
L_1 , L_2 , L_3 ESR	50 m Ω
キャパシタ C_1 , C_2 , C_3	1.0 μ F
C_1 , C_2 , C_3 ESR	5.0 m Ω
キャパシタ C_{b1} , C_{b2} , C_{b3}	1.0 μ F
C_{b1} , C_{b2} , C_{b3} ESR	5.0 m Ω
出力キャパシタ C_{o1} , C_{o2} , C_{o3} , C_{o4}	220 μ F
出力キャパシタ ESR	10 m Ω

図 3.5.3 に SIMO 構成とした増幅昇圧 SEPIC から 4 つの昇圧出力を得るシミュレーションの各部波形を示す。出力選択切替え時のパルス電流により出力電圧 V_{o2} , V_{o3} , V_{o4} には V_{o1} と比較して大きなパルス状のリプルが発生している。これらの大きなパルス状のリプルは、スイッチ OFF 時に出力ダイオード D_o が導通した際のパルス電流が支配的である。これは、出力 V_{o2} , V_{o3} , V_{o4} を取り出すノードがバイアスカパシタの接続点であり、スイッチ ON 時にバイアスした電荷が抜けたことが原因であると考えられる。出力ダイオードの接続ノードを V_{s1} , V_{s2} , V_{s3} から選んだ場合には、出力電圧リプルの大きさは V_{o1} と同じオーダーになると考えられる。

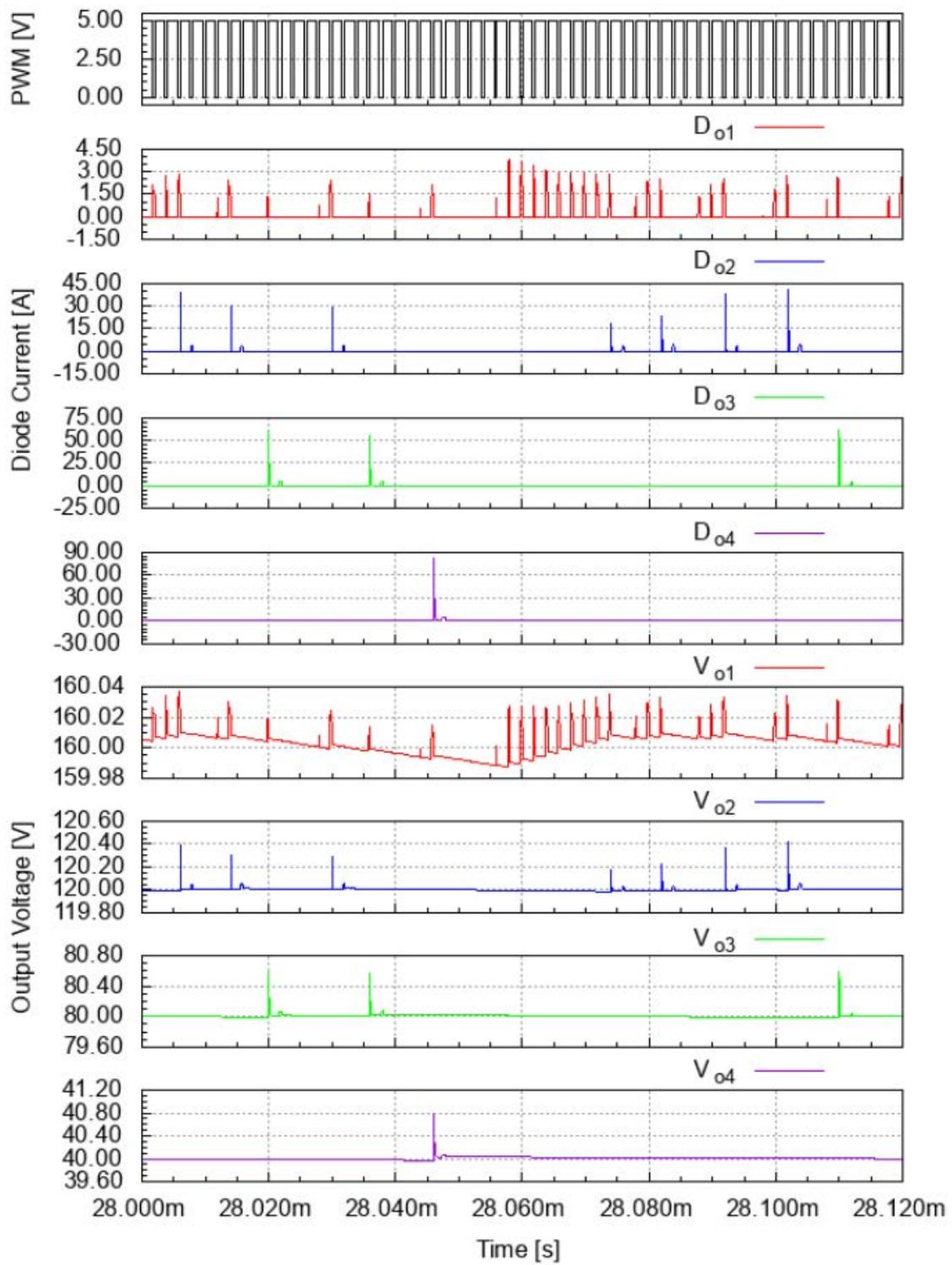


図 3.5.3 SIMO 構成とした増幅昇圧 SEPIC の各部波形

5.3 高昇圧切替え型デュアル出力 SEPIC

高昇圧切替え型デュアル出力 SEPIC のシミュレーションを行った。表 3.5.3 にシミュレーションに用いたパラメータを示す。本シミュレーションでは、Li-ion 電池を電源としたウェアラブル機器や携帯用機器等の液晶パネルを駆動する DC-DC コンバータを想定した条件に設定した。

表 3.5.3 高昇圧切替え型デュアル出力 SEPIC のシミュレーション条件

シミュレーションパラメータ	設定値
入力電圧 V_i	4.0 V
出力電圧 1 V_{o1}	24 V
出力電圧 2 V_{o2}	3.3 V
出力電流 1 I_{o1}	10 mA → 20 mA
出力電流 2 I_{o2}	50 mA → 100 mA
動作周波数 f_{ck}	500 kHz
インダクタ L_{in}	220 μ H
L_{in} ESR	20 m Ω
インダクタ L_1	220 μ H
L_1 ESR	20 m Ω
キャパシタ C_1	5.0 μ F
C_1 ESR	5.0 m Ω
出力キャパシタ 1 C_{o1}	1.0 mF
C_{o1} ESR	5.0 m Ω
出力キャパシタ 2 C_{o2}	2.0 mF
C_{o2} ESR	5.0 m Ω

図 3.5.4 に高昇圧切替え型デュアル出力 SEPIC により昇圧出力および昇降圧出力を得るシミュレーションの各部波形，図 3.5.5 に過渡応答特性を示す。

出力電流が $I_{o1} = 10$ mA, $I_{o2} = 50$ mA の場合の定常リプルは $\Delta V_{o1} = 2.7$ mV, $\Delta V_{o1} = 1.7$ mV, 効率は 79.6% であった。

出力 V_{o1} 側の負荷電流の変化 $\Delta I_{o1} = 10$ mA に対して，出力電圧に生じるオーバーシュートは $\Delta V_{os1} = 13.8$ mV, $\Delta V_{os2} = 2.5$ mV であった。また出力 V_{o2} 側の負荷電流の変化 $\Delta I_{o2} = 50$ mA に対して，出力電圧に生じるオーバーシュートは $\Delta V_{os1} = 13$ mV, $\Delta V_{os2} = 1.5$ mV であった。

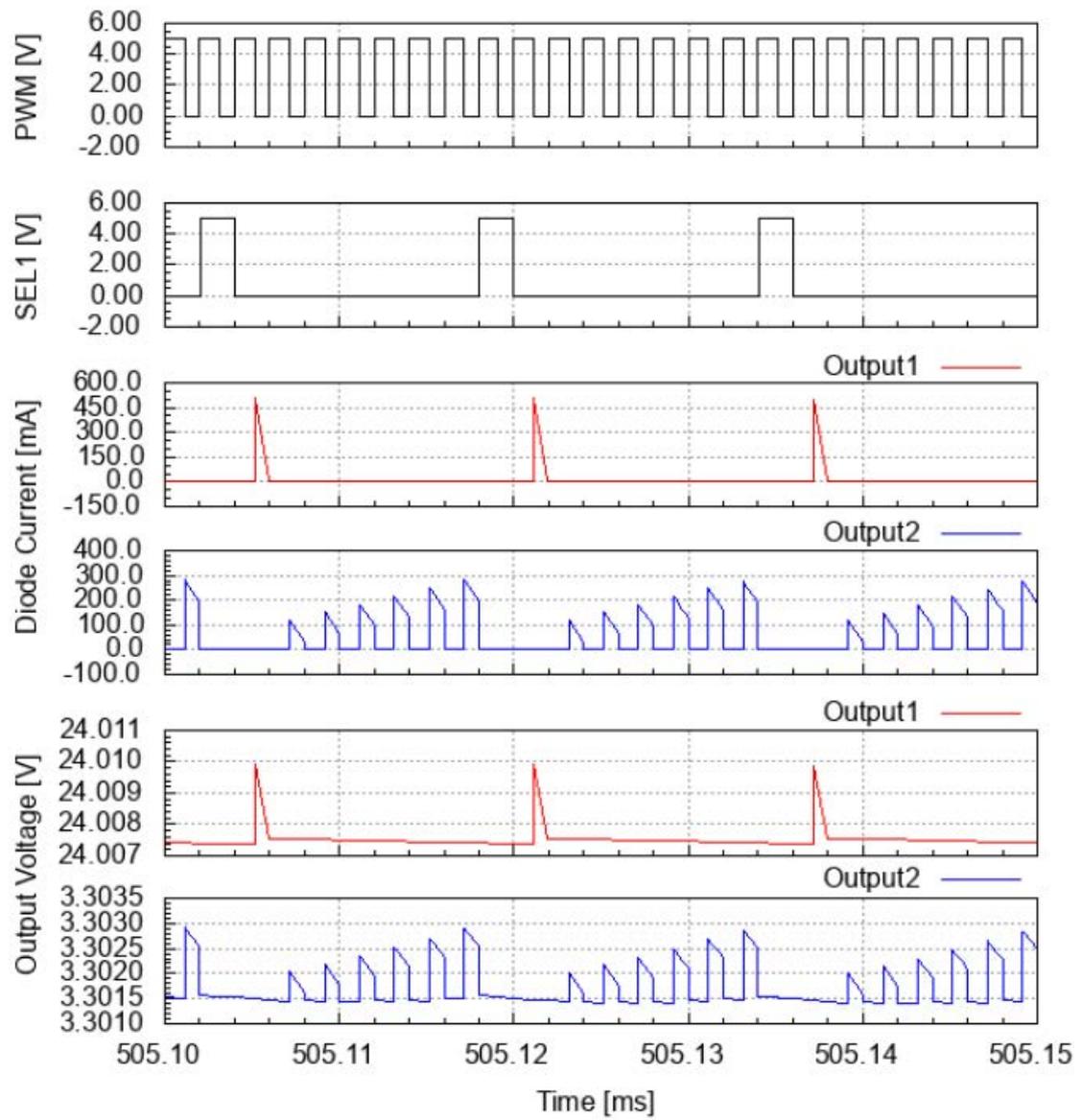


図 3.5.4 高昇圧切替え型デュアル出力 SEPIC の各部波形

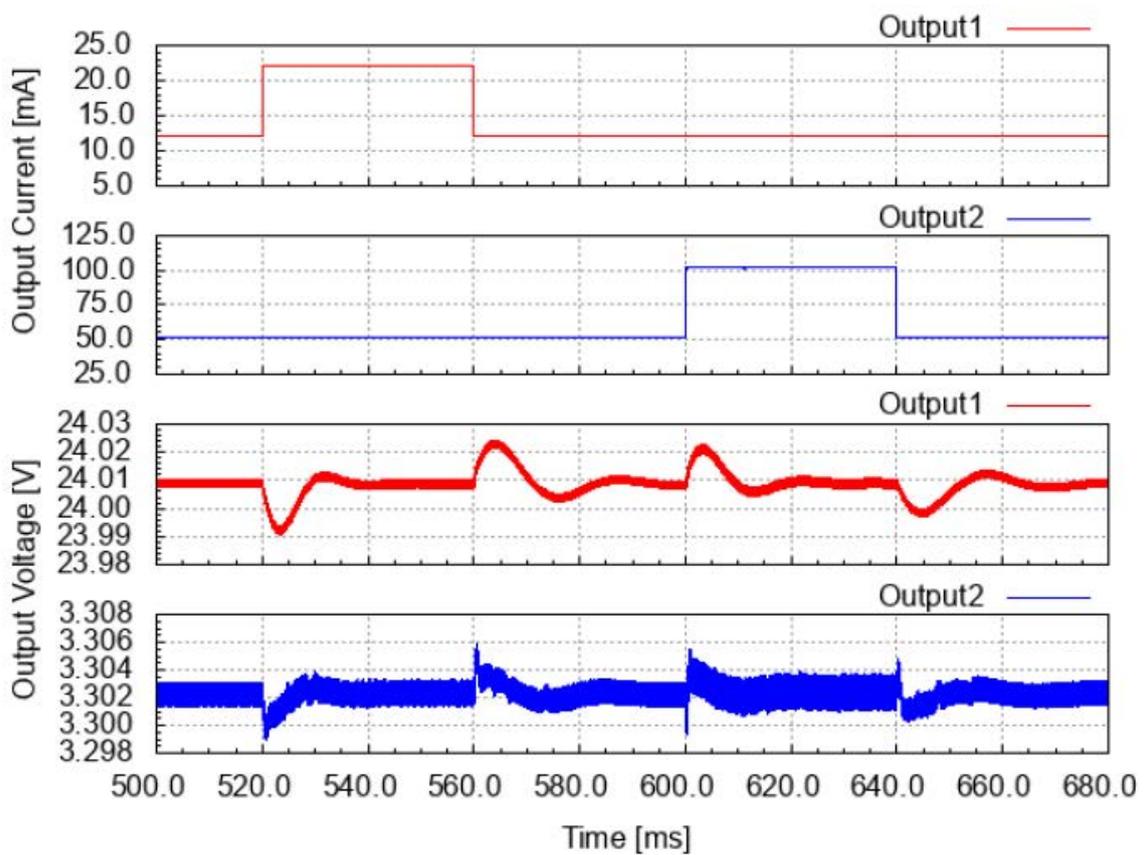


図 3.5.5 高昇圧切替え型デュアル出力 SEPIC の過渡応答特性

第6章 考察

本研究では、正極性の電圧が出力可能な昇降圧スイッチングコンバータの回路方式である SEPIC 方式のマルチ出力構成を提案した。

マルチ出力電源は効率、出力電圧のクロスレギュレーション、過渡応答特性、出力リップルに課題があり、本提案においても、効率、出力電圧のクロスレギュレーション、出力リップルに課題がある。また、マルチ出力電源は複数の制御部から構成されるため、負帰還制御の安定性に課題がある。

今後、効率、出力電圧のクロスレギュレーション、出力リップルの改善、設計手法の確立、および具体的なアプリケーションの検討を行う予定である。

第7章 まとめ

本研究では、正極性の電圧が出力可能な昇降圧スイッチングコンバータの回路方式である SEPIC 方式のマルチ出力構成を提案した。基本的な SEPIC 方式から 2 出力を得る、SIDO 構成を提案し、その拡張として増幅昇圧 SEPIC から 4 出力を得る SIMO 構成を提案した。さらに、広範囲の出力電圧に対応するため、昇降圧動作が可能な基本的な SEPIC 方式と高い昇圧率が実現可能な高昇圧 SEPIC の間で、選択した出力によりパワー段部の構成を切替える高昇圧切替え型デュアル出力 SEPIC を提案した。

これらの提案マルチ出力 SEPIC の動作を回路シミュレータによるシミュレーションで検証した。SEPIC の SIDO 構成では、入力電圧 4V に対して、12V の昇圧出力および 1.8V 降圧出力の 2 出力が可能であることを示した。増幅昇圧 SEPIC の SIMO 構成では、入力電圧 12V に対して、40V、80V、120V および 160V の 4 つの昇圧出力が可能であることを示した。高昇圧切替え型デュアル出力 SEPIC では、入力電圧 4V に対して、24V の昇圧出力および 3.3V 降圧出力の 2 出力が可能であることを示した。

参考文献

- [1] R. W. Erickson, D. Maksimovic; “Fundamentals of Power Electronics”, Springer (2020).
- [2] 原田耕介, 二宮保, 願文建; “スイッチングコンバータの基礎”, コロナ社 (1992).
- [3] 落合政司; “スイッチング電源の原理と設計”, オーム社 (2015).
- [4] J. Falin; “Designing DC/DC converters based on ZETA topology”, Texas Instruments Analog Applications Journal 2Q 2010 (2010).
- [5] M. B. Ferrera, S. P. Litran, E. Duran, J. M. Andujar; “A Converter for Bipolar DC Link Based on SEPIC-Cuk Combination”, IEEE Transactions on Power Electronics, Vol. 30, pp. 6483-6487 (2015).
- [6] K. M. Smedley, S. Cuk; “Dynamics of One-Cycle Controlled Cuk Converters”, IEEE Transactions on Power Electronics, Vol. 10, No. 6, pp. 634-439 (Nov. 1995).
- [7] H. Kobayashi, T. Nabeshima; “Handbook of Power Management”, Pan Stanford (2016).
- [8] P. Patra, A. Patra, N. Misra; “A single-inductor multiple-output switcher with simultaneous Buck, Boost, and Inverted Outputs”, IEEE Transactions on Power Electronics, Vol. 27, pp.1936-1951 (2012).
- [9] Y. Sun, Y. Kobori, M. T. Tran, A. Kuwana, H. Kobayashi; “Single-Inductor Dual-Output Converters With PWM, Hysteretic, Soft Switching and Current Controls”, Journal of Technology and Social Science, Vol.4, No.2, pp.7-32 (Apr. 2020).
- [10] Y. Kobori, N. Tsukiji, Y. Sunaga, T. Arafune, N. Takai, H. Kobayashi; “Single-Inductor Dual-Output Soft-Switching Converter with Voltage-mode Resonant Switch”, IEEE 13th International Conference on Solid-State and Integrated Circuit Technology, Hangzhou, China (Oct. 2016).
- [11] Y. Sunaga, Y. Kobori, N. Takai, N. Tsukiji, N. Shiraishi, K. Asaishi, H. Kobayashi; “High Efficiency Single-Inductor Dual-Output DC-DC Converter with ZVS-PWM Control”, IEEE 11th International Conference on ASIC, Chengdu, China (Nov. 2015).
- [12] Y. Sekine, S. Katayama, Y. Kobori, A. Kuwana, H. Kobayashi; “Multi-Output SEPIC Multiplied Boost Converter with Exclusive Control”, IEEE 14th International Conference on ASIC (Oct. 2021).
- [13] Y. Kobori, F. Zhao, Q. Li, M. Li, S. Wu, Z. Nosker, S. N. Mohyar, N. Takai, H. Kobayashi, T. Odaguchi, I. Nakanishi, K. Ueda, J. Matsuda; “Single Inductor Dual Output Switching Converter using Exclusive Control Method”, IEEE International Conference on Power Engineering, Energy and Electrical Devices, Istanbul, Turkey (May 2013).

- [14] H. Eachempatti; “Single Inductor Dual Output Buck Converter”, Submitted to the Office of Graduate Studies of Texas A& M University (2009).
- [15] P. Mishra, T. S. Reddy; “Modelling and Control of Single Inductor Dual Output DC-DC Converter”, *International Journal of Electrical, Electronics and Computer Engineering*, Vol. 7, No. 2, pp. 57-62 (2018).
- [16] M. H. Huang, K. H. Chen; “Single-Inductor Multi-Output (SIMO) DC-DC Converters With High Light-Load Efficiency and Minimized Cross-Regulation for Portable Devices”, *IEEE Journal of Solid-State Circuits*, Vol. 44, No. 4, April 2009, pp. 1099-1111 (2009).
- [17] D. Ma, W. H. Ki, C. Y. Tsui, P. K. T. Mok; “Single-Inductor Multiple-Output Switching Converters With Time-Multiplexing Control in Discontinuous Conduction Mode”, *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 1, January 2003, pp.89-100 (2003).
- [18] C. Anuradha, N. Chellammal, S. Vijayalakshmi, R. C. Ilambirai; “Steady State Analysis of Non-Isolated Single-Input Multi-Output SEPIC Converter for Stand-alone Applications”, *International Journal of Power Electronics and Drive System (IJPEDS)*, Vol. 9, No. 1, pp.260-268 (2018).
- [19] S. Mukherjee; “A SEPIC-Cuk-CSCCC Based SIMO Converter Design Using PSO-MPPT For Renewable Energy Application”, *Journal of Electrical and Computer Engineering Innovations (JECEI)*, Vol. 10, No. 2, pp.437-446 (2022).
- [20] A. Parayandeh, A. Stupar, A. Prodic; “Programmable Digital Controller for Multi-Output DC-DC Converters with a Time-Shared Inductor”, *IEEE Annual Power Electronics Specialists Conference* (Jul. 2006).
- [21] D. Kwon, G. A. Rincon-Mora; “Single-Inductor Multiple-Output (SIMO) Switching DC-DC Converters”, *IEEE Transactions on Circuits and Systems II*, Vol. 56, Issue 8, pp. 614-618 (Aug. 2009).
- [22] 山田学, チャン ナム ビン, 宮崎隆行; “広負荷電力範囲で高い変換効率を実現した IoT 機器向け SIMO 型 DC-DC コンバータ”, *東芝レビュー*, Vol. 72, No. 5, pp. 28-30 (2017).
- [23] C. S. Vel, T. Venkatesan; “Analysis of Non-Isolated Multi-Port Single Ended Primary Inductor Converter or Standalone Applications”, *Energies*, 11, 539 (2018).
- [24] Z. Zhou, N. Tang, B. Nguyen, W. Hong, P. P. Pande, D. Heo; “A Wide Output Voltage Range Single-Input-Multi-Output Hybrid DC-DC Converter Achieving 87.5% Peak Efficiency With a Fast Response Time and Low Cross Regulation for DVFS Applications”, *IEEE Custom Integrated Circuits Conference* (Mar. 2020).

- [25] K.-S. Yoon, S. Jung, J.-H. Lee, S. J. Kim, H.-S. Kim, G.-H. Cho; “A Single-Inductor-Multiple-Output (SIMO) 0.8-V/1.8-V/12-V Step-Up/Down Converter With Low-Quiescent Current for Implantable Electroceutical SoCs”, *IEEE Solid-State Circuits Letters*, Vol. 4, pp. 182-185 (2021).
- [26] T.-H. Yang, Y.-H. Wen, Y.-J. Ouyang, C.-K. Chiu, B.-K. Wu, K.-H. Chen, Y.-H. Lin, S.-R. Lin, T.-Y. Tsai; “A 0.03mV/mA Low Crosstalk and 185nA Ultra-Low-Quiescent Single-Inductor Multiple-Output Converter Assisted by 5-Input Operational Amplifier for 94.3% Peak Efficiency and 3.0W Driving Capability”, *IEEE International Solid-State Circuits Conference*, pp. 268-270 (Feb. 2021).
- [27] H. Kim, J. Maeng, I. Park, J. Jeon, D. Lim, C. Kim; “A 90.2% Peak Efficiency Multi-Input Single-Inductor Multi-Output Energy Harvesting Interface With Double-Conversion Rejection Technique and Buck-Based Dual-Conversion Mode”, *IEEE Journal of Solid-State Circuits*, Vol. 56, No. 3, pp. 961-971 (Mar. 2021).
- [28] F. Mao, Y. Lu, E. Bonizzoni, F. Boera, M. Huang, F. Maloberti, R. P. Martins; “A Hybrid Single-Inductor Bipolar-Output DC-DC Converter With Floating Negative Output for AMOLED Displays”, *IEEE Journal of Solid-State Circuits*, Vol. 56, No. 9, pp. 2760-2769 (Sep. 2021).
- [29] M. Belloni, E. Bonizzoni, F. Maloberti; “Single-Inductor Multiple-Output DC-DC Converters”, in *Analog Circuit Design*, Springer (2008).
- [30] H. Martinez, J. Silva-Martinez, A. Conesa, A. Poveda; “Single-Input Dual-Output (SIDO) Linear-Assisted DC/DC Converter”, *Universidad Carlos III de Madrid, UPC Commons* (2008).
- [31] C.-M. Chen, K.-H. Hsu, C.-C. Hung; “Freewheel Charge-Pump Controlled Single-Inductor Multiple-Output Step-up DC-DC Converter”, *Analog Integrated Circuit and Signal Processing*, 74, pp. 215-225 (2013).
- [32] C. V V, D. Abraham, N. Joy; “An Integrated Single Input Multi-Output DC-DC Converter with Simultaneous Buck and Boost Outputs”, *International Journal of Advanced Research in Electrical, Electronics and Instrumentation Engineering*, Vol. 3, Issue 5, pp. 676-689 (2014).
- [33] B. Rajesh; “Design of Modified Single Input Multiple Output DC-DC Converter”, *International Journal of Computer Science and Mobile Computing*, Vol. 3, Issue. 10, pp. 373-379 (Oct. 2014).
- [34] K. V. Dhanya; “Cross Regulation in Multi Output Converters with Renewable Energy Source”, *International Journal of Electrical Electronics & Computer Science Engineering*, Vol. 2, Issue 1, pp. 27-31 (2015).

- [35] M.-Y. Jung, S. Shin, G.-H. Cho; “Issues of Single-Inductor Multiple-Output DC-DC Converters”, International SoC Design Conference, Gyeongju, Korea (Nov. 2015).
- [36] F. Kudchi; “Single Input Multiple Output Dc-Dc Converter with Inverted Output”, International Journal of Innovative Science, Engineering & Technology, Vol. 3 Issue 4, pp. 120-127 (2016).
- [37] Y. Wang, J. Xu, G. Zhou; “A Cross Regulation Analysis for Single-Inductor Dual-Output CCM Buck Converters”, Journal of Power Electronics, Vol. 16, No. 5, pp. 1802-1812 (2016).
- [38] R. C.-H. Chang, W.-C. Chen, C.-H. Siao, H.-W. Wu; “Low-Complexity SIMO Buck-Boost DC-DC Converter for Gigascale Systems”, IEEE International Symposium on Circuits and Systems (May 2016).
- [39] G. Chen, Y. Liu, X. Qing, M. Ma, Z. Lin; “Principle and Topology Derivation of Single-Inductor Multi-Input Multi-Output DC-DC Converters”, IEEE Trans. Industrial Electronics, Vol. 65, Issue 5, pp. 3815-3825 (May 2018).
- [40] R. Majumder, A. Barua; “Sepic-Cuk Boost Based SIMO Converter Using dsPIC Microcontroller”, Project Report, Maulana Abul Kalam Azad University of Technology (2019).
- [41] T. Kim, M. Wang, W. Su; “Time-Sharing Duty Cycle-Based Concurrent Control for a Triple-Output Converter With Energy Storage”, IEEE Access, Vol. 7, pp. 182433-182443 (2019).
- [42] Y.-C. Hsu, J.-Y. Lin, C.-H. Wang, S.-W. Chou; “An SIMO Step-Down Converter with Coupled Inductor”, International Symposium on VLSI Design, Automation and Test (2020).
- [43] H. Park, S. Kim; “Single Inductor Multiple Output Auto-Buck-Boost DC-DC Converter with Error-Driven Randomized Control”, Electronics, 9, 1335 (2020).
- [44] D. Kim, S. J. Kim, Z. Jiang, S. Kim, A. Blanco, R. K. Krishnamurthy, M. Seok; “A 10-Output, Single-Inductor-Multiple-Output DC-DC Buck Converter With Integrated Output Capacitors for a Sub-mW System-on-Chip”, IEEE Solid-State Circuits Letters, Vol. 4, pp. 56-59 (2021).
- [45] C.-H. Huang, X. Sun, Y. Chen, R. Pamula, A. Mandal, V. Sathe; “A Single-Inductor 4-Output SoC with Dynamic Droop Allocation and Adaptive Clocking for Enhanced Performance and Energy Efficiency in 65nm CMOS”, IEEE International Solid-State Circuits Conference (Feb. 2021).
- [46] D. Ma, W.-H. Ki, C.-Y. Tsui, P. K. T. Mok; “A Single-Inductor Dual-Output Integrated DC/DC Boost Converter for Variable Voltage Scheduling”, Asia and South Pacific Design Automation Conference (Feb. 2001).

- [47] S. Mukherjee; “A SEPIC-Cuk-CSCCC Based SIMO Converter Design Using PSO-MPPT For Renewable Energy Application”, *Journal of Electrical and Computer Engineering Innovations*, Vol. 10, No. 2, pp. 437-446 (2022).
- [48] L. Mo, J. Huang, G. Chen, X. Qing, Y. Hu; “Computer-Aided Systematic Topology Derivation of Single-Inductor Multi-Input Multi-Output Converters From Working Principle”, *IEEE Trans. Circuits and Systems I: Vol. 69, No. 6*, pp. 2637-2649 (Jun. 2022).
- [49] G.-G. Kang, J.-H. Lee¹, S.-U. Shin, G.-H. Cho, H.-S. Kim; “A 5.6W-Power 96.6%-Efficiency Boost-Oriented SIDO Step-Up/Down DC-DC Converter Embedding Buck Conversion with an Energy-Balancing Capacitor”, *VLSI Circuit Symposium* (Jun. 2022).
- [50] Y. Huh, C. Bae, H. Lee, S. J. Kim; “A 0.7 mm² Power Management Unit for Implantable Electroceutical Device with a 91.4 % Peak Efficiency Buck-based Hybrid Step-up and -down MISIMO Converter”, *VLSI Circuit Symposium* (Jun. 2022).
- [51] K. Nayana, V. Sailaja, K. Deepa, H. V. Manjunath; “A DC-DC multi-output SEPIC converter for suburban power application”, *2014 International Conference on Electronics, Communication and Computational Engineering (ICECCE)*, Hosur, India, pp.55-60, (2014).
- [52] TEXAS INSTRUMENTS Test Report: PMP40488, “6-W Dual-Output SEPIC Converter Reference Design”, <https://www.ti.com/lit/ug/tidt071b/tidt071b.pdf>, (Jan. 2019 - Revised Apr. 2020).
- [53] TEXAS INSTRUMENTS User’s Guide, “AN-2094 LM3481 SEPIC Evaluation Board”, <https://www.ti.com/jp/lit/ug/snva461a/snva461a.pdf>, (Sep. 2011 - Revised Apr. 2013).
- [54] TEXAS INSTRUMENTS training & videos, “SEPIC Mode Converters for Automotive LCD Displays - Technical Overview”, <https://training.ti.com/sepic-mode-converters-automotive-lcd-displays-technical-overview>, (Sep. 2016).
- [55] B. Zwicker; “More Boost with Less Stress: the SEPIC Multiplied Boost Converter”, *Analog Devices Application Note* (2012).
- [56] W. Gu; “Designing a SEPIC Converter”. *National Semiconductor Application Note* (2007).
- [57] S. R. Behera, T. K. Meher; “Design of Single Ended Primary Inductor DC DC Converter”, *Department of Electrical Engineering National Institute of Technology Rourkela* (2013).

- [58] J. Falin; “Designing DC/DC converters based on SEPIC topology”, Texas Instruments Analog Applications Journal 4Q 2008 (2008).

全体のまとめ

電子回路の中で高精度アナログ・デジタル・ミクスド回路は、ますます重要な回路要素となり、製品や技術が広く世界に用いられ浸透するためには、低コストであることは必要不可欠である。電子機器の製造でのコスト削減は、使用する部品のコスト削減とともに、出荷時のテストのコスト削減が要求される。

本研究では、出荷時テストのコスト削減として、低コストな高周波サンプリング手法の検討、低コストな低歪正弦波生成回路の検討、部品削減によるコスト削減として、マルチ出力スイッチング電源の検討を行った。

第1部では、低コストな高周波/アナログデジタル混載集積回路の試験技術の検討を行った。

高周波サンプリングを低コストに行う手法として剰余系サンプリングを提案した。剰余系サンプリングは高周波信号を複数の低サンプリング周波数によりサンプリングし、エイリアシング現象と剰余定理を用いて、元の高周波信号の周波数を推定する。

剰余系サンプリングを用いた高周波デバイス試験の手法を提案し、2トーン試験および高周波狭帯域通信デバイス試験をアプリケーションとしてシミュレーション検証を行った。

第2部では、アナログ集積回路試験用の低歪な正弦波の生成を検討した。

正弦波の生成および歪測定に用いられるアナログフィルタの特性改善について検討した。LC型BPFおよびBEFに用いられるインダクタのESR補正回路を提案し、 -110 dBV以下の測定を実現した。さらに、ロジック回路と比較的簡素なフィルタ回路を用い、アナログ集積回路試験用の低歪な正弦波の生成を実現した。実装回路による評価で、ATE搭載信号源と同等構成の回路と比較し、3次高調波が3 dB、帯域内ノイズが10 dB程度低減した。

第3部では、正極性の電圧が出力可能な昇降圧スイッチングコンバータの回路方式であるSEPIC方式のマルチ出力構成を提案した。基本的なSEPIC方式から2出力を得る、SIDO構成を提案し、その拡張として増幅昇圧SEPICから4出力を得るSIMO構成を提案した。また、広範囲の出力電圧に対応する高昇圧切替え型デュアル出力SEPICを提案した。

これらの提案マルチ出力SEPICの動作を回路シミュレータによるシミュレーションで検証した。

今後の課題

本研究では、出荷時テストのコスト削減として、低コストな高周波サンプリング手法の検討、低コストな低歪正弦波生成回路の検討、部品削減によるコスト削減として、マルチ出力スイッチング電源の検討を行った。

第1部では、低コストな高周波/アナログデジタル混載集積回路の試験技術の検討を行った。今後、多くのサンプリング回路の出力スペクトラムに重なりが生じる、広帯域のマルチトーン試験や高周波広帯域通信のアプリケーションを検討したい。

第2部では、アナログ集積回路試験用の低歪な正弦波の生成を検討した。今後、生成する正弦波の高調波歪およびノイズのレベルを -100 dBc以下に低減することを目指し、部品の最適化やFPGAによる3次、5次および7次高調波のキャンセル回路の構成を検討したい。

第3部では、SEPIC方式スイッチングコンバータのマルチ出力構成を検討した。今後、効

率，出力電圧のクロスレギュレーション，出力リップルの改善，設計手法の確立，および具体的なアプリケーションの検討を行いたい。

全体として，コストを定量的に定義し，コスト削減の効果に関して議論を行いたい。

発表論文

査読付き学術論文 (第一著者)

1. Shogo Katayama, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Ripple Compensation for LLC Resonant Converter with Spectrum Spread EMI Reduction”, Journal of Mechanical and Electrical Intelligent System (JMEIS, J. Mech. Elect. Intel. Syst.), Vol.4, No.3, pp. 13-22, (Sep. 29th, 2021).
2. Shogo Katayama, Takayuki Nakatani, Daisuke Iimori, Misaki Takagi, Yujie Zhao, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Kentaroh Katoh, Kazumi Hatayama, Haruo Kobayashi, “Low distortion sine wave generator with simple harmonics cancellation circuit and filter for analog device testing”, IEICE Electronics Express, Pages 20220470, (Jan. 10th, 2023).

査読付き学術論文 (共著)

1. Yasunori Kobori, Noriyuki Oiwa, Shogo Katayama, Ahmad Bustoni, Yifei Sun, Minh Tri Tran, Anna Kuwana, Haruo Kobayashi, “EMI Reduction of PFC Rectifier and LLC Converter with Automatic Output Ripple Improvement”, Advanced Engineering Forum Vol. 38, pp. 103-117, (Nov. 20th, 2020).
2. Yudai Abe, Shogo Katayama, Anna Kuwana, Haruo Kobayashi, “Frequency Estimation Sampling Circuit with Hilbert Filter and Proactive Usage of Aliasing Phenomenon”, Journal of Mechanical and Electrical Intelligent System (JMEIS, J. Mech. Elect. Intel. Syst.), Vol.4, No.2, pp. 25-34, (May 23rd, 2021).
3. Yujie Zhao, Kentaroh Katoh, Anna Kuwana, Shogo Katayama, Jianglin Wei, Haruo Kobayashi, Takayuki Nakatani, Kazumi Hatayama, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, “Revisit to Histogram Method for ADC Linearity Test: Examination of Input Signal and Ratio of Input and Sampling Frequencies”, Journal of Electronic Testing: Theory and Applications, Springer, on-line published, (Mar. 9th, 2022).
4. Shuhei Yamamoto, Yuto Sasaki, Yujie Zhao, Anna Kuwana, Kentaroh Katoh, Zheming Zhang, Jianglin Wei, Tri Minh Tran, Shogo Katayama, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Takayuki Nakatani, Kazumi Hatayama, Haruo Kobayashi, “Metallic Ratio Equivalent-Time Sampling and Application to TDC Linearity Calibration”, IEEE Transactions on Device and Materials Reliability, (Volume: 22, Issue: 2, June 2022), pp. 142 - 153, (Mar. 16th, 2022).

5. Lengkhang Nengvang, Shogo Katayama, Jianglin Wei, Lei Sha, Tri Minh Tran, Anna Kuwana, Kazufumi Naganuma, Kiyoshi Sasai, Junichi Saito, Katsuaki Morishita, Haruo Kobayashi, “Self-Calibration of Two Reference Voltages Ratio For Two-Step Incremental Delta-Sigma ADC”, Mechanical and Electrical Intelligent System (JMEIS, J. Mech. Elect. Intel. Syst.), Vol.5, No.2, pp. 7-19, (Apr. 30th, 2022).
6. Souma Yamamoto, Takashi Hosono, Takafumi Kamio, Shogo Katayama, Kuswan Isam Ebisawa, Tianrui Feng, Anna Kuwana, Haruo Kobayashi, Kouji Hirai, Akira Suzuki, Satoshi Yamada, Tomoyuki Kato, Ritsuko Kitakoga, Takeshi Shimamura, Gopal Adhikari, Nobuto Ono, Kazuhiro Miura, “Comparison of Three Types of Startup Circuits for a Self-Biasing MOS Reference Current Source”, Mechanical and Electrical Intelligent System (JMEIS, J. Mech. Elect. Intel. Syst.) Vol.5, No.2, pp. 20-33, (Apr. 30th, 2022).
7. Tianrui Feng, Takashi Hosono, Souma Yamamoto, Takafumi Kamio, Shogo Katayama, Anna Kuwana, Haruo Kobayashi, Kouji Hirai, Akira Suzuki, Satoshi Yamada, Tomoyuki Kato, Ritsuko Kitakoga, Takeshi Shimamura, Nobuto Ono, Kazuhiro Miura, “Self-biasing Reference Current Source with Two Nagata Current Mirrors Insensitive to Temperature and Supply Voltage”, Mechanical and Electrical Intelligent System (JMEIS, J. Mech. Elect. Intel. Syst.) Vol.5, No.2, pp. 34-42, (Apr. 30th, 2022).
8. Xiongyan Li, Tianrui Feng, Lengkhang Nengvang, Haijun Lin, Shogo Katayama, Jianglin Wei, Anna Kuwana, Kazufumi Naganuma, Kiyoshi Sasai, Junichi Saito, Katsuaki Morishita, Haruo Kobayashi, “Charge Domain Folding ADC for Multi-bit $\Delta \Sigma$ AD Modulator”, Journal of Technology and Social Science (JTSS, JTSS, J. Tech. Soc. Sci.), Vol.6, No.2, pp. 27-37, (Apr. 30th, 2022).
9. Xueyan Bai, Shogo Katayama, Dan Yao, Anna Kuwana, Zifei Xu, Haruo Kobayashi, “Asynchronous Capacitive SAR ADC based on Hopfield Network”, IEICE Electronics Express, Vol. 19 No. 18, (Sep. 25th, 2022).
10. Lengkhang Nengvang, Shogo Katayama, Jianglin Wei, Lei Sha, Anna Kuwana, Hiroshi Tanimoto, Tatsuji Matsuura, Kazufumi Naganuma, Kiyoshi Sasai, Junichi Saito, Katsuaki Morishita, Haruo Kobayashi, “Extended Leslie-Singh Architecture of 1st order Delta-Sigma AD Modulator with Multi-bit DAC”, Journal of Mechanical and Electrical Intelligent System (JMEIS, J. Mech. Elect. Intel. Syst.), Vol.5, No.3, pp.1-8, (Sep. 30th, 2022).
11. Xueyan Bai, Dan Yao, Yuanyang Du, Minh Tri Tran, Shogo Katayama, Jianglin Wei, Yujie Zhao, Anna Kuwana, Haruo Kobayashi, Kazuyoshi Kubo, “Derivation of digital-to-analog converter architectures based on number theory”, Journal of Pure and Applied Mathematics, Journal of Pure and Applied Mathematics, Vol. 6, No. 5, pp. 14-24, (Oct. 30th, 2022).

12. Dan Yao, Xuanyan Bai, Shogo Katayama, Anna Kuwana, Kazuyuki Kawauchi, Haruo Kobayashi, Kouji Hirai, Akira Suzuki, Satoshi Yamada, Tomoyuki Kato, Ritsuko Kitagawa, Takeshi Shimamura, Gopal Adhikari, Nobuto Ono, Kazuhiro Miura, Shigeya Yamaguchi, “Unit Cell Mismatch Scrambling Method for High-Resolution Unary DAC based on Virtual 3D Layout”, *IEICE Electronics Express*, Vol. 19, No. 24, Pages 20220430, (Dec. 25th, 2022).
13. Dan Yao, Xueyan Bai, Anna Kuwana, Kazuyuki Kawauchi, Yujie Zhao, Jianglin Wei, Shogo Katayama, Masashi Higashino, Haruo Kobayashi, “Segmented DAC Unit Cell Selection Algorithm and Layout/Routing Based on Classical Mathematics”, *Journal of Mechanical and Electrical Intelligent System (JMEIS, J. Mech. Elect. Intel. Syst.)*, Vol. 6, No. 1, pp. 13-30, (Jan. 31th, 2023).
14. Lengkhang Nengvang, Shogo Katayama, Anna Kuwana, Kazufumi Naganuma, Kiyoshi Sasai, Akihisa Iikura, Akira Asao, Takuya Watanabe, Katsuaki Morishita, Haruo Kobayashi, “Relaxation DAC with Positive and Negative Polarity Output using High-Pass Filter”, *IEICE Electronics Express*, accepted.

国際学会論文 (第一著者)

1. Shogo Katayama, Jing Li, Yasunori Kobori, Haruo Kobayashi, “Phase Changing Method of Multi-Phase Buck Type Switching Converter”, 5th International Symposium of Gunma University Medical Innovation and 9th International Conference on Advanced Micro-Device Engineering, Kiryu, Japan, (Dec. 6th, 2018).
2. Shogo Katayama, Riho Aoki, Yuto Sasaki, Kosuke Machida, Takayuki Nakatani, Jianlong Wang, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, “Experimental Evaluation of Null Method and DC-AC Conversion for Operational Amplifier Testing”, 3rd International Conference on Technology and Social Science (ICTSS2019), Kiryu, Japan, (May 8th - 10th, 2019).
3. Shogo Katayama, Jing Li, Yifei Sun, Tran Minh Tri, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Automatic Current Balancing Circuit for Multi-Phase Constant On-Time Hysteresis Control Converter”, 5th Taiwan and Japan Conference on Circuits and Systems (TJCAS 2019 at Nikko), Nikko, Tochigi, Japan, (Aug. 19th - 20th, 2019).
4. Shogo Katayama, Noriyuki Oiwa, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Output Voltage Ripple Reduction for Current Mode Resonant Converter”, 5th Taiwan and Japan Conference on Circuits and Systems (TJCAS 2019 at Nikko), Nikko, Tochigi, Japan, (Aug. 19th - 20th, 2019).

5. Shogo Katayama, Noriyuki Oiwa, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Output Voltage Ripple Reduction with Noise Spread Spectrum for Dual-Phase LLC Resonant Converter”, 2019 13th IEEE International Conference on ASIC (ASICON 2019), Chongqing, China, (Oct. 29th - Nov. 1st, 2019).
6. Shogo Katayama, Jing Li, Yifei Sun, Tran Minh Tri, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Automatic Correction of Current Imbalance for Multi-Phase COT Ripple-Based Control DC-DC Converter”, 2019 13th IEEE International Conference on ASIC (ASICON 2019), Chongqing, China, (Oct. 29th - Nov. 1st, 2019).
7. Shogo Katayama, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Ripple Compensation for LLC Resonant Converter with Spectrum Spread EMI Reduction”, 4th International Conference on Technology and Social Science (ICTSS 2020), Kiryu, Japan, (Dec. 2nd - 4th, 2020).
8. Shogo Katayama, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “EMI Reduction by Spread Spectrum Clocking with Ripple Suppression for LLC Resonant Converter”, ITC-CSCC 2021 (The 36th International Technical Conference on Circuits/Systems, Computers and Communications), Republic of Korea, (Jun. 28th - 30th, 2021).
9. Shogo Katayama, Yudai Abe, Anna Kuwana, Koji Asami, Masahiro Ishida, Ryuya Ohta, Haruo Kobayashi, “Application of Residue Sampling to RF/AMS Device Testing”, 30th IEEE Asian Test Symposium (ATS 2021), Virtual Event Hosted by Japan, (Nov. 22nd - 25th, 2021).

国際学会論文 (共著)

1. Yudai Abe, Shogo Katayama, Congbing Li, Anna Kuwana, Haruo Kobayashi, “Frequency Estimation Sampling Circuit Using Hilbert Filter and Residue Number System”, IEEE Seoul Section Student Paper Contest 2018, Seoul, Korea, (Nov. 24th, 2018).
2. Yudai Abe, Shogo Katayama, Congbing Li, Anna Kuwana, Haruo Kobayashi, “Frequency Estimation Circuit Using Residue Number System”, 5th International Symposium of Gunma University Medical Innovation and 9th International Conference on Advanced Micro-Device Engineering, Kiryu, Japan, (Dec. 6th, 2018).
3. Noriyuki Oiwa, Shotaro Sakurai, Ahmad Bustoni, Shogo Katayama, Yasunori Kobori, Haruo Kobayashi, “EMI Noise Reduction for PFC Converter with Improved Efficiency and High Frequency Clock”, 5th International Symposium of Gunma University Medical Innovation and 9th International Conference on Advanced Micro-Device Engineering, Kiryu, Japan, (Dec. 6th, 2018).

4. Riho Aoki, Shogo Katayama, Yuto Sasaki, Kosuke Machida, Takayuki Nakatani, Jianlong Wang, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, “Simulation Evaluation of Null Method for Operational Amplifier Testing”, 3rd International Conference on Technology and Social Science (ICTSS2019), Kiryu, Japan, (May 8th - 10th, 2019).
5. Noriyuki Oiwa, Shogo Katayama, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “High-Efficiency Full-Bridgeless PFC Power Supply Circuit”, 5th Taiwan and Japan Conference on Circuits and Systems (TJCAS 2019 at Nikko), Nikko, Tochigi, Japan, (Aug. 19th - 20th, 2019).
6. Yudai Abe, Shogo Katayama, Congbing Li, Anna Kuwana, Haruo Kobayashi, “High-Frequency Waveform Acquisition Using RC Polyphase Filter and Multiple Sampling Clocks”, 5th Taiwan and Japan Conference on Circuits and Systems (TJCAS 2019 at Nikko), Nikko, Tochigi, Japan, (Aug. 19th - 20th, 2019).
7. Riho Aoki, Shogo Katayama, Yuto Sasaki, Kosuke Machida, Takayuki Nakatani, Jianlong Wang, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, “Accurate and Fast Testing of Operational Amplifier with NULL Method”, 5th Taiwan and Japan Conference on Circuits and Systems (TJCAS 2019 at Nikko), Nikko, Tochigi, Japan, (Aug. 19th - 20th, 2019).
8. Yuto Sasaki, Kosuke Machida, Riho Aoki, Shogo Katayama, Takayuki Nakatani, Jianlong Wang, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, “Very Low Level DC Voltage Measurement Technique by DC-AC Conversion”, 5th Taiwan and Japan Conference on Circuits and Systems (TJCAS 2019 at Nikko), Nikko, Tochigi, Japan, (Aug. 19th - 20th, 2019).
9. Yuto Sasaki, Kosuke Machida, Riho Aoki, Shogo Katayama, Takayuki Nakatani, Jianlong Wang, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, “Accurate and Fast Testing Technique of Operational Amplifier DC Offset Voltage in μV -order by DC-AC Conversion”, 3rd International Test Conference in Asia, Tokyo, (Sep. 3rd - 5th, 2019).
10. Yudai Abe, Shogo Katayama, Congbing Li, Anna Kuwana, Haruo Kobayashi, “Frequency Estimation Sampling Circuit Using Analog Hilbert Filter and Residue Number System”, 2019 13th IEEE International Conference on ASIC (ASICON 2019), Chongqing, China, (Oct. 29th - Nov. 1st, 2019).
11. Riho Aoki, Shogo Katayama, Yuto Sasaki, Kosuke Machida, Takayuki Nakatani, Jianlong Wang, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, “Evaluation of Null Method

- for Operational Amplifier Short-Time Testing”, 2019 13th IEEE International Conference on ASIC (ASICON 2019), Chongqing, China, (Oct. 29th - Nov. 1st, 2019).
12. Haruo Kobayashi, Anna Kuwana, Jianglin Wei, Yujie Zhao, Shogo Katayama, Tran Minh Tri, Manato Hirai, Takayuki Nakatani, Kazumi Hatayama, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, “Analog/Mixed-Signal Circuit Testing Technologies in IoT Era”, IEEE 15th International Conference on Solid-State and Integrated Circuit Technology, Kunming, China, (Nov. 3rd - 6th, 2020).
 13. Gaku Ogihara, Takayuki Nakatani, Akemi Hatta, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Anna Kuwana, Riho Aoki, Shogo Katayama, Jianglin Wei, Yujie Zhao, Jianlong Wang, Kazumi Hatayama, Haruo Kobayashi, “Summing Node Test Method: Simultaneous Multiple AC Characteristics Testing of Multiple Operational Amplifiers”, 29th IEEE Asian Test Symposium, Penang, Malaysia, (Nov. 23rd - 26th, 2020).
 14. Guiyi Dong, Kento Itoi, Shogo Katayama, Tran Minh Tri, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Analysis and Stability Evaluation of Ripple Injection Type Hysteretic Controlled Switching Converter”, 4th International Conference on Technology and Social Science (ICTSS 2020), Kiryu, Japan, (Dec. 2nd - 4th, 2020).
 15. Shuhei Yamamoto, Yuto Sasaki, Yujie Zhao, Jianglin Wei, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Takayuki Nakatani, Tri Tran, Shogo Katayama, Kazumi Hatayama, Haruo Kobayashi, “Metallic Ratio Equivalent-Time Sampling: A Highly Efficient Waveform Acquisition Method”, the 27th IEEE International Symposium on On-Line Testing and Robust System Design (IOLTS’21), Virtual event, (Jun. 28th - 30th, 2021).
 16. Yujie Zhao, Anna Kuwana, Shuhei Yamamoto, Yuto Sasaki, Haruo Kobayashi, Tri Minh Tran, Takayuki Nakatani, Kazumi Hatayama, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Jianglin Wei, Shogo Katayama, “Input Signal and Sampling Frequencies Requirements for Efficient ADC Testing with Histogram Method”, ITC-CSCC 2021 (The 36th International Technical Conference on Circuits/Systems, Computers and Communications), Republic of Korea, (Jun. 28th - 30th, 2021).
 17. Daisuke Iimori, Takayuki Nakatani, Shogo Katayama, Gaku Ogihara, Akemi Hatta, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Jianglin Wei, Yujie Zhao, Tri Minh Tran, Kazumi Hatayama, Haruo Kobayashi, “Summing Node and False Summing Node Methods: Accurate Operational Amplifier AC Characteristics Testing without Audio Analyzer”, 51st IEEE International Test Conference (ITC 2021), Online, (Oct. 10th - 15th, 2021).

18. Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Jianglin Wei, Takayuki Nakatani, Yujie Zhao, Shogo Katayama, Shuhei Yamamoto, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, “Revisit to Accurate ADC Testing with Incoherent Sampling Using Proper Sinusoidal Signal and Sampling Frequencies”, 51st IEEE International Test Conference (ITC 2021), Online, (Oct. 10th - 15th, 2021).
19. Xiongyan Li, Tianrui Feng, Lengkheng Nengvang, Shogo Katayama, Jianglin Wei, Haijun Lin, Kazufumi Naganuma, Kiyoshi Sasai, Junichi Saito, Anna Kuwana, Haruo Kobayashi, “Folding ADC for Multi-bit $\Delta \Sigma$ AD Modulator”, International Conference on Analog VLSI Circuits (AVIC 2021), Bordeaux, France, (Oct. 18th - 21st, 2021).
20. Yujie Zhao, Anna Kuwana, Shogo Katayama, Jianglin Wei, Haruo Kobayashi, Takayuki Nakatani, Kazumi Hatayama, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, “Code Selective Histogram Method: Two-Tone Signal for ADC Linearity Test Time Reduction”, International Conference on Analog VLSI Circuits (AVIC 2021), Bordeaux, France, (Oct. 18th - 21st, 2021).
21. Takafumi Kamio, Takashi Hosono, Souma Yamamoto, Jun-ichi Matsuda, Shogo Katayama, Anna Kuwana, Akira Suzuki, Satoshi Yamada, Tomoyuki Kato, Nobuto Ono, Kazuhiro Miura, Haruo Kobayashi, “Design Consideration on MOS Peaking Current Sources Insensitive to Supply Voltage and Temperature”, International Conference on Analog VLSI Circuits (AVIC 2021), Bordeaux, France, (Oct. 18th - 21st, 2021).
22. Lengkheng Nengvang, Shogo Katayama, Jianglin Wei, Lei Sha, Tri Minh Tran, Anna Kuwana, Kazufumi Naganuma, Kiyoshi Sasai, Junichi Saito, Haruo Kobayashi, “Two-Step Incremental ADC Architecture With Self-Calibration of Two Reference Voltages Ratio”, International Conference on Analog VLSI Circuits (AVIC 2021), Bordeaux, France, (Oct. 18th - 21st, 2021).
23. Haruo Kobayashi, Xueyan Bai, Yujie Zhao, Shuhei Yamamoto, Dan Yao, Manato Hirai, Jianglin Wei, Shogo Katayama, Anna Kuwana, “Classical Mathematics and Analog/Mixed-Signal IC Design”, IEEE 14th International Conference on ASIC (ASICON 2021), On-Line Virtual, (Oct. 26th - 29th, 2021).
24. Yuki Sekine, Shogo Katayama, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Multi-Output SEIPC Multiplied Boost Converter with Exclusive Control”, IEEE 14th International Conference on ASIC (ASICON 2021), On-Line Virtual, (Oct. 26th - 29th, 2021).
25. Gui-Yi Dong, Shogo Katayama, Yifei Sun, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Adaptive Convergence Method of Notch Frequency in Noise

Spread Spectrum for Pulse Coding Switching DC-DC Converter”, IEEE 14th International Conference on ASIC (ASICON 2021), On-Line Virtual, (Oct. 26th - 29th, 2021).

26. Souma Yamamoto, Takashi Hosono, Takafumi Kamio, Shogo Katayama, Kuswan Isam Ebisawa, Tianrui Feng, Anna Kuwana, Haruo Kobayashi, “Self-Bias MOS Reference Current Sources Insensitive to Supply Voltage and Temperature”, IEEE 3rd International Conference on Circuits and Systems (IEEE ICCS 2021), Chengdu, China, (Oct. 29th - 31st, 2021).
27. Yuki Sekine, Shogo Katayama, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Dual-Output and Four-Output SEPIC Multiplied Boost Converter with Exclusive Control”, Taiwan and Japan Conference on Circuits and Systems (Virtual TJCAS 2021), Virtual Event Hosted by Japan, (Nov. 20th, 2021).
28. Gaku Ogihara, Takayuki Nakatani, Daisuke Iimori, Shogo Katayama, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Yujie Zhao, Jianglin Wei, Kazumi Hatayama, Haruo Kobayashi, “Proposal for High-Precision Nano-Ampere Current Measurement in ATE”, Taiwan and Japan Conference on Circuits and Systems (Virtual TJCAS 2021), Virtual Event Hosted by Japan, (Nov. 20th, 2021).
29. Souma Yamamoto, Takashi Hosono, Takafumi Kamio, Shogo Katayama, Kuswan Isam Ebisawa, Tianrui Feng, Anna Kuwana, Haruo Kobayashi, Kouji Hirai, Akira Suzuki, Satoshi Yamada, Tomoyuki Kato, Ritsuko Kitakoga, Takeshi Shimamura, Gopal Adhikari, Nobuto Ono, Kazuhiro Miura, “MOS Reference Current Sources with Self-Bias Configuration and its Startup Circuit”, Taiwan and Japan Conference on Circuits and Systems (Virtual TJCAS 2021), Virtual Event Hosted by Japan, (Nov. 20th, 2021).
30. GuiYi Dong, Shogo Katayama, Yifei Sun, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Band-select Noise Spread Spectrum Techniques for Pulse Coding Ripple-controlled Hysteretic Converter”, Taiwan and Japan Conference on Circuits and Systems (Virtual TJCAS 2021), Virtual Event Hosted by Japan, (Nov. 20th, 2021).
31. Takafumi Kamio, Takashi Hosono, Souma Yamamoto, Jun-ichi Matsuda, Shogo Katayama, Anna Kuwana, Akira Suzuki, Satoshi Yamada, Tomoyuki Kato, Nobuto Ono, Kazuhiro Miura, Haruo Kobayashi, “Design study on MOS Peaking Current Sources Insensitive to Temperature and Supply Voltage”, Taiwan and Japan Conference on Circuits and Systems (Virtual TJCAS 2021), Virtual Event Hosted by Japan, (Nov. 20th, 2021).
32. Lengkhang Nengvang, Shogo Katayama, Jianglin Wei, Lei Sha, Tri Minh Tran, Anna Kuwana, Kazufumi Naganuma, Kiyoshi Sasai, Junichi Saito, Haruo Kobayashi,

- “Study of the Two-Step Incremental Delta-Sigma ADC Architecture With Self-Calibration using Two Reference Voltages Ratio”, Taiwan and Japan Conference on Circuits and Systems (Virtual TJCAS 2021), Virtual Event Hosted by Japan, (Nov. 20th, 2021).
33. Shuhei Yamamoto, Yuto Sasaki, Yujie Zhao, Jianglin We, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Takayuki Nakatani, Tri Minh Tran, Shogo Katayama, Kazumi Hatayama, Haruo Kobayashi, “Efficient Equivalent-Time Sampling Based on Metallic Ratio Law”, Taiwan and Japan Conference on Circuits and Systems (Virtual TJCAS 2021), Virtual Event Hosted by Japan, (Nov. 20th, 2021).
 34. Takashi Hosono, Takafumi Kamio, Souma Yamamoto, Jun-ichi Matsuda, Kouji Hirai, Shogo Katayama, Tianrui Feng, Anna Kuwana, Haruo Kobayashi, Akira Suzuki, Satoshi Yamada, Tomoyuki Kato, Ritsuko Kitakoga, Takeshi Shimamura, Gopal Adhikari, Nobuto Ono, Kazuhiro Miura, “Study on Peaking Current Source with Self-Bias Configuration Insensitive to Temperature and Supply Voltage”, Taiwan and Japan Conference on Circuits and Systems (Virtual TJCAS 2021), Virtual Event Hosted by Japan, (Nov. 20th, 2021).
 35. Keno Sato, Takayuki Nakatani, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Shogo Katayama, Gaku Ogihara, Daisuke Iimori, Yujie Zhao, Jianglin Wei, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, “High Precision Measurement of Sub-Nano Ampere Current in ATE Environment”, 30th IEEE Asian Test Symposium (ATS 2021), Virtual Event Hosted by Japan, (Nov. 22nd - 25th, 2021).
 36. Gaku Ogihara, Takayuki Nakatani, Daisuke Iimori, Shogo Katayama, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Yujie Zhao, Jianglin Wei, Kazumi Hatayama, Haruo Kobayashi, “Evaluation of High-Precision Nano-Ampere Current Measurement Method for Mass Production”, 28th IEEE International Conference on Electronics Circuits and Systems (IEEE ICECS 2021), Sofitel Dubai The Obelisk, Dubai, UAE, (Nov. 28th - Dec. 1st, 2021).
 37. Haruo Kobayashi, Xueyan Bai, Yujie Zhao, Shuhei Yamamoto, Dan Yao, Manato Hirai, Jianglin Wei, Shogo Katayama, Anna Kuwana, “Smart Mathematics Leads to Sophisticated Analog/Mixed-Signal Circuit”, 5th International Conference on Technology and Social Science (ICTSS 2021), Kiryu, Japan, (Dec. 7th - 9th, 2021).
 38. Tianrui Feng, Takashi Hosono, Souma Yamamoto, Takafumi Kamio, Shogo Katayama, Anna Kuwana, Haruo Kobayashi, Kouji Hirai, Akira Suzuki, Satoshi Yamada, Tomoyuki Kato, Ritsuko Kitakoga, Takeshi Shimamura, Nobuto Ono, Kazuhiro Miura, “Self-biasing Reference Current Source with Two Nagata Current Mirrors Insensitive to Temperature and Supply Voltage”, 5th International Conference on Technology and Social Science (ICTSS 2021), Kiryu, Japan, (Dec. 7th - 9th, 2021).

39. Lengkhang Nengvang, Shogo Katayama, Jianglin Wei, Lei Sha, Anna Kuwana, Kazufumi Naganuma, Kiyoshi Sasai, Junichi Saito, Katsuaki Morishita, Haruo Kobayashi, “Generalized Leslie-Singh Architecture of 1st order Delta-Sigma AD Modulator with Different Resolutions of ADC and DAC”, 5th International Conference on Technology and Social Science (ICTSS 2021), Kiryu, Japan, (Dec. 7th - 9th, 2021).
40. Souma Yamamoto, Takashi Hosono, Takafumi Kamio, Shogo Katayama, Kuswan Isam Ebisawa, Tianrui Feng, Anna Kuwana, Haruo Kobayashi, Kouji Hirai, Akira Suzuki, Satoshi Yamada, Tomoyuki Kato, Ritsuko Kitakoga, Takeshi Shimamura, Gopal Adhikari, Nobuto Ono, Kazuhiro Miura, “Comparison of Three Types of Startup Circuits for Self-biasing MOS Reference Current Sources”, 5th International Conference on Technology and Social Science (ICTSS 2021), Kiryu, Japan, (Dec. 7th - 9th, 2021).
41. Takashi Hosono, Takafumi Kamio, Souma Yamamoto, Jun-ichi Matsuda, Kouji Hirai, Shogo Katayama, Tianrui Feng, Anna Kuwana, Haruo Kobayashi, Akira Suzuki, Satoshi Yamada, Tomoyuki Kato, Ritsuko Kitakoga, Takeshi Shimamura, Gopal Adhikari, Nobuto Ono, Kazuhiro Miura, “Nagata Current Sources with Self-Bias Configuration Insensitive to Supply Voltage and Temperature”, International Conference on Electrical, Computer and Energy Technologies (IEEE ICECET), Cape Town, South Africa, (Dec. 9th - 10th, 2021).
42. Souma Yamamoto, Yudai Abe, Akio Iwabuchi, Jun-ichi Matsuda, Anna Kuwana, Haoyang Du, Takafumi Kamio, Takashi Hosono, Shogo Katayama, Haruo Kobayashi, “Current-Driven IGBT Gate Driver Circuit Considering Four Operation Regions”, 7th International Congress on Information and Communication Technology (ICICT 2022), London, United Kingdom, (Feb. 21st - 24th, 2022).
43. Guiyi Dong, Shogo Katayama, Yifei Sun, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “Notch Frequency Generation Methods in Noise Spread Spectrum for Pulse Coding Switching DC-DC Converter”, 13th Latin American Symposium on Circuits and Systems (LASCAS 2022), Santiago, Chile, (Mar. 1st - 4th, 2022).
44. Daisuke Iimori, Takayuki Nakatani, Shogo Katayama, Gaku Ogihara, Yujie Zhao, Jianglin Wei, Anna Kuwana, Kentaroh Katoh, Kazumi Hatayama, Haruo Kobayashi, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, “Consideration on Thermal Effect for High Precision Analog IC Testing”, Innovative Analog Circuit Testing Technologies, 40th IEEE VLSI Test Symposium, Fully Virtual, (Apr. 25th - 27th, 2022).
45. Haruo Kobayashi, Anna Kuwana, Shogo Katayama, Shuhei Yamamoto, Yujie Zhao, Kentaroh Katoh, Yonglun Yan, Koji Asami, Masahiro Ishida, “Recent Innovation of Waveform Acquisition Methods: Residue Sampling and Metallic Ratio Sampling”,

11th International Conference on Communications, Circuits and Systems (ICCCAS 2022), Singapore, (May 13th - 15th, 2022).

46. Yi Liu, Anna Kuwana, Shogo Katayama, Xiongyan Li, Atsushi Motozawa, Haruo Kobayashi, “Optimization of Segmented DAC Linearity Improvement Algorithm Using Unit Cell Sorting with Digital Method”, The 31st International Workshop on Post-Binary ULSI Systems (ULSIWS), Fully Virtual, (May 18th, 2022).
47. Xaybandith Hemthavy, Jianglin Wei, Shogo Katayama, Anna Kuwana, Haruo Kobayashi, Kazuyoshi Kubo, “Distributed Arithmetic for Taylor-Series Expansion”, The 31st International Workshop on Post-Binary ULSI Systems (ULSIWS), Fully Virtual, (May 18th, 2022).
48. Ryuya Ohta, Anna Kuwana, Shogo Katayama, Haruo Kobayashi, “Pseudo Random Number Generation Algorithms with Fibonacci Sequence”, The 31st International Workshop on Post-Binary ULSI Systems (ULSIWS), Fully Virtual, (May 18th, 2022).
49. Yi Liu, Anna Kuwana, Shogo Katayama, Xiongyan Li, Atsushi Motozawa, Haruo Kobayashi, “Segmented DAC Linearity Improvement Algorithm Using Unit Cell Sorted Alternately with Digital Method”, The 24th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), Hirosaki, Japan, (Oct. 24th - 25th, 2022).
50. Xaybandith Hemthavy, Jianglin Wei, Shogo Katayama, Anna Kuwana, Haruo Kobayashi, Kazuyoshi Kubo, “Efficient Hardware Architecture for Taylor-Series Expansion Calculation Using Distributed Arithmetic with Term Division”, The 24th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), Hirosaki, Japan, (Oct. 24th - 25th, 2022).
51. Haruo Kobayashi, Kentaroh Katoh, Shuhei Yamamoto, Yujie Zhao, Shogo Katayama, Jianglin Wei, Yonglun Yan, Dan Yao, Xueyan Bai, Anna Kuwana, “Challenges for Waveform Sampling and Related Technologies”, 2022 IEEE 16th International Conference on Solid-State and Integrated Circuit Technology (ICSICT), Nanjing, China, virtually on line, (Oct. 25th - 28th, 2022).
52. Tianrui Feng, Hiroshi Tanimoto, Takafumi Kamio, Souma Yamamoto, Takashi Hosono, Shogo Katayama, Kakeru Ootomo, Anna Kuwana, Haruo Kobayashi, “A Reference Current Source with Cascaded Nagata Current Mirrors Insensitive to Supply Voltage and Temperature”, 2022 IEEE 16th International Conference on Solid-State and Integrated Circuit Technology (ICSICT), Nanjing, China, virtually on line, (Oct. 25th - 28th, 2022).
53. Masashi Chiba, Kakeru Otomo, Shogo Katayama, Kanji Yoshihiro, Anna Kuwana, Haruo Kobayashi, Hiroshi Tanimoto, “Spatial and Temporal Dynamics of Non-Uniform

Active Resistor Networks”, 2022 IEEE 16th International Conference on Solid-State and Integrated Circuit Technology (ICSICT), Nanjing, China, virtually on line, (Oct. 25th - 28th, 2022).

54. Yujie Zhao, Kentaroh Katoh, Anna Kuwana, Shogo Katayama, Daisuke Iimori, Yuki Ozawa, Takayuki Nakatani, Kazumi Hatayama, Haruo Kobayashi, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, “Evaluation of Code Selective Histogram Algorithm For ADC Linearity Test”, The Seventh International Conference On Consumer Electronics (ICCE) Asia (ICCE-Asia), Yeosu, South Korea, hybrid mode (Both on-site and online), (Oct. 26th - 28th, 2022).
55. Takafumi Kamio, Tianrui Feng, Lei Sha, Jun-ichi Matsuda, Takashi Hosono, Souma Yamamoto, Shogo Katayama, Anna Kuwana, Haruo Kobayashi, Kouji Hirai, Akira Suzuki, Satoshi Yamada, Tomoyuki Kato, Ritsuko Kitakoga, Takeshi Shimamura, Gopal Adhikari, Nobuto Ono, Kazuhiro Miura, Shigeya Yamaguchi, “CMOS Reference Voltage Source Using Drain Current Temperature Characteristics”, The Seventh International Conference On Consumer Electronics (ICCE) Asia (ICCE-Asia), Yeosu, South Korea, hybrid mode (Both on-site and online), (Oct. 26th - 28th, 2022).
56. Keno Sato, Takayuki Nakatani, Shogo Katayama, Daisuke Iimori, Gaku Ogihara, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Yujie Zhao, Kentaroh Katoh, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, “High Precision Voltage Measurement System Utilizing Low-End ATE Resource and BOST”, Asian Test Symposium (ATS), Taichung, Taiwan, (Nov. 21st - 24th, 2022).
57. Xaybandith Hemthavy, Jianglin Wei, Shogo Katayama, Anna Kuwana, Haruo Kobayashi, Kazuyoshi Kubo, “DA for Hardware Architecture of Taylor Series Expansion Calculation”, Taiwan and Japan Conference on Circuits and Systems (Virtual TJCAS 2022), Virtual Event Hosted by Japan, (Nov. 26th, 2022).
58. Takafumi Kamio, Tianrui Feng, Lei Sha, Jun-ichi Matsuda, Takashi Hosono, Souma Yamamoto, Shogo Katayama, Anna Kuwana, Haruo Kobayashi, “MOS Reference Voltage Source Using Current Temperature Characteristics”, Taiwan and Japan Conference on Circuits and Systems (Virtual TJCAS 2022), Virtual Event Hosted by Japan, (Nov. 26th, 2022).
59. Masashi Chiba, Kakeru Otomo, Shogo Katayama, Kanji Yoshihiro, Anna Kuwana, Takato Ooide, Haruo Kobayashi, Hiroshi Tanimoto, “Spatial and Temporal Dynamics of Non-Uniform Networks with Positive and Negative Resistors”, Taiwan and Japan Conference on Circuits and Systems (Virtual TJCAS 2022), Virtual Event Hosted by Japan, (Nov. 26th, 2022).
60. Kentaroh Katoh, Shuhei Yamamoto, Zheming Zhao, Yujie Zhao, Shogo Katayama, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa,

Takayuki Nakatani, Kazumi Hatayama, Haruo Kobayashi, “A Physical Unclonable Function Using Time-to-Digital Converter”, The joint international conferences of The 11th International Science, Social Sciences, Engineering and Energy Conference (I-SEEC 2022) The 6th International Conferencer on Technology and Social Science (ICTSS 2022), Kiryu, Japan (Online with Onsite Events), (Dec. 25th - 28th, 2022).

61. Shuhei Yamamoto, Kentaroh Katoh, Zheming Zhao, Yujie Zhao, Shogo Katayama, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Takayuki Nakatani, Kazumi Hatayama, Haruo Kobayashi, “Time-to-Digital Converter Linearity Calibration with Metallic Ratio Sampling”, The joint international conferences of The 11th International Science, Social Sciences, Engineering and Energy Conference (I-SEEC 2022) The 6th International Conferencer on Technology and Social Science (ICTSS 2022), Kiryu, Japan (Online with Onsite Events), (Dec. 25th - 28th, 2022).
62. Zhang Zheming, Anna Kuwana, Shogo Katayama, Shuhei Yamamoto, Kentaroh Katoh, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Takayuki Nakatani, Kazumi Hatayama, Haruo Kobayashi, “Effect of the Delay Elements Variation on Time-to-Digital Converter Linearity”, The joint international conferences of The 11th International Science, Social Sciences, Engineering and Energy Conference (I-SEEC 2022) The 6th International Conferencer on Technology and Social Science (ICTSS 2022), Kiryu, Japan (Online with Onsite Events), (Dec. 25th - 28th, 2022).
63. Siwei Li, Anna Kuwana, Yuki Yanadori, Shogo Katayama, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Kentaroh Katoh, Takayuki Nakatani, Kazumi Hatayama, Haruo Kobayashi, “Signal Estimation by Prony’s Method for Application to ADC Testing”, The joint international conferences of The 11th International Science, Social Sciences, Engineering and Energy Conference (I-SEEC 2022) The 6th International Conferencer on Technology and Social Science (ICTSS 2022), Kiryu, Japan (Online with Onsite Events), (Dec. 25th - 28th, 2022).
64. Kaiki Okabe, Shogo Katayama, Anna Kuwana, Haruo Kobayashi, “High-Resolution Unary DAC Unit Cell Sorting Algorithms for Linearity Improvement with Measured Unit Cell Values”, The joint international conferences of The 11th International Science, Social Sciences, Engineering and Energy Conference (I-SEEC 2022) The 6th International Conferencer on Technology and Social Science (ICTSS 2022), Kiryu, Japan (Online with Onsite Events), (Dec. 25th - 28th, 2022).
65. Kakeru Ootomo, Masashi Chiba, Shogo Katayama, Kanji Yoshihiro, Takato Ooide, Anna Kuwana, Haruo Kobayashi, Hiroshi Tanimoto, “Conjecture on Spatial-Temporal Response Relationship for Spatially Shift-Variant Networks with Positive and Negative Resistors”, The joint international conferences of The 11th International Science, Social Sciences, Engineering and Energy Conference (I-SEEC 2022) The 6th Inter-

national Conferencer on Technology and Social Science (ICTSS 2022), Kiryu, Japan (Online with Onsite Events), (Dec. 25th - 28th, 2022).

66. Daisuke Iimori, Takayuki Nakatani, Shogo Katayama, Misaki Takagi, Yujie Zhao, Anna Kuwana, Kentaroh Katoh, Kazumi Hatayama, Haruo Kobayashi, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, “SAR Time-to-Digital Converter with 1 ps Resolution for LSI Test System”, 8th International Congress on Information and Communication Technology (ICICT 2023), London, United Kingdom, (Feb. 20th - 23rd, 2023).
67. Nagito Ishida, Koji Asami, Shogo Katayama, Anna Kuwana, Haruo Kobayashi, “Frequency Interleaving DAC System Design: Fundamental Problems and Compensation Methods”, 8th International Congress on Information and Communication Technology (ICICT 2023), London, United Kingdom, (Feb. 20th - 23rd, 2023).
68. Misaki Takagi, Takayuki Nakatani, Shogo Katayama, Daisuke Iimori, Gaku Ogihara, Yujie Zhao, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Kentaroh Katoh, Kazumi Hatayama, Haruo Kobayashi, “Design Consideration for LC Analog Filters: Inductor ESR Compensation, Mutual Inductance Effect and Variable Center Frequency”, 8th International Congress on Information and Communication Technology (ICICT 2023), London, United Kingdom, (Feb. 20th - 23rd, 2023).

国内学会論文 (第一著者)

1. 片山 翔吾, 三木 夏子, 新井 貴之, 孫 逸菲, 小堀 康功, 小林 春夫, 「EMIノイズ拡散スイッチング電源の出力リップル低減方式」, The 15th IEEE TOWERS (Transdisciplinary-Oriented Workshop for Emerging Researchers, 学生・若手研究者のための異分野学術交流ワークショップ, 慶応義塾大学 矢上キャンパス, (2018年11月3日).
2. 片山 翔吾, 青木 里穂, 佐々木 優斗, 町田 恒介, 中谷 隆之, 王 建龍, 桑名 杏奈, 畠山 一実, 小林 春夫, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 「オペアンプ試験技術 Null 法の実験評価」, 平成30年度 第9回 電気学会東京支部栃木・群馬支所 合同研究発表会, 小山高専, 栃木, (2019年3月4日 - 5日).
3. 片山 翔吾, 「マルチフェーズ降圧型スイッチング電源における負荷変動時フェーズ切換え方式」, 第72回システムLSI合同ゼミ, 中央大学, 東京, (2019年6月29日).
4. 片山 翔吾, 大岩 紀行, 小堀 康功, 桑名 杏奈, 小林 春夫, 「スペクトラム拡散を用いたLLC電流共振コンバータのEMIノイズ低減」, 2019年度 第10回 電気学会栃木・群馬支所合同研究発表会, 開催中止, 予稿集配布, (2020年3月4日 - 5日).
5. 片山 翔吾, 小堀 康功, 桑名 杏奈, 小林 春夫, 「LLC電流共振コンバータのスペクトラム拡散EMI低減時のリップル抑制」, 2020年度 (第11回) 電気学会東京支部栃木・群馬支所合同研究発表会, オンライン開催, (2021年3月1日 - 2日).

6. 片山 翔吾, 阿部 優大, 桑名 杏奈, 浅見 幸司, 石田 雅裕, 大田 龍弥, 小林 春夫, 「剰余系サンプリングによる高周波/アナログデジタル混載集積回路の試験技術の検討」, 第35回多値論理とその応用研究会, オンライン開催, (2022年1月8日).

国内学会論文 (共著)

1. 阿部 優大, 片山 翔吾, 李 从兵, 小林 春夫, 「孫子算経 (剰余系) の電子回路設計への応用」, 第14回全国和算研究大会, 栃木県佐野市, (2018年8月26日).
2. 阿部 優大, 片山 翔吾, 李 从兵, 桑名 杏奈, 小林 春夫, 「剰余系を用いた周波数推定回路」, The 15th IEEE TOWERS (Transdisciplinary-Oriented Workshop for Emerging Researchers, 学生・若手研究者のための異分野学術交流ワークショップ, 慶応義塾大学 矢上キャンパス, (2018年11月3日).
3. 青木 里穂, 片山 翔吾, 佐々木 優斗, 町田 恒介, 中谷 隆之, 王 建龍, 桑名 杏奈, 畠山 一実, 小林 春夫, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 「オペアンプ試験技術 Null 法のシミュレーション評価」, 平成30年度 第9回 電気学会東京支部栃木・群馬支所合同研究発表会, 小山高専, 栃木, (2019年3月4日 - 5日).
4. 大岩 紀行, 片山 翔吾, 小堀 康功, 桑名 杏奈, 小林 春夫, 「高効率フルブリッジレス PFC 回路と LLC 回路における EMI 低減法」, 電気学会 電子回路研究会, 明治大学 駿河台キャンパス, (2019年12月6日).
5. 荻原 岳, 片山 翔吾, 青木 里穂, 中谷 隆之, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 王 建龍, 桑名 杏奈, 畠山 一実, 小林 春夫, 「オペアンプ AC 特性の FFT 法による高速試験」, 電気学会 電子回路研究会, 日本大学 理工学部 駿河台校舎タワー・スコラ, (2019年12月19日).
6. 荻原 岳, 片山 翔吾, 青木 里穂, 中谷 隆之, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 王 建龍, 桑名 杏奈, 畠山 一実, 小林 春夫, 「オペアンプ AC 特性のサミングノード法による並列試験」, 2019年度 第10回 電気学会栃木・群馬支所合同研究発表会, 開催中止, 予稿集配布, (2020年3月4日 - 5日).
7. 八田 朱実, 中谷 隆之, 片山 翔吾, 荻原 岳, 飯森 大翼, 桑名 杏奈, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 畠山 一実, 小林 春夫, 「Summing Node 法によるオペアンプの AC 特性評価研究 - シミュレーション検証」, 電気学会 電子回路研究会, Web 開催, (2021年1月21日).
8. 飯森 大翼, 中谷 隆之, 片山 翔吾, 八田 朱実, 荻原 岳, 桑名 杏奈, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 畠山 一実, 小林 春夫, 「Summing Node 法によるオペアンプの AC 特性評価研究 - 実測検証」, 電気学会 電子回路研究会, Web 開催, (2021年1月21日).

9. Guiyi Dong, Kento Itoi, Shogo Katayama, Tran Minh Tri, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi, “EMI Reduction and Frequency Stabilization in Ripple Injection Type Hysteretic Controlled Switching Converter”, 2020 年度 (第 11 回) 電気学会東京支部栃木・群馬支所合同研究発表会, オンライン開催, (2021 年 3 月 1 日 - 2 日).
10. 関根 有希, 小堀 康功, 片山 翔吾, 桑名 杏奈, 小林 春夫, 「昇圧形ソフトスイッチング電源の EMI 低減とリップル補正技術」, 2020 年度 (第 11 回) 電気学会東京支部栃木・群馬支所合同研究発表会, オンライン開催, (2021 年 3 月 1 日 - 2 日).
11. ネンワン レーンカン, 魏 江林, 片山 翔吾, 沙 磊, 桑名 杏奈, 永沼 和文, 篠井 潔, 齊藤 潤一, 小林 春夫, 「バンドパス $\Delta \Sigma$ AD 変調器への FIR DAC 適用の検討」, 2020 年度 (第 11 回) 電気学会東京支部栃木・群馬支所合同研究発表会, オンライン開催, (2021 年 3 月 1 日 - 2 日).
12. 神尾 崇文, 細野 貴司, 山本 颯馬, 沙 磊, 片山 翔吾, チャン ミン チー, 桑名 杏奈, 小林 春夫, 鈴木 彰, 山田 聡, 加藤 智行, 小野 信任, 三浦 一広, 「NMOS, PMOS を用いた電源電圧および温度に依存しない永田基準電流源」, 2020 年度 (第 11 回) 電気学会東京支部栃木・群馬支所合同研究発表会, オンライン開催, (2021 年 3 月 1 日 - 2 日).
13. 阿部 優大, 岩渕 昭夫, 松田 順一, 桑名 杏奈, 神尾 崇文, 杜 浩洋, 細野 貴志, 山本 颯馬, 片山 翔吾, 小林 春夫, 「電流駆動 IGBT ゲートドライバ回路の検討」, 2020 年度 (第 11 回) 電気学会東京支部栃木・群馬支所合同研究発表会, オンライン開催, (2021 年 3 月 1 日 - 2 日).
14. 荻原 岳, 中谷 隆之, 片山 翔吾, 飯森 大翼, 八田 朱美, 桑名 杏奈, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 魏 江林, 趙 宇杰, チャン ミン チー, 畠山 一実, 小林 春夫, 「複数オペアンプ複数 AC 特性の並列試験技術サミングノード法の検討」, 第 83 回 FTC 研究会, オンライン開催, (2021 年 7 月 16 日).
15. 趙 宇杰, 桑名 杏奈, 山本 修平, 佐々木 優斗, 小林 春夫, チャン ミン チー, 片山 翔吾, 魏 江林, 中谷 隆之, 畠山 一実, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 「ヒストグラム法による効率的 ADC 試験のための入力周波数とサンプリング周波数の関係の検討」, 第 83 回 FTC 研究会, オンライン開催, (2021 年 7 月 16 日).
16. 山本 修平, 佐々木 優斗, 趙 宇杰, 魏 江林, 桑名 杏奈, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 中谷 隆之, チャン ミン チー, 片山 翔吾, 畠山 一実, 小林 春夫, 「貴金属比の特性を利用した等価時間サンプリングの波形取得効率解析」, 第 35 回多値論理とその応用研究会, オンライン開催, (2022 年 1 月 8 日).
17. 趙 宇杰, 桑名 杏奈, 魏 江林, 片山 翔吾, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 中谷 隆之, 畠山 一実, 小林 春夫, 「コード選択ヒストグラム法: 2 トーン入力信号を用いた ADC 線形性テストの時間短縮」, 第 35 回多値論理とその応用研究会, オンライン開催, (2022 年 1 月 8 日).

18. 飯森 大翼, 中谷 隆之, 片山 翔吾, 八田 朱実, 荻原 岳, 桑名 杏奈, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 魏 江林, 趙 宇杰, チャン ミン チー, 畠山 一実, 小林 春夫, 「Summing Node 法によるオペアンプの AC 特性評価研究」, 第 84 回 FTC 研究会, ハイブリッド開催, (2022 年 1 月 28 日).
19. 白雪妍, 片山 翔吾, 姚 丹, 桑名 杏奈, 小林 春夫, 「小規模スイッチトキャパシタ回路を用いた非同期 SAR ADC」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).
20. 吉廣 完治, 片山 翔吾, 桑名 杏奈, 小林 春夫, 「負性抵抗を含んだ不均一抵抗ネットワークの時空間安定性」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).
21. ヘムタビー サイバンディット, 片山 翔吾, 桑名 杏奈, 小林 春夫, 「自然指数関数の分散型積和演算アルゴリズムの研究」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).
22. 大田 龍弥, 桑名 杏奈, 片山 翔吾, 小林 春夫, 「貴金属比サンプリングを用いた疑似乱数発生アルゴリズム」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).
23. 梁取 友貴, 桑名 杏奈, 片山 翔吾, 佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保, 中谷 隆之, 畠山 一実, 小林 春夫, 「信号推定アルゴリズムの ADC 評価への応用」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).
24. 横田 優, 加藤 雄也, 齋藤 修平, 下山 凌弥, 大澤 由奈, 廣瀬 智也, 星野 力丸, 片山 翔吾, 桑名 杏奈, 後藤 誠, 高橋 俊樹, 「換気による室内侵入花粉挙動及び空気清浄機の除去数値シミュレーション解析」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).
25. 星野 力丸, 加藤 雄也, 横田 優, 齋藤 修平, 下山 凌弥, 大澤 由奈, 廣瀬 智也, 片山 翔吾, 後藤 誠, 桑名 杏奈, 高橋 俊樹, 「室内送風機による効率的な花粉粒子搬送法」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).
26. 下山 凌弥, 加藤 雄也, 横田 優, 齋藤 修平, 大澤 由奈, 廣瀬 智也, 星野 力丸, 片山 翔吾, 後藤 誠, 桑名 杏奈, 高橋 俊樹, 「吸引装置が生成する室内気流中の飛沫状物質挙動に関するシミュレーション」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).
27. 加藤 雄也, 横田 優, 齋藤 修平, 下山 凌弥, 大澤 由奈, 廣瀬 智也, 星野 力丸, 片山 翔吾, 後藤 誠, 桑名 杏奈, 高橋 俊樹, 「空気清浄システム開発における画像認識を用いた物体検出及び距離計測」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).

28. 大澤 由奈, 加藤 雄也, 横田 優, 齋藤 修平, 下山 凌弥, 廣瀬 智也, 星野 力丸, 片山 翔吾, 後藤 誠, 桑名 杏奈, 高橋 俊樹, 「自律型飛沫吸引装置 Air-VACCINE の吸気実証実験及び室内環境における微粒子の測定」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).
29. 廣瀬 智也, 加藤 雄也, 横田 優, 齋藤 修平, 下山 凌弥, 大澤 由奈, 星野 力丸, 片山 翔吾, 後藤 誠, 桑名 杏奈, 高橋 俊樹, 「自律型飛沫吸引装置 Air-Vaccine の吸排気系統の開発」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).
30. 齋藤 修平, 加藤 雄也, 横田 優, 下山 凌弥, 大澤 由奈, 廣瀬 智也, 星野 力丸, 片山 翔吾, 後藤 誠, 桑名 杏奈, 高橋 俊樹, 「自律型飛沫吸引装置 Air-VACCINE の音声認識システムの開発」, 2021 年度 (第 12 回) 電気学会東京支部 群馬支所・栃木支所 合同研究発表会, オンライン開催, (2022 年 3 月 1 日 - 2 日).
31. 董 貴義, 片山 翔吾, 孫 逸菲, 小堀 康功, 桑名 杏奈, 小林 春夫, 三島 智和, 「パルスコーディング DC-DC コンバータにおける複合周波数ノッチ特性を有するスペクトラム拡散」, 電気学会研究会 (D 部門 家電・民生研究会), オンライン開催, (2022 年 5 月 27 日 - 28 日).
32. 飯森 大翼, 中谷 隆之, 片山 翔吾, 荻原 岳, 趙 宇杰, 魏 江林, 桑名 杏奈, 加藤 健太郎, 畠山 一実, 小林 春夫, 佐藤 賢央, 石田 崇, 岡本 智之, 市川 保, 「高精度アナログ IC 試験での熱起電力の影響」, 第 85 回 FTC 研究会, ハイブリッド開催, (2022 年 7 月 29 日).

受賞歴

1. Best Student Paper Award:
Shogo Katayama, et. al., “Ripple Compensation for LLC Resonant Converter with Spectrum Spread EMI Reduction”, 4th International Conference on Technology and Social Science (ICTSS 2020), Kiryu, Japan, (Dec. 2nd - 4th, 2020).
2. Best Student Paper Award:
Shogo Katayama, et. al., “Output Voltage Ripple Reduction for Current Mode Resonant Converter”, 5th Taiwan and Japan Conference on Circuits and Systems (TJCAS 2019 at Nikko), Nikko, Tochigi, Japan, (Aug. 19th - 20th, 2019).
3. Best Presentation Award:
Shogo Katayama, et. al., “Experimental Evaluation of Null Method and DC-AC Conversion for Operational Amplifier Testing”, 3rd International Conference on Technology and Social Science (ICTSS2019), Kiryu, Japan, (May 8th - 10th, 2019).
4. 優秀発表賞:
片山 翔吾, 他, 「オペアンプ試験技術 Null 法の実験評価」, 平成 30 年度 第 9 回 電

気学会東京支部栃木・群馬支所 合同研究発表会, 小山高専, 栃木, (2019年3月4日 - 5日).

謝辞

本研究を進めるのにあたって、ご指導、ご支援を頂きました群馬大学 小林 春夫 教授、桑名 杏奈 助教に心より深く感謝いたします。また、学位論文の審査をいただきました群馬大学 藤井 雄作 教授、三輪 空司 教授、源代 裕治 客員教授、三木 隆博 客員教授に心より深く感謝いたします。

本研究にあたり、多くの先生方に技術的なご支援、ご指導をいただき、議論をさせていただきました。高周波/アナログデジタル混載集積回路の試験技術の検討に関してご指導をいただきました浅見 幸司 客員教授、石田 雅裕 客員教授、低歪正弦波生成の検討に関してご指導を頂きました中谷 隆之 協力研究員、マルチ出力電源回路の検討に関してご指導を頂きました小堀 康功 協力研究員に心より深く感謝いたします。

研究において測定や文献調査などのサポートをして頂いた飯森 大翼 氏、関根 有希 氏、高木 美咲氏に深く感謝いたします。また研究に関して、多くのアドバイス、ご支援を頂きましたローム株式会社 佐藤 賢央 氏、石田 嵩 氏、岡本 智之 氏、市川 保 氏に感謝するとともに厚く御礼申し上げます。