

平成28年1月15日

学位論文の審査要旨

学位論文申請者氏名：李 从兵

論文題目：Time-to-Digital Converter Architectures Based on Mathematics

(数学に基づく時間デジタル変換アーキテクチャの研究)

論文の概要及び判定理由

この論文は時間分解能型アナログ回路のキーコンポーネントである、時間-デジタル変換器(TDC: Time to Digital Converter)の小型化・性能向上に関する新技術を提案・実証している。TDCは電圧振幅の大きさに依存せずに、従来よりも一步進んだデジタルRF回路を実現できることが期待できる。現在ではフラッシュ型TDCが広く用いられているが、回路が大きくなり、小チップ面積化・低消費電力化を得ることが困難である。また、フラッシュ型TDCの最小時間分解能はバッファのゲート遅延により決まり、時間分解能を向上させることも困難である。すなわちフラッシュ型TDCには二つの課題がある：①回路面積(コスト)、消費電力を減らす。②時間分解能を向上させる。

そこで本研究では、①小回路規模・低消費電力TDCを可能にするために、数学的アプローチによるTDC回路の設計を提案し、FPGAを用いて回路動作の確認と性能検証を行った。提案した回路とフラッシュ型TDCに比べ、回路面積(コスト)、消費電力を低減できる可能性がある。②時間分解能を向上させるために、数学的アプローチを利用した高時間分解能TDCアーキテクチャを提案し、RTLシミュレーションを用いて回路動作の確認と性能検証を行った。提案したアーキテクチャとフラッシュ型TDCに比べ、数ピコ秒の時間分解能を達成することができる。

まずは、剰余定理・グレイコード・巡回符号を利用したTDC回路を提案した。具体的には、TDC回路では取り扱う入力信号が時間信号なので、リング発振回路構成により“剰余・グレイコードビット”が容易に得られる。剰余定理を利用したTDC回路は、フラッシュ型TDCに比べ、使用した遅延バッファとフリップフロップの数が少ない。それで、回路面積、消費電力及びコストを低減できることが可能である。グレイコード・巡回符号を用いたTDCアーキテクチャは、フラッシュ型TDCに比べ、使用したフリップフロップの数が少ない。

そして、剰余系 TDC に比べ、遅延バッファばらつきがあってもグリッチなし出力が得られるというメリットがある。Xilinx 社 FPGA を用いて回路動作の確認と性能検証を行った。提案した TDC 回路は時間を測定することが可能であることを確認し、FPGA で実現できることを示した。提案した回路とフラッシュ型 TDC に比べ、回路面積（コスト）、消費電力を低減できる可能性がある。

次は、確率論により、高時間分解能 TDC アーキテクチャを得た。具体的には、集積回路製造プロセスにおいては、素子の電気特性のばらつきが必ず発生する。D Flip-Flop のオフセットばらつきなどをあえて利用し、従来の TDC よりも細かい時間分解能を実現することが可能である。しかし、素子プロセスばらつきを利用している性質上出力が非線形になりやすく、キャリブレーションを用いる必要がある。それで、自己校正機能を備えた確率的 TDC アーキテクチャを提案した。RTL シミュレーションを用いて回路動作の確認と性能検証を行った。提案したアーキテクチャとフラッシュ型 TDC に比べ、数ピコ秒の時間分解能を達成することができる。

本論文は数学的アプローチの回路設計への応用可能性を提示した。本論文での動作確認と性能検証は、回路シミュレータ SPICE とフルカスタム CMOS を使わず、RTL シミュレーションと FPGA を使って行った。この設計方法はナノ CMOS 時代のアナログおよびミックスト・シグナル回路設計に適している。

以上のように、本論文では電気電子機器においてますますの性能向上が要求される時間デジタイザ回路の小型化・性能向上技術に貢献する工学的価値の高い研究成果であり、数学理論を時間デジタイザ回路設計に適用するのは学術的に新規であり、また学位論文申請者は最終試験においても十分な学識を示したので、博士（理工学）の学位に値するものと判定した。

審査年月日 平 2 8 年 1 月 1 5 日

審査委員

主査	群馬大学学術研究院	教授	本島 邦行 印
副査	群馬大学学術研究院	教授	安達 定雄 印
副査	群馬大学学術研究院	准教授	弓仲 康史 印
副査	群馬大学学術研究院	准教授	伊藤 直史 印
副査	群馬大学学術研究院	教授	小林 春夫 印

関連論文（1）

- 著者名 Congbing Li, Haruo Kobayashi
論文題目 A Glitch-Free Time-to-Digital Converter Architecture Based on Gray Code
(和訳) グレイコードを用いたグリッチなしの時間デジタル変換回路アーキテクチャ
雑誌名 電気学会論文誌 (和文誌 C) 「電子回路関連技術」特集,
vol.136 , no.1, pp.22-27 (2016 年 1 月)

関連論文（2）

- 著者名 Congbing Li, Haruo Kobayashi
論文題目 A Residue Number System Based Time-to-Digital Converter Architecture and its FPGA Implementation
(和訳) 剰余系を用いた時間デジタル変換回路アーキテクチャ
雑誌名 Advanced Micro-Device Engineering VI, Key Engineering Materials (2016) (掲載決定)

参考論文（1）

- 著者名 Takeshi Chujo, Junshan Wang, Daiki Hirabayashi, Congbing Li, Yutaro Kobayashi, Kentaroh Katoh, Haruo Kobayashi, Masanobu Tsuji, Koshi Sato
論文題目 FPGA Evaluation of Flash-type TDC With Histogram Method for Linearity Self-Calibration
(和訳) フラッシュ型タイムデジタル回路の線形性自己校正の実験検証
雑誌名 Advanced Micro-Device Engineering VI, Key Engineering Materials (2016) (掲載決定)

参考論文（2）

- 著者名 Masataka Kamiyama, Daiki Oki, Satoru Kawauchi, Congbing Li, Nobuo Takahashi, Seiichi Banba, Toru Dan, Haruo Kobayashi,
論文題目 Triple-Band CMOS Low Noise Amplifier Design Utilizing Transformer Couplings
(和訳) トランス結合を用いた 3 信号帯域 CMOS 低ノイズ増幅回路設計
雑誌名 Advanced Micro-Device Engineering VI, Key Engineering Materials (2016) (掲載決定)

参考論文 (3)

著者名 Daiki Oki, Satoru Kawauchi, Li CongBing, Masataka Kamiyama, Seiichi Banba, Toru Dan, Nobuo Takahashi, Haruo Kobayashi,

論文題目 A Power-Efficient Noise Canceling Technique Using Signal-Suppression Feed-forward for Wideband LNAs

(和訳) トランス結合を用いた3信号帯域 CMOS 低ノイズ増幅回路設計

雑誌名 Advanced Micro-Device Engineering V, Key Engineering Materials, pp.109-116, (2015).

参考論文 (4)

著者名 Kentaroh Katoh, Yutaro Kobayashi, Takeshi Chujo, Junshan Wang, Ensi Li, Congbing Li, Haruo Kobayashi

論文題目 A Small Chip Area Stochastic Calibration for TDC Using Ring Oscillator

(和訳) 時間デジタル回路のリング発振器を用いた小チップ面積確率的校正

雑誌名 Journal of Electronic Testing: Theory and Applications, vol.30, issue 6, pp.653-663, Springer (Dec. 2014)

参考論文 (5)

著者名 Haruo Kobayashi, Hitoshi Aoki, Kentaroh Katoh and Congbing Li

論文題目 Analog/Mixed-Signal Circuit Design in Nano CMOS Era

(和訳) ナノ CMOS 時代のアナログおよびミックスド・シグナル回路設計

雑誌名 IEICE Electronics Express, vol.11 no.3, pp.1-15 (2014)