

学 位 論 文 の 要 旨

Separate-heater Phase-change Memory for Multilevel Storage

氏 名 ROSALENA IRMA ALIP 印

In this work, I have proposed a new phase-change memory (PCM) device with a separate-heater, in order to fulfill the demand of multilevel storage in the non-volatile memories. In typical PCM devices, it still has got some potential problems regarding their crystallization process to obtain intermediate resistance levels for multilevel storage. Rapid change of the resistance value occurs when a SET pulse is induced at the memory layer, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST). This makes the crystallization process difficult to control an intermediate resistance levels for multilevel storage is not likely to be obtained.

In order to overcome this problem, new device structure of PCM has been proposed. The ability of the separate-heater structure to control the crystallization process in order to obtain multilevel storage was investigated. As the resistance of the heater is constant, the power can be controlled by only amplitude of the SET pulse. Therefore, the annealing temperature for crystallization process can be controlled. This can lead to many intermediate resistance levels, allowing multilevel storage. This thesis fits the demand of obtaining multilevel storage for PCM device. The manuscript is organized as follows.

In chapter 1, I described a brief introduction on phase-change memory and the issues of flash memory. In addition, as research background for multilevel PCM device, the problem and the objectives of this work were explained.

Chapter 2 was focused on the principle of PCM device, the phase-change material of GST and the cell architecture of PCM device to develop multilevel storage. The electrical properties and the structure of GST were explained.

Chapter 3 described the principle and the structure of proposed separate-heater PCM. Previous device architecture was used with direct-heating of the phase change material. In proposed device, indirect-heating was used with the separate-heater near the phase change memory part only in crystallization process.

In chapter 4, simulation on the separate-heater PCM structure was been done. Intermediate resistance was likely to be obtained through the simulation work. This enables the possibility to achieve multilevel storage for the separate-heater PCM.

Chapter 5 was focused on the fabrication of the device, which consisted of three important

processes, wet etching process to expose phase change memory area to outside for sputtering, sputtering process of GST, insulator and heater material, and lift-off process to form both phase change memory and separate heater simultaneously. The device was first being wet etched for 8 min. Then, GST/ZnS-SiO₂/TiSi₃ layers were sputtered using a RF sputtering machine model MNS-3000-RF ULVAC. The thicknesses of these layers were 150 nm, 20 nm and 50 nm, respectively. The resist was been lift-off from the device surface by cleaning it with PGMEA solution for 2 min, using an ultrasonic vibration. In the lift-off process, I improved lift-off process by increasing thickness of device isolated insulator to obtain completely prototyped PCM.

Chapter 6 is the most important part for this work. The SET and RESET experiments were done using the prototyped separate-heater PCM device. A waveform generator (Model 2571, Tabor Electronics, Ltd.) was used to apply SET pulse voltage ranging from 0 V to 2 V for 100 ns to the heater TiSi₃ layer. The phase change device resistance R was read at a low pulse voltage. After applying the 100-ns- wide pulse, the PCM resistance dropped from 10⁷ to 10⁴ Ω, which corresponded to about 10 multilevels as intermediate resistance value. This result agreed with the simulation result. After the resistance of the GST layer became constant in SET mode, a RESET voltage pulse was applied directly to the GST layer until it reached its initial amorphous state. As the results, 3 cycle of SET and RESET switching was obtained. Consequently, it demonstrated that my proposed separate-heater PCM device was operated to be stable and was reproducible together with multilevel PCM.

Lastly, in chapter 7, the work of this thesis was summarized.

学 位 論 文 の 要 旨

多値記録のための独自ヒータを用いた相変化メモリに関する研究

氏 名 ROSALENA IRMA ALIP 印

本論文は、次世代不揮発性メモリの1つとして期待される相変化不揮発性メモリについて、特に、多値記録に特化した相変化メモリについてまとめたものである。本研究では、相変化材料の結晶相とアモルファス相の2相を利用し、この間に多数の中間点を設けることにより多値記録が実現できる方法を基礎に、このコンセプトに、従来にない構造、新たにヒータを設置し、結晶化時にこれを用いて加熱できる高精度多値記録相変化素子(独自ヒータ相変化素子)を提案し、その可能性について検討した。独自ヒータ相変化素子は、従来素子で行っているメモリ部、相変化材料の直接加熱方式の問題である加熱温度に対する抵抗値変化による加熱温度制御の低下を解消するために提案した。構造は、ラテラル型相変化素子を用いて、相変化記憶部上部に絶縁物を介して独自ヒータを設けた相変化素子を提案した。研究では、メモリ部と独自ヒータ部がクロス構造をしたラテラル型多値記録相変化素子を設計試作した。独自ヒータ相変化素子は、GST(相変化メモリ)の上に、絶縁膜 ZnS-SiO_2 を、その上に TiSi_3 (独自ヒータ) を成膜し、 TiSi_3 の電極に電源を結線し、電圧パルス印加可能な素子とした。構造や材料は、コムソル社マルチフィジックスシミュレーションを使用して決定し、素子試作後、実験により、提案した素子が多値記録相変化素子として可能であることを実証した。この結果は、従来技術にない新しい多値記録素子を示し、多値記録相変化メモリ素子の高精度制御の分野、特に、結晶化制御という点で新たな一面を拓くものであると考える。

以下に、本論文の各章の内容について簡単に述べる。

第1章では、研究の背景、及び相変化メモリとフラッシュメモリの必要性や性能を比較する。このなかで、相変化の利点と将来性について述べ、次にその技術課題について述べ、本研究の目的を述べる。

第2章では、相変化メモリと多値記録の原理を述べる。相変化材料の電気的特性および結晶構造について述べ、問題点について議論する。

第3章では、上記問題点を解決するため、本研究で提案した独立ヒータ相変化素子の原理と構造について述べる。従来技術である我々が実験に用いたラテラル型相変化素子の相変化モデルと比較して、議論する。

第4章では、有限要素法の原理と構造について、説明する。

第5章では、相変化メモリにおける温度分布と抵抗変化を確認するためにはシミュレーションを行った。ここで、独立ヒータ相変化メモリのモデルを使って有限要素法でシミュレーションを行った。最後に温度分布と電圧パルスによる抵抗変化の結果を議論する。

第6章では、独立ヒータ相変化メモリデバイスのプロセスについて述べる。ウェットエッチング、スパッタリング及びリフトオフの実験方法と結果について理論する。

第7章では、独立ヒータデバイスを用いてパルス印加実験と SET-RESET 実験を行った。抵抗変化の結果を得られて、多値記録の可能性が確認でき、スイッチングサイクルは3回を得た。この結果から相変化メモリが安定であることが分かった。

さらに、多値記録のための素子抵抗制御実験においては、独立ヒータに印加するパルス電圧を徐々に高くしていくと、抵抗が徐々に減少する特性を得た。この結果より、アモルファス相から結晶相に変化し、徐々に相変化層の抵抗値が減少した。このことは、パルス電圧により、高精度に抵抗値を制御できることが分かった。

第8章では、この論文のまとめを述べた。