

令和2年度 修士論文

整数論を用いた AD/DA 変換器設計の研究

指導教員 小林 春夫 教授

群馬大学大学院理工学府 理工学専攻

電子情報・数理教育プログラム

杜 遠洋

目次

第一章 序論	9
1.1 研究背景と目的.....	9
1.2 研究概要.....	11
第二章 A/D・D/A 変換器	14
2.1 A/D・D/A 変換器とは.....	14
2.1.1 データコンバータの基本用語.....	16
2.1.2 AD/DA 変換器の変換動作	17
2.2 AD 変換器	19
2.2.1 フラッシュ型 (Flash type)	19
2.2.2 逐次比較型 (SAR : Successive Approximation Register Type)	21
2.2.3 パイプライン型 (Pipeline Type)	22
2.2.4 Δ - Σ 変調型 (Delta-Sigma Modulator Type)	23
2.2.5 各 AD 変換器の特徴	23
第三章 逐次比較型 AD 変換器と設計	24
3.1 概要	24
3.2 逐次比較型 AD 変換器について	24

3.2.1 逐次比較型 AD 変換器の構成.....	25
3.2.2 逐次比較型 AD 変換器の動作.....	26
3.2.3 容量型 AD 変換器.....	27
3.2.4R-2R ラダーDAC.....	30
第四章 整数論.....	31
4.1 概要.....	31
4.2 素数.....	31
4.2.1 ゴールドバッハ予想.....	32
4.2.2 ウラムの螺旋.....	32
4.2.3 ベルトランの仮説.....	33
4.2.4 素数の分布.....	34
4.3N角数.....	35
第五章 整数論を用いた AD 変換器設計.....	40
5.1 素数重みを用いた容量型 AD 変換器.....	40
5.1.1 動作.....	41
5.2 N 角数を用いた抵抗型 DA 変換器.....	45
5.2.1Vout の比率が三角数の場合.....	48

5.2.2 Vout 比例が他の N 角数について.....	55
5.2.3 Vout 比例が素数について	66
第六章 まとめ	71
参考文献	72
謝辞.....	75
研究業績	76
国際学会発表.....	76
国内学会発表・研究会発表.....	78
受賞.....	79

第一章 序論

1.1 研究背景と目的

科学技術、デジタル電子技術の急速な発展により、電子コンピュータは、単純なコンピュータツールから複雑な自動制御システムの信頼できる部分に進化し、自動監視、検出、および閉ループ制御等に幅広く用いられている。このように、アナログ信号を処理するには数学をベースにしたシステムが必要であり、この種の信号処理には2つの側面がある。アナログ信号は、算術または論理のためのデジタルシステム（電子コンピュータなど）に送信する前に、対応するデジタル信号に変換する必要がある。一方、デジタルシステムによって処理されたデジタル信号は、多くの場合、アクチュエータを制御して実行する最終出力とし、対応するアナログ信号に変換されます。この機能を実現する回路が A/D 変換器（Analog-to-Digital Converter, ADC, D/A 変換器（Digital-to-Analog Converter, DAC）である。

自然界に存在する物理量は、アナログ量とデジタル量の2つのタイプに分類できる。アナログ量の表現は連続的であるが、デジタル量の表現は不連続（離散）である。ここで、連続には2つの意味がある。時間とともに連続的に変化し、その数も連続的に可変である。自然界のほとんどの物理量は、連続的に変化するアナログ量である。例えば電圧、電流、時間、周波数、温度、圧力、速度、流量などである。さらに、センサー

を介してさまざまな非電氣量によって変換された電圧または電流も、連続的に変化するアナログ量である。デジタル量にはこの連続的な変化という特性はなく、その値はユニットごとにしか増減できない。たとえば、放射性同位体物質から放出される光線粒子の数、人の数などは、デジタル量の具体例である。さらに、トランジスタのオンとオフ、およびスイッチのオンとオフもデジタルと見なすことができる。

電子産業のデジタル化の継続的な発展に伴い、デジタルシステムを主体とするパターンが徐々に形成されている。アナログ回路とデジタル回路のインターフェースとして、A/D コンバータはますます注目されている。デジタル技術の急速な発展に伴い、A/D コンバータに対する人々の要求はますます高くなり、新しいタイプのアナログ/デジタル変換技術が絶えず出現している。

そこで本論文は高信頼性・高速の逐次比較 AD 変換器実現に向けた設計理論の構築を目的と設定する。

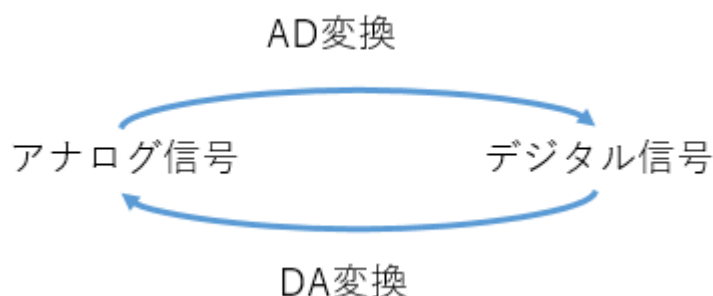


図 1.1 AD/DA の関係

1.2 研究概要

逐次比較型(SAR)アナログ-デジタルコンバータ(ADC)は中分解能から高分解能ADCのメインとなっている。SAR ADCは最大5Mspsのサンプリング・レートを8~18ビットの分解能で実現します。SARアーキテクチャによって高性能な低電力ADCを今日求められるアプリケーション用にスモールフォームファクタでパッケージ化することができる。

システムに組み込みAD変換過程を変更することによりデジタル変換性能を向上させる方法である。しかしながら従来の設計手法は理論構築が不十分とでであると考える。最適な設計による性能向上を妨げている。

そこで本研究では、整数を取り扱うAD変換器やDA変換器に適した、整数論を用いて理論構築を行った。最適な解探索のための具体的なアプローチは主に以下の点である。

1. 素数を用いたAD変換器、DA変換器アルゴリズム設計
2. N角数を用いたDA変換器アルゴリズム設計

本論文では、以上の点に対しての式や数値を用いた理論解析を行い、従来手法へ貢献する様々な性質や設計における優位点を示す。

数学者フレドリッヒ・ガウスが「整数論は数学の女王である」と表現したように、

整数論は数学で最も簡単のよう見えて最も奥が深い。整数、自然数には簡単なものから非常に高度なものまで様々な面白い性質が知られている。一方、AD 変換器、DA 変換器はその名が示すようにざっくり半分がデジタル回路であり、整数論が適用できる可能性がある。しかしながらこれまで AD 変換器、DA 変換器のアーキテクチャ・回路構成に積極的に整数論を適用した例は少ない。筆者の所属している研究室では整数の面白い様々な性質を積極的に AD 変換器、DA 変換器のアーキテクチャ・回路構成の研究を行ってきた。これまで「フィボナッチ数重み付け逐次比較近似 AD 変換器のアーキテクチャ」「ヒボナッチ数重みづけ R-R ラダー DA 変換器」「N進重み付け抵抗ラダー DA 変換器」の研究成果をあげてきた。この論文ではその延長線上の研究として次の研究を行った。

[DA 変換器構成]

(1) 整数論定理「任意の自然数値は 3 つの 3 角数の和で表せる」を利用

→ 自然数値 (3 角数) 比の抵抗アレイと 3 つの電流源、スイッチ配列を用いてコンパクトな DA 変換器が利用できる構成を考案

(2) 整数論定理「任意の自然数値は 4 つの 4 角数の和で表せる」を利用

→ 自然数値 (4 角数) 比の抵抗アレイと 4 つの電流源、スイッチ配列を用いてコンパクトな DA 変換器が利用できる構成を考案

(3) 整数論定理「任意の自然数値は N 個の N 角数の和で表せる」を利用

→ 自然数値 (N 角数) 比の抵抗アレイと N 個の電流源、スイッチ配列を用いてコンパクトな DA 変換器が利用できる構成を考案

(4) 整数論定理「全ての偶数は 2 つの素数の和で表せる (ゴールドバッハ定理)」を利用

→ 自然数値 (素数) 比の抵抗アレイと 2 つの電流源、スイッチ配列を用いてコンパクトな DA 変換器が利用できる構成を考案

これらは電流源の数が少なく良い (値のミスマッチの影響が小さくなる可能性がある)、抵抗は値が自然数値比なので集積回路内で比精度を得やすい等、コンパクトな回路で高線形な DA 変換器が実現できる可能性がある。

[逐次比較近似 AD 変換器の重み設計]

多くの逐次比較近似 AD 変換器は 2 進重み付を用いる。しかし信頼性・高速性のために重み (基数) を 2 未満にしてステップ数を増やす冗長逐次比較近似 AD 変換器が研究開発されている。筆者の所属している研究室では約 1.6 進であるフィボナッチ数重み付け逐次比較近似 AD 変換器を研究してきた。ここでは素数重み付け逐次比較近似 AD 変換器の可能性を検討した。2 未満の重み付けを実現する必要があるが、隣り合う素数の比は 2 未満であることが次のベルトラン=チェビシェフの定理で保証されている。

「任意の自然数 n に対して、 $n < p \leq 2n$ を満たす素数 p が存在する」

2 つ隣りどうし、2 つ隣りどうし、 N 個どうしの素数を重みとして使用する可能性を検討した。

第二章 A/D・D/A 変換器

2.1 A/D・D/A 変換器とは

A/D 変換とは、A/D コンバータ、つまり ADC は、通常、アナログ信号をデジタル信号に変換する電子部品である。典型的なアナログ-デジタルコンバータは、入力電圧信号を出力デジタル信号に変換する。デジタル信号自体には実用的な意味がないため、相対的なサイズのみを表す。そのため、A/D コンバータは、変換標準として参照アナログ量を必要とするが、より一般的な参照標準は、変換可能な最大信号サイズである。デジタル出力は、基準信号に対する入力信号の大きさを示す。

したがって、A/D 変換は通常、サンプリング、保持、量子化、エンコードの 4 つのプロセスを経る必要がある。実際の回路では、これらのプロセスの一部が組み合わされており、たとえば、サンプリングとホールド、量子化とコーディングは、変換プロセス中に同時に実装されることがよくある。

A/D 変換器には以下のような種類がある。

- (1) フラッシュ型 (Flash type)
- (2) 逐次比較型 (SAR : Successive Approximation Register Type)
- (3) パイプライン型 (Pipeline Type)
- (4) Δ - Σ 変調型 (Delta-Sigma Modulator Type)

D/A 変換とは、DA コンバータは、デジタル量をアナログ量に変換する回路であり、AD 変換 (Analog Digital Conversion) と逆の操作になります。 デジタル処理された結果を人の五感で認知できるようにするにはこの DA 変換が必要である。

デジタル記録されたスピーカで音にする、画像を可視化するにはこの DA 変換が必要である。主にデータ伝送システム、自動テスト機器、医療情報処理、テレビ信号のデジタル化、画像信号処理と識別、デジタル通信と音声情報処理で使用される。

D/A 変換器には主に以下のような種類がある。

- (1) 抵抗ストリング型 (Resistor String Type)
- (2) R-2R 型 (はしご型 : Ladder Type)
- (3) 電流切り替え型 (Current Switching Type)
- (4) 容量切り替え型 (容量アレイ型 : Capacity Switching Type)
- (5) Δ - Σ 変調型 (Delta-Sigma Modulator Type)

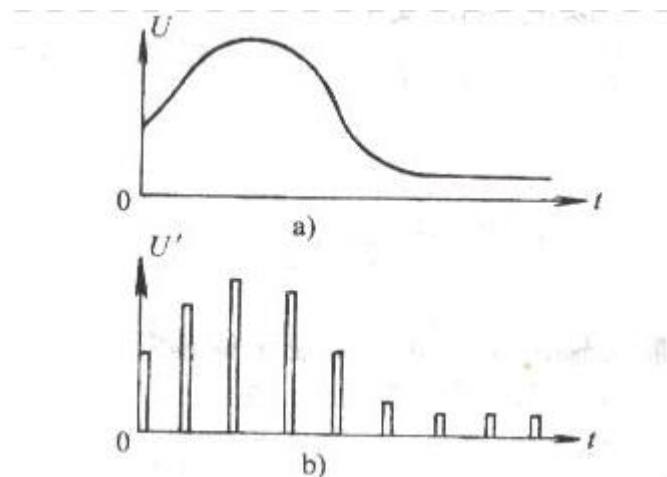


図 2.1 AD 変換

2.1.1 データコンバータの基本用語

(1) 変換速度(サンプリングレート)

アナログ信号をデジタル信号に変換する A/D コンバータにおいて、1 秒間に実行する標本化 (サンプリング) 処理の回数のことである。サンプリング周波数、標本化周波数、サンプリング・レートとも呼ばれる。単位にはサンプル/秒 (sps)、もしくは Hz が使われる。

A/D コンバータには、極めて重要な性能が 2 つある。1 つは分解能。もう 1 つが、このサンプリング・レートである。分解能は電圧軸 (縦軸) 方向の変換の細かさ、サンプリング・レートは時間軸 (横軸) 方向の変換の細かさを表す。従って、それぞれの性能ともに、大きければ大きいほど (高ければ高いほど) 優れていることになる。

(2) 分解能

AD コンバータや DA コンバータなどにおいて、測定対象となる信号 (電圧) をどの程度細かく検出できるかを示す能力のことである。AD コンバータや DA コンバータにとっては、最大サンプリング速度などと並んで重要なパラメータである。変換できる

2進数の桁数, 単位は[bit]が利用される。分解能を N とすると $0 \sim N-1$ の範囲のデジタル値が変換される。

(3) フルスケール(FS : Full Scale)

デジタルシステムにおいて、信号が最大（最小）表現可能値に達したとき、その信号はデジタルフルスケールである。

(4) MSB

一般的には最大桁(Most Significant Bit)を意味する。まれに上位桁(More Significant Bit)を表現することもある。

(5) LSB

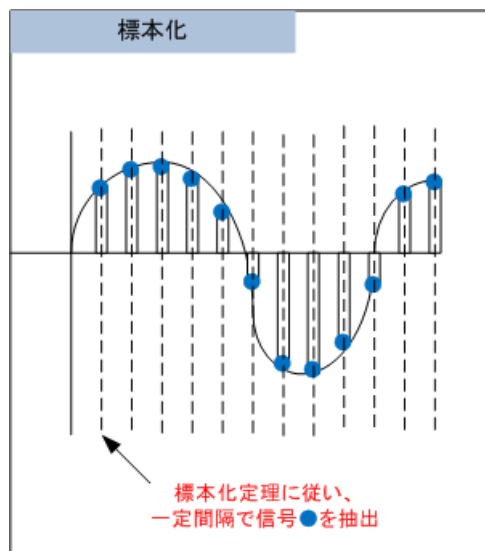
一般に最小桁(Least Significant Bit)を意味する。まれに下位桁(Less Significant Bit)を表現することもある。

2.1.2 AD/DA 変換器の変換動作

アナログ信号は時間について連続であること、デジタル信号は時間において不連続である。したがって AD 変換においては、時間を離散化とするための標本化と、電圧や電流などを離散化する量子化の二つの離散化が必要となる。これに対して DA 変換は AD 変換の逆の処理が必要で、有限の分解能の数値に対応するアナログ値を決ま

った周期で出力する。

標本化：英語でサンプリング(sampling)とは、連続信号を一定の間隔をおいて測定することにより、離散信号として収集することである。アナログ信号をデジタルデータとして扱う（デジタルイズ）場合には、標本化と量子化が必要になる。標本化によって得られたそれぞれの値を標本値という。連続信号に周期 T のインパルス列を掛けることにより、標本値の列を得ることができる。この場合において、周期の逆数 $1/T$ をサンプリング周波数（標本化周波数）といい、一般に f_s で表す。周波数帯域幅が f_s 未満に制限された信号は、 f_s の 2 倍以上の標本化周波数で標本化すれば、それで得られた標本値の列から元の信号が一意に復元ができる。これを標本化定理という。



2.1.2 標本化

量子化：英語で quantization とは、アナログ信号などの連続量を整数などの離散値

で近似的に表現することである。自然界の信号などをコンピュータで処理・保存できるようデジタルデータに置き換える際などによく行われる。

音や光、電気、電波など物理現象に伴う信号は本来連続量であるため、そのままではコンピュータなどの電子回路で取り扱うことができない。そこで、一定の決まった間隔で信号の強度を測定（標本化/サンプリング）し、決まった細かさの段階に当てはめて表していく。

例えば、4段階の値で量子化を行う系では、信号強度の測定値（標本）は 0、1/3、2/3、1 の中から最も近い値が選ばれる。0.1 に近い標本は 0、0.4 に近い標本は 1/3 といった具合である。この段階の数が多いほど元の信号をより高い精度で忠実に表現することができるが、量子化後のデータ量はその分だけ増大する。

この細かさをビット数で表したものを「量子化ビット数」と呼び、これが 1 ビットであれば 2 段階（2¹）、8 ビットならば 256 段階（2⁸）、16 ビットならば 65,536 段階（2¹⁶）の細かさで強度を表現できる。

2.2AD 変換器

本節では基本的な方式の AD 変換器について簡単に説明する。

2.2.1 フラッシュ型（Flash type）

フラッシュ ADC は、入力電圧と連続する基準電圧を比較するために、ラダーの各

「ラング (rung)」に比較器を取り付けた線形電圧ラダーを用いるアナログ-デジタル変換回路の一種である。多くの場合、これらの基準ラダーは多くの抵抗から構成される。しかし近年、容量性の電圧分割で実装することも可能であることが示されている。一般的にこれらの比較器の出力はデジタルエンコーダに入力され、デジタルエンコーダは入力をバイナリ値に変換する（比較器から集めた出力は一進法の値であると考えられる）。

フラッシュ変換器は、他の多くのタイプの ADC と比べ非常に高速である。普通の ADC は一連の段階で「正しい」答えが絞り込んでゆくが、フラッシュ変換器は非常に簡単で、アナログ比較器以外ではバイナリへの最終変換のロジックのみが必要である。

最良の精度を得るために、ADC の入力の前にトラック・ホールド回路が挿入されることがよくある。これは多くの ADC（逐次比較型 ADC など）に必要なが、フラッシュ ADC の場合比較器はサンプリングのデバイスであるため、原理的には必要がない。

フラッシュ変換器は特に精度が上がるにつれて、他の ADC と比較して膨大な数の比較器が必要になる。フラッシュ変換器は n ビットの変換に $(2^n) - 1$ 個の比較器を必要とする。大きさ、消費電力、コストを考えると 8 ビット（255 個の比較器）をはるかに超える精度ではフラッシュ変換器は一般的に実用に耐えうるものではない。これらの比較器

の代わりに、他の ADC のほとんどはより複雑なロジックやアナログ回路に置き換えることで、精度を上げ、より簡単にスケールリングすることができる。

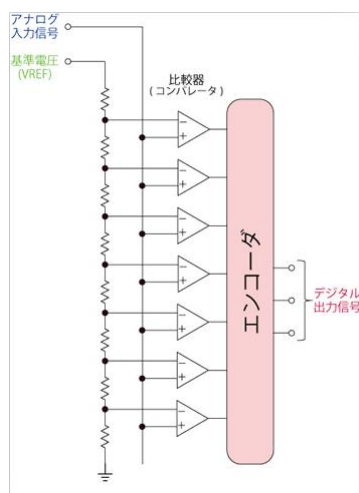


図 2.2.1 フラッシュ型

2.2.2 逐次比較型 (SAR : Successive Approximation Register Type)

逐次比較型 AD は、比較器と DA 変換器、ロジック回路で構成される。回路規模は中程度である。比較器の一方にアナログ入力電圧を入植し、比較を MSB から開始し、各ビットに順次電圧とビルトイン DA 変換器出力電圧を比較器の他方の入力に与える。n 回の比較の後、デジタル値として出力する。そその利点は高速、低消費電力、低解像度 (<12 ビット) で低価格、高精度 (> 12 桁)、低コストである。

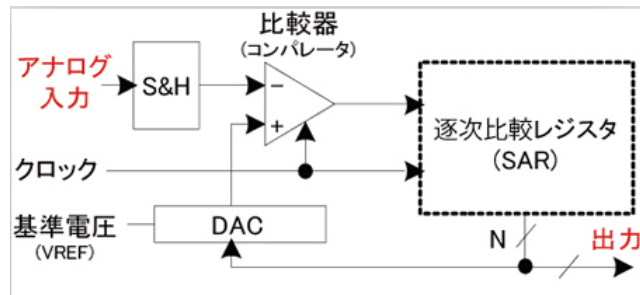


図 2.2.2 逐次比較型 AD 変換器

2.2.3 パイプライン型 (Pipeline Type)

各桁の判定用に 1 ビット～1.5 ビットといった低分解能の A-D 変換回路を多段用意してパイプライン動作で行うことで、1 クロックで複数の処理を進める。パイプラインの各ステージには、D-A 変換器とサブ ADC (比較器) が集積されている (図 2.2.3)。

パイプライン型 A-D 変換器では、各段で入力レベルの位置を判定する。「1」の場合はその分だけ入力レベルを差し引いた後で増幅 (1 ビットの場合は 2 倍) し、次段で次のケタの値を判定する。このため常に演算増幅が必要になる。この演算増幅の精度が悪いと、後段の A-D 変換の精度が悪化するため、オペアンプと負帰還回路を用いて精度を高めている。例えばトラック・ホールド回路と第 1 ステージの D-A 変換器で構成される初段は、10 ビット分解能であれば出力電圧の誤差の許容値が $1/2^{10}$ 以下と非常に厳しい値が求められる。

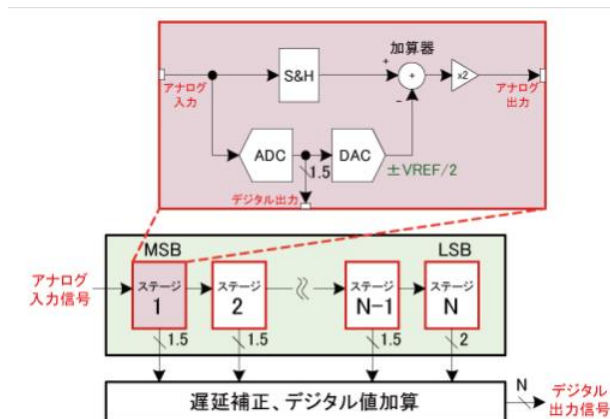


図 2.2.3 パイプライン型 (Pipeline Type)

2.2.4 Δ-Σ 変調型 (Delta-Sigma Modulator Type)

Δ-Σ 変調型は、積分器、比較器、1 ビット DA コンバータ、およびデジタルフィルターで構成されている。原理的には積分型に似ており、入力電圧を時間（パルス密度）信号に変換し、デジタルフィルターで処理してデジタル値を取得する。回路のデジタル部分は集積化が容易であるため、高解像度を達成するのは比較的容易である。主にオーディオと測定に使用される。

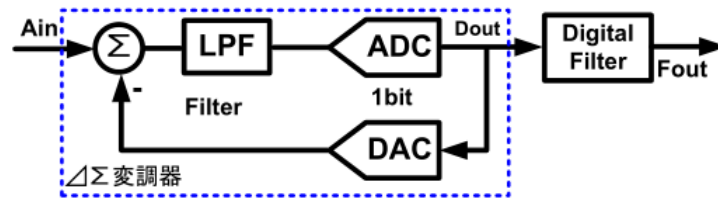


図 2.2.4 Δ-Σ 変調型

2.2.5 各 AD 変換器の特徴

	サンプリングレート (Hz)	分解能 (bit)	特徴	用途
フラッシュ形	10G~10M	12~6	高速・大規模	高速測定器
パイプライン形	200M~10M	14~8		映像、通信
逐次比較形	1M~10k	16~8	低消費電力	マイコン
Δ-Σ変調型	10M~100	24~12	高分解能	音声処理、計測、通信

2.2.5 各 AD 変換器の特徴

第三章 逐次比較型 AD 変換器と設計

3.1 概要

本論文で高性能化を狙うのは逐次比較型 AD 変換器である。本章では逐次比較型 AD 変換器とその性能向上のための冗長設計について、利用、構成、動作、原理、構成要素、式を用いた一般化などの基本事項を説明する。

3.2 逐次比較型 AD 変換器について

逐次比較近似型 AD 変換器は、8~18 桁の割合の AD 変換器である。逐次型 AD 変換器は、通常、アプリケーションの高分解能、中速、低消費電力、および小チップ面積（高集積度）の特徴を備えている。

これは、電力消費が少なく、コア面が小さい AD 変換器である。また、コンピュータ制御、産業制御、およびハンドヘルドなどにも使用される。複雑な回路構成を使用しないため、微細 CMOS での実現に適している。したがって、逐次型 AD 変換器の設計技術が発展したと考えることができる。逐次型 AD 変換器は、サンプルレートを可能な限り下げることができる。この機能は、他の ADC にはない機能であり、複数のレートを備えていまる。逐次型 AD 変換器では、変換中に信号が送信されます。信号の完全性を維持するために、複数の入力チャンネルを複数のリプリケーターと組み合わせて処理す

る。1つの逐次近似 AD 変換器を使用して、可能性のあるシステムを構築できる。微分非直線性の差分が存在し、代替の損失などを引き起こす。ただし、現在、いくつかの製品では、サンプリングテクニックを使用して、24 桁になっている。AD 変換器の切り替え速度を高める技術の1つとして、複数の AD 変換器を使用することができる。このような状況では、クロス構成（クロス AD 変換器）を使用する。逐次比較型 AD 変換器を使用する。SAR ADC はいずれかのシステムを選択した場合、電力消費と分割率に関して言えば、それは有利なシステムである。

3.2.1 逐次比較型 AD 変換器の構成

逐次比較型 AD 変換器の基本構成をもう一度、図 3.2.1 に示す。逐次比較型 AD 変換器はサンプル・ホールド回路、比較器、逐次比較レジスタ、DA 変換器、クロックから構成される。

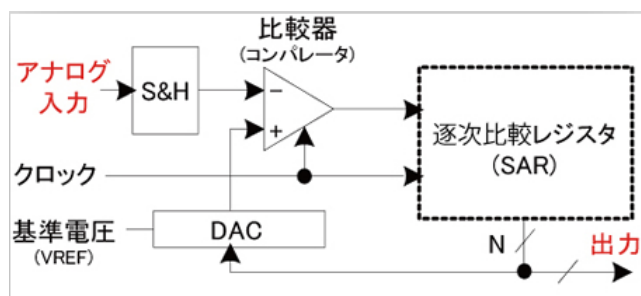


図 3.2.1 逐次比較近似 AD 変換器の構成

以下に各回路ブロックの基本的な説明を記述する。

逐次比較レジスタ

一般的に D フリップフロップと AND 素子で構成される。比較器を動作させる信号や比較電圧 V_{ref} の大きさ(DA 変換器入力値)の決定などの制御に用いられる。

DA 変換器

参考電圧 V_{ref} を出力する回路である。一般的には二進重みの容量型 DA 変換器を利用することが多い。

S/H 回路

入力アナログ電圧 V_{in} を取得し保持する回路である。最も基本的な構成は容量に電荷をためるものであるが、容量型 DA 変換器の機能に含まれることが多い。

比較器

入力アナログ電圧 V_{in} と参考電圧 V_{ref} を比較する回路。

内部クロック

逐次比較型 AD 変換器の比較判定や制御のタイミングを取る。

3.2.2 逐次比較型 AD 変換器の動作

逐次比較は、秤での計量に非常に似ている。秤の重量は、最も重さから試用分銅を開始し、それを被計量物と比較する。重量が重量よりも大きい場合、重量は保持され、そうでない場合は取り除かれる。2 番目の 2 番目の重みに加えて、2 番目の重みを残すか削除するかは、オブジェクトの重みが重みの重みより大きいかどうかによって決まる。

これと同じように、最小重量まで追加する。残りのすべてのウェイトのウェイトを追加して、オブジェクトのウェイトを取得する。この考え方に従って、逐次比較型 A/D コンバータは、入力アナログ信号を異なる基準電圧と複数回比較し、変換によって得られたデジタル値が入力アナログ値の対応する値に連続的に近づくように動作する (図 3.2.2.)。

			分銅a	4	2	1	目標物 x = 0~8
			$4 \leq x < 8$				
	$4+2 \leq x < 8$					$4 \leq x < 4+2$	
	$4+2+1 \leq x < 8$	$4+2 \leq x < 4+2+1$				$4+2 \leq x+1 < 4+2+1$	$4+1 \leq x+1 < 4+2$
	$7 \leq x < 8$	$6 \leq x < 7$				$5 \leq x < 6$	$4 \leq x < 5$
結果	7	6				5	4
			$0 \leq x < 4$				
	$0+2 \leq x+2 < 4$					$4 \leq x+2 < 4+2$	
	$3 \leq x+2+1 < 4$	$4 \leq x+2+1 < 4+1$				$4 \leq x+2 < 4+1$	$4+1 \leq x+2 < 4+2$
	$0 \leq x < 1$	$1 \leq x < 2$				$2 \leq x < 3$	$3 \leq x < 4$
結果	0	1				2	3

図 3.2.2 天秤とのアナロジーでの逐次比較近似 AD 変換器の動作原理

3.2.3 容量型 AD 変換器

本論文は電荷再分配に基づいた逐次比較を行う。本論では SAR(逐次比較レジスタ)-ADC(アナログ-デジタル・コンバータ)の動作を説明し、モデルとなる電荷再分配

式 SAR-ADC を簡潔に説明する (図 3.2.3)。

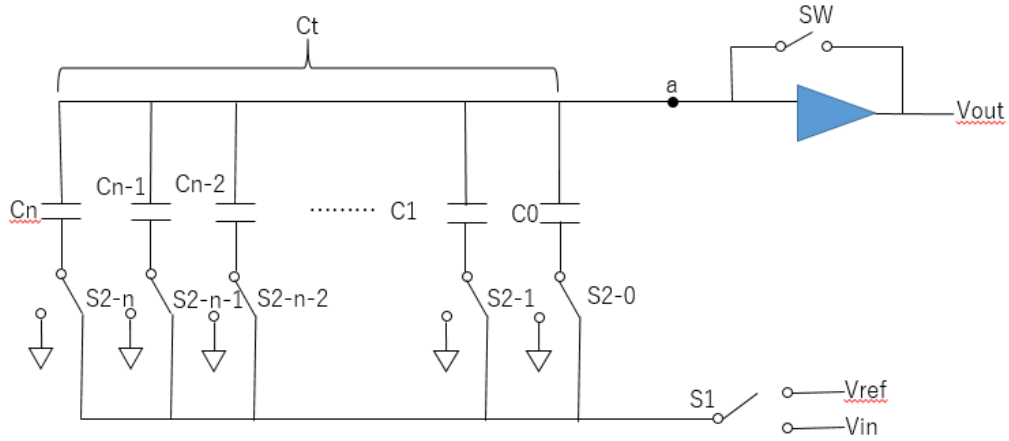


図 3.2.3 電荷再配分型逐次比較近似 AD 変換器

動作：

(1) 充電: $S1 \rightarrow Vin$ $SW \rightarrow on$ $C0 \sim Cn \rightarrow Vin$ $Qin = (C0 + C1 + C2 + \dots + Cn) * (Va - Vin)$

を計算する

(2) 再分配: $SW \rightarrow off$ $S1 \rightarrow Vref$ $Cn \rightarrow Vref$ $C0 \sim Cn-1 \rightarrow GND$

$$Q = Cn * (Vx - Vref) + Cn-1 * (Vx - 0) + Cn-2 * (Vx - 0) + \dots + C0 * (Vx - 0)$$

$$= (C0 + C1 + C2 + \dots + Cn) * Vx - Cn * Vref$$

電荷保存で $Q = Qin$ $\Delta V = Vx - Va$

$$\Delta V = (Cn * Vref) / (C0 + C1 + C2 + \dots + Cn) - Vin$$

(3) 比較：

$\Delta V > 0 \rightarrow$ 出力 0 $\rightarrow C$ は GND に接続する (図 3.2.3a)

$\Delta V < 0 \rightarrow$ 出力 1 $\rightarrow C$ は Vref のままにする (図 3.2.3b)。

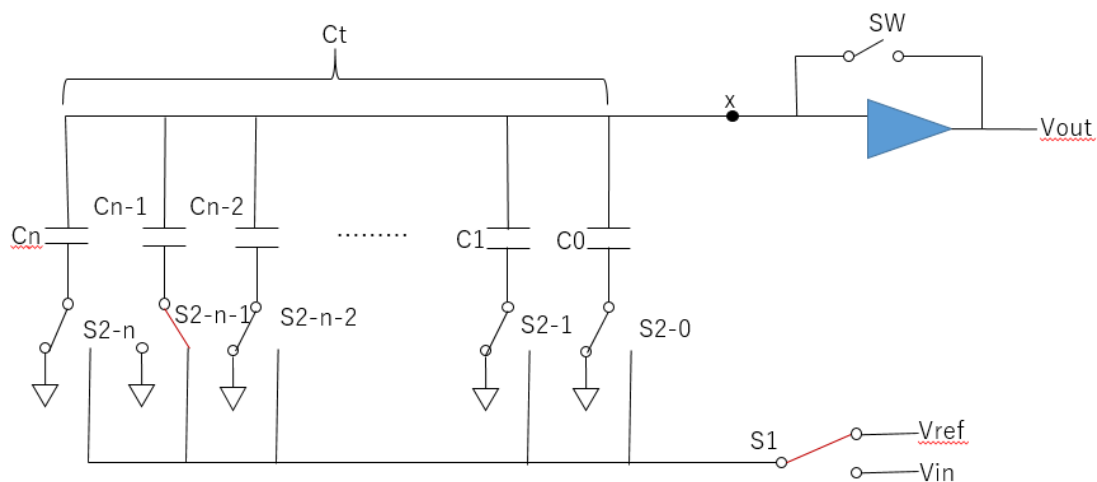


図 3.2.3a 逐次比較近似 AD 変換器の動作 1

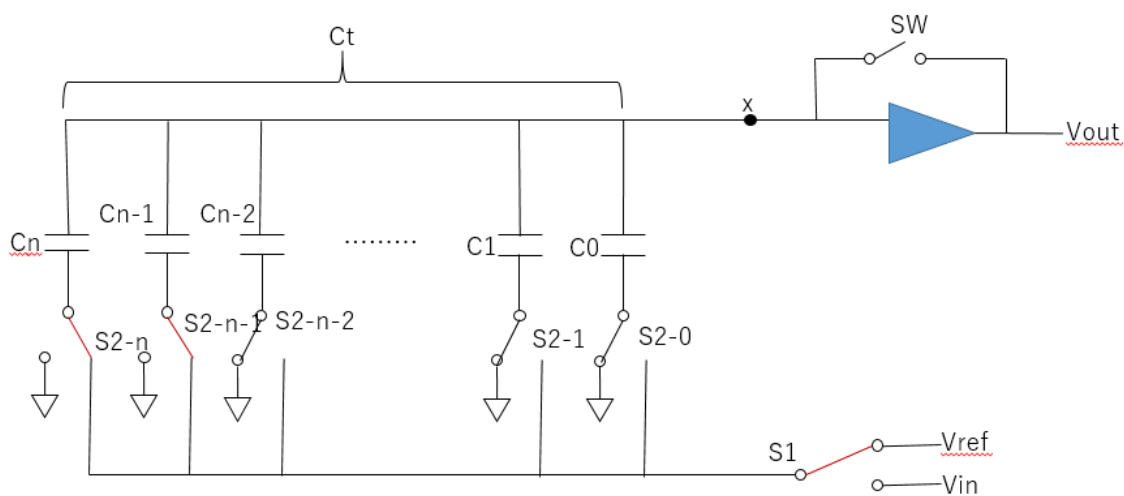


図 3.2.3b 逐次比較近似 AD 変換器の動作 2

$$\Delta V = \left[D_n \cdot \frac{C_n}{C_t} + D_{n-1} \cdot \frac{C_{n-1}}{C_t} + D_{n-2} \cdot \frac{C_{n-2}}{C_t} + \dots + D_0 \cdot \frac{C_0}{C_t} \right] \cdot V_{ref} - V_{in}$$

精度が高い ADC を目指すなら、 ΔV ができるだけ小さいほうが良い。

$$V_{in} \approx [D_n \cdot C_n / C_t + D_{n-1} \cdot C_{n-1} / C_t + D_{n-2} \cdot C_{n-2} / C_t + \dots + D_0 \cdot C_0 / C_t] \cdot V_{ref}$$

3.2.4 R-2R ラダーDAC

図 3.2.4 ようなリファレンス電圧を R-2R の抵抗で分圧していき、その電流をそれぞれのデジタル bit に応じて重みつきで出力する回路は「R-2R ラダー型 D/A 変換回路」と呼ばれる。

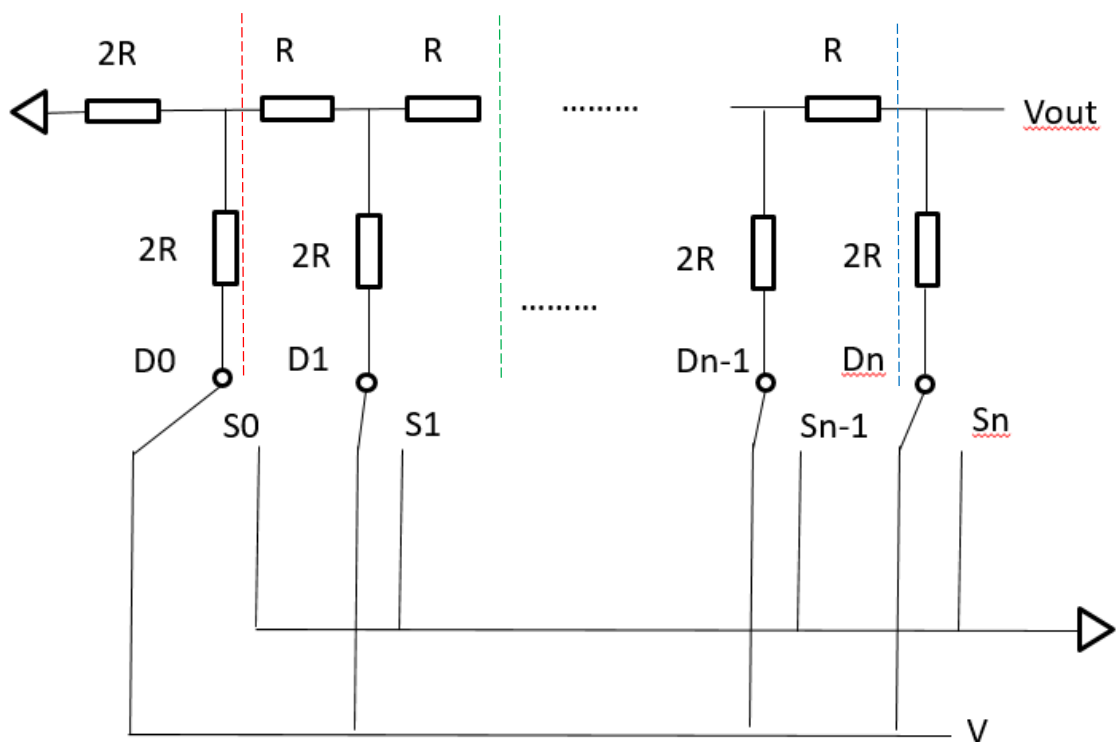


図 3.2.4 R-2R 抵抗ラダーDA 変換器の構成

赤から左を見た場合の合成抵抗は 2R と 2R の並列なので R となる。緑から左を見ると、2R と、R と先ほど合成した R の直列が並列になっているので結局は 2R と 2R の並列なので R となる。同様に青左見た場合の合成抵抗は R となる。全回

路の合成抵抗は R となる。

長所として、分解能 10bit 程度まで DAC が小面積で作りやすく（必要な抵抗は、 N bit の DAC で $3N$ 本であり、スイッチも大きくなってよく、デコーダも不要）、他の方式と組み合わせると、14bit 程度までなら実現可能となる。

短所として、抵抗に要求される比精度が高いため、高精度を実現するにはスイッチの工夫や、レイアウト上の工夫が必要である。

第四章 整数論

4.1 概要

優れた AD 変換器設計の可能性はあるが、重要なパラメータである比較電圧重みを決定する有効な手法が存在しないため、十分な効果を発揮することが難しいことを示した。本論文では整数を用いて比較電圧重みを定める方法を探すために、整数論を利用することを提案する。特に今回は整数論の中でも有名な“素数”と“ N 角数”を用いた設計方法を提案する。本章では逐次比較近似型 AD 変換器と組み合わせる整数論について紹介する。

4.2 素数

素数とは、自明な正の因数（1 と自分自身）以外に因数を持たない自然数であり、

1でない数のことである。つまり、正の因数の個数が2つである自然数である。

4.2.1 ゴールドバッハ予想

ゴールドバッハの予想 (Goldbach's conjecture) とは、全ての よりも大きな偶数は2つの素数の和として表すことができる予想には、ほとんど同値ないくつかの述べ方があり、次のように述べることが多い。4以上の全ての偶数は、二つの素数の和で表すことができる。6以上の全ての偶数は、二つの奇素数の和で表すことができる。(4=2+2:偶素数同士の和)

4.2.2 ウラムの螺旋

ウラムの螺旋、もしくは素数螺旋は、素数の分布をある簡単なルールに従って2次元平面に並べ、可視化したものである。これにより、いくつかの二次多項式が非常に多くの素数を生成する傾向にあることが容易に示される。

100	99	98	97	96	95	94	93	92	91
65	64	63	62	61	60	59	58	57	90
66	37	36	35	34	33	32	31	56	89
37	38	17	16	15	14	13	30	55	88
68	39	18	5	4	3	12	29	51	87
69	40	19	6	1	2	11	28	53	86
70	41	20	7	8	9	10	27	52	85
71	42	21	22	23	24	25	26	54	84
72	43	44	45	46	47	48	49	50	83
73	74	75	76	77	78	79	80	81	82

図 4.2.2 ラウム螺旋の説明

4.2.3 ベルトランの仮説

「任意の自然数 n に対して、 $n < p \leq 2n$ を満たす素数 p が存在する」という命題である。ベルトランはこの命題を $n \leq \times 10$ の場合に検証し、一般の場合についての予想として提出した。この命題は実際には 1850 年にチェビシェフによって証明されており、現在ではベルトラン=チェビシェフの定理、数論におけるチェビシェフの定理とも呼ばれている。Excel で簡単に計算できます。図 4.2.3 (a)

n	an (素数)	Yn= (an+1) /an	20	71	1.028169014
0	1	2	21	73	1.082191781
1	2	1.5	22	79	1.050632911
2	3	1.666666667	23	83	1.072289157
3	5	1.4	24	89	1.08988764
4	7	1.571428571	25	97	1.041237113
5	11	1.181818182	26	101	1.01980198
6	13	1.307692308	27	103	1.038834951
7	17	1.117647059	28	107	1.018691589
8	19	1.210526316	29	109	1.036697248
9	23	1.260869565	30	113	1.123893805
10	29	1.068965517	31	127	1.031496063
11	31	1.193548387	32	131	1.045801527
12	37	1.108108108	33	137	1.01459854
13	41	1.048780488	34	139	1.071942446
14	43	1.093023256	35	149	1.013422819
15	47	1.127659574	36	151	1.039735099
16	53	1.113207547	37	157	1.038216561
17	59	1.033898305	38	163	1.024539877
18	61	1.098360656	39	167	1.035928144
19	67	1.059701493	40	173	1.034682081

図 4.2.3 (a) Excel で計算する

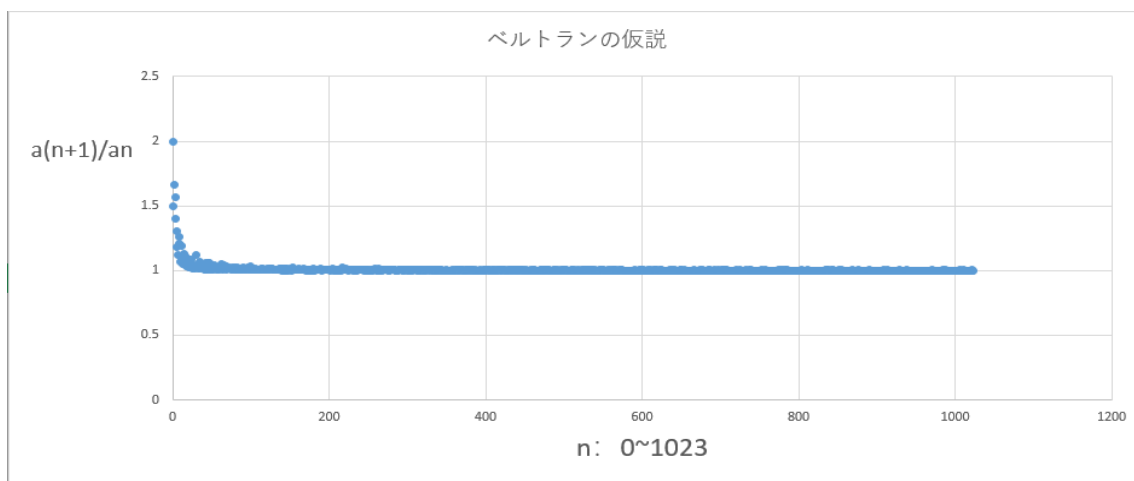


図 4.2.3 (b) ベルトランの仮説 (a_n は n 番目の素数を表す)

4.2.4 素数の分布

数値観測、計算、予備調査により、素数分布はリーマン式を中心とし、ガウス式は上限の正規分布であることがわかる。しかし、これは現在経験式であり、数学者が厳密な証明を与えた後の数学的定理になる。

定義 $\pi(x)$ は素数関数、つまり x 以下の素数の数である。たとえば、10 以下の 4 つの素数があり、それぞれ 2、3、5、および 7 であるため、 $\pi(10) = 4$ である。

$$\lim_{x \rightarrow \infty} \frac{\pi(x)}{\frac{x}{\ln(x)}} = 1.$$

x 以下の値に素数が含まれる割合を図 4.2.2 に示す。

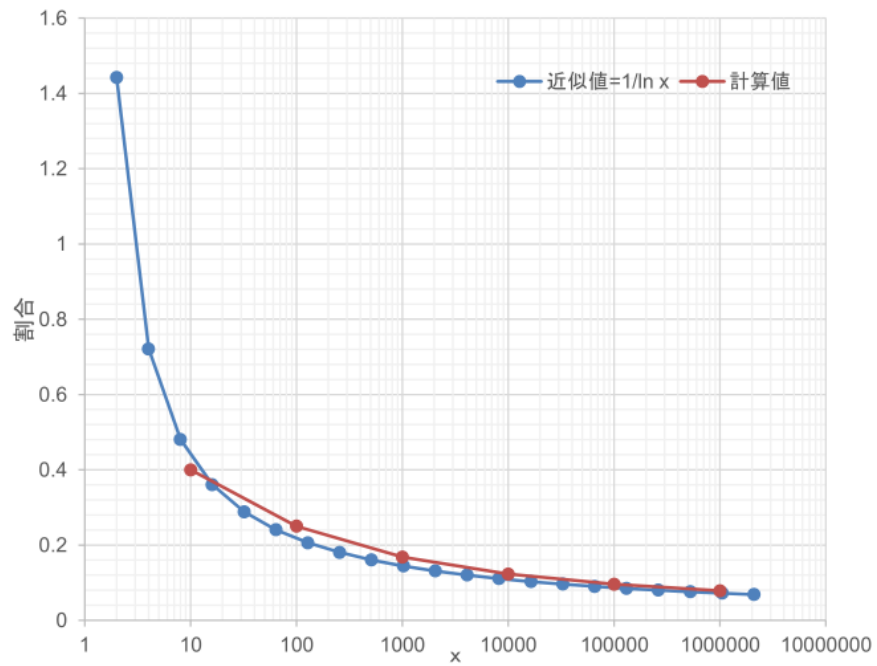


図 4.2.2 x 以下の値に素数が含まれる割合

4.3 N角数

N角数、あるいは多角数とは正多角形の形に点を並べたときにそこに含まれる点の総数にあたる自然数である。

三角数 : 1, 3, 6, 10, 15, 21, 28, 36。。。。。。 図 4.3.1

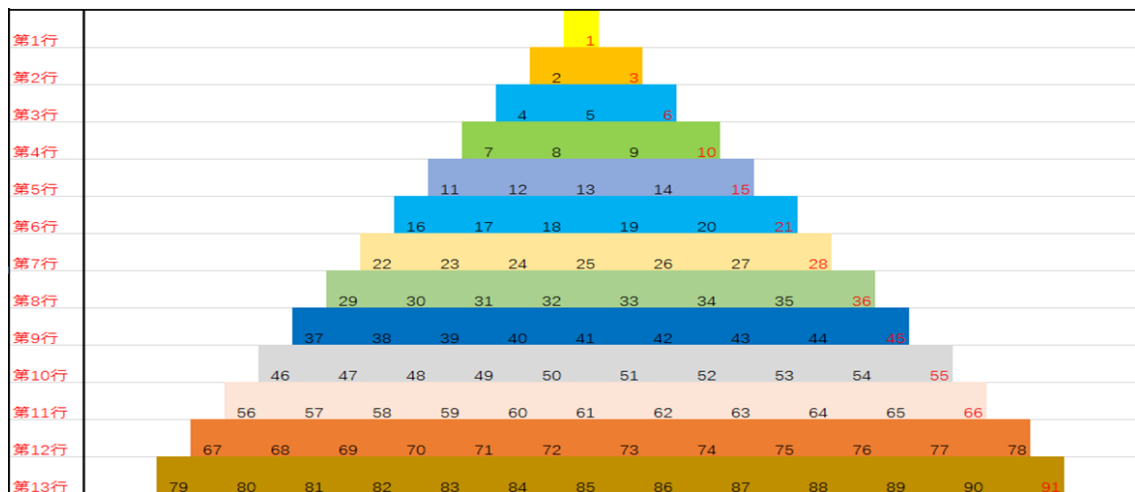


図 4.3.1 三角数

性質：

三角数の逆数和は 2 に収束する

あらゆる自然数は高々3つの三角数の和で表すことができる。例えば $20=10+10$ 、 $21=21$ 、

$22=21+1$ 、 $23=21+1+1$ 、 $24=21+3$ 、 $25=21+3+1$

三角数は 3 で割り切れるか、もしくは 9 で割ると 1 余る数のどちらかである。

回文数である三角数は 55, 66, 666 だけであると考えられている。

偶数の完全数は三角数でもある。

特殊の三角数：55、5050、500500、50005000……

四角数：1, 4, 9, 16, 25, 36, 49, 64, ……

性質：

全ての自然数は、高々4個の平方数の和で表される。例えば $20=16+4$ 、 $21=16+4+1$ 、

$22=16+4+1+1$ 、 $23=9+9+4+1$ 、 $24=16+4+4$ 、 $25=25$

四角数は平方数である

平方数の列の隣接二項間についての漸化式を考えると、1から連続する正の奇数の総和

は平方数に等しい図 4.3.2 :

$$\sum_{k=1}^n (2k - 1) = n^2$$

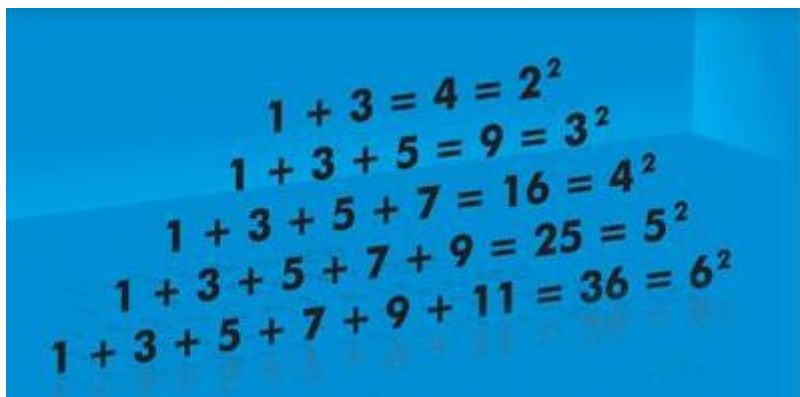


図 4.3.2 四角数は1から連続する正の奇数の総和

五角数 : 1, 5, 12, 22, 35, 51, 70, 92..... 図 4.3.3

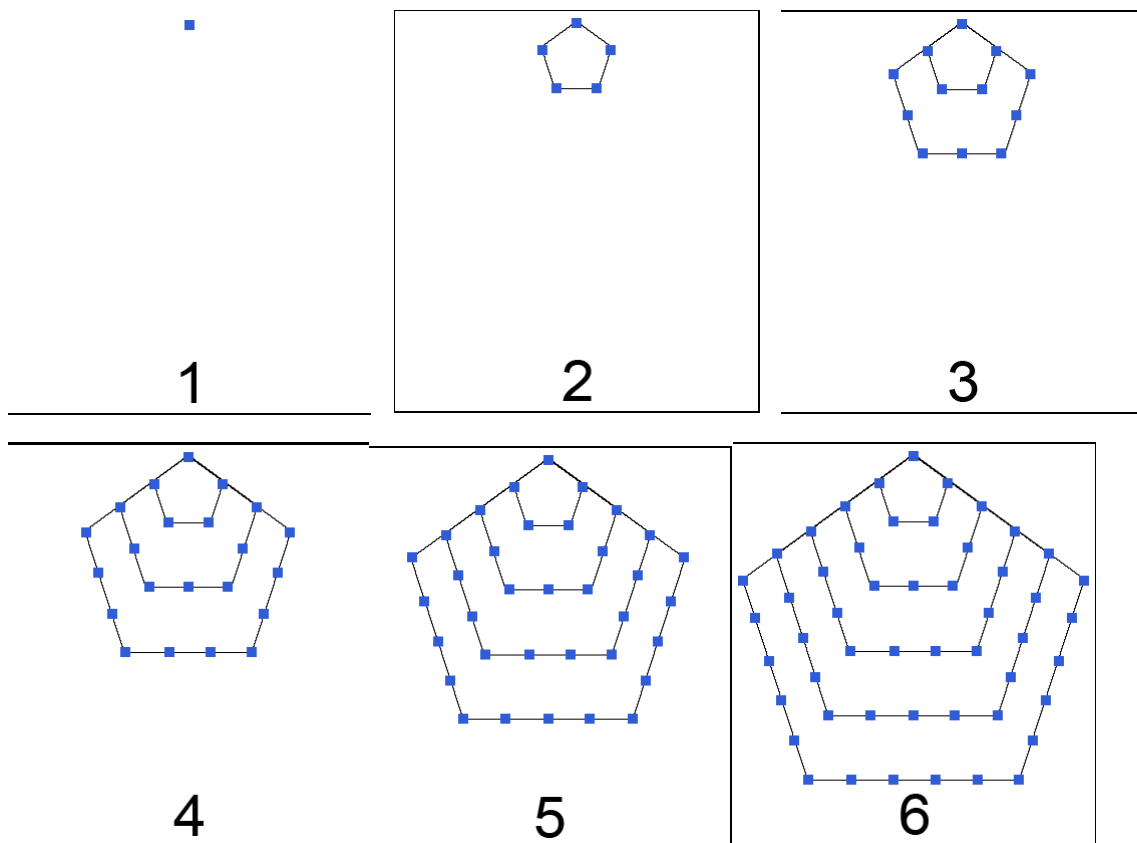


図 4.3.3 五角数

性質：

n 番目の五角数は n からの n 連続整数和で表せる。例. $P_2 = 2+3$ 、 $P_3 = 3+4+5$

五角数は奇数-奇数-偶数-偶数といった順番の繰り返りで現れる。

また 1 と 5 以外の五角数は全て合成数である。

五角数はオイラーの五角数定理に現れる数である。

全ての自然数は高々5つの五角数の和で表すことができる。例えば $20=12+5+1+1+1$ 、

$21=5+5+5+5+1$ 、 $22=12+5+5$ 、 $23=22+1$ 、 $24=22+1+1$ 、 $25=22+1+1+1$ 。

六角数 : 1, 6, 15, 28, 45, 66, 91, 120, ... 図 4.3.4

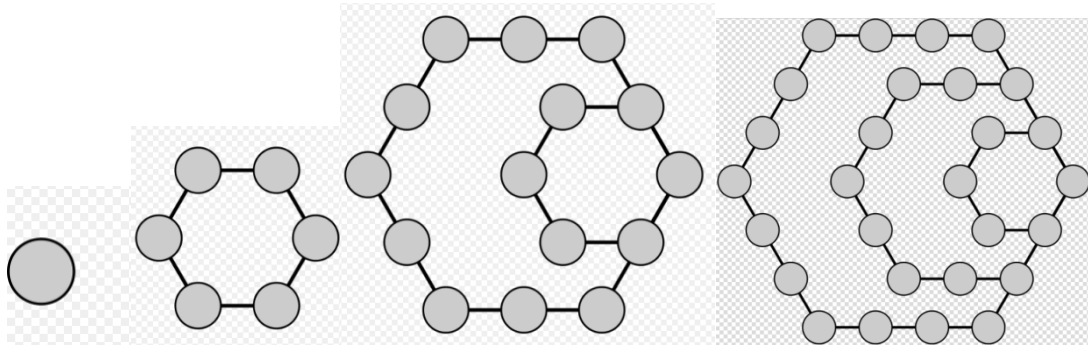


図 4.3.4 六角数

性質 :

n 番目の六角数は $2n - 1$ 番目 (すなわち奇数番目) の三角数に等しい。

ゆえに全ての六角数は三角数でもある。

六角数は 1 から順に奇数と偶数が交互に現れる。また 1 以外の六角数は全て合成数である。

全ての自然数は高々 6 つの六角数の和で表すことができる。例えば $20 = 6 + 6 + 6 + 1 + 1$ 、

$21 = 6 + 6 + 6 + 1 + 1 + 1$ 、 $22 = 15 + 6 + 1$ 、 $23 = 15 + 6 + 1 + 1$ 、 $24 = 15 + 6 + 1 + 1 + 1$ 、 $25 = 15 + 6 + 1 + 1 + 1 + 1$

N 角数 :

N 番目の S 角数は図 4.3.5

$$\frac{n[(s-2)n - (s-4)]}{2}$$

図 4.3.5 N 番目の S 角数

性質：

任意の自然数は、高々 s 個の s 角数の和で表せる。これを多角数定理という。

1 番目の多角数は 1、 s 番目の s 角数は s である。したがって、以外の自然数はなんらかの多角数である。

s 番目以降の多角数は、合成数である。 s 番目の s 角数は、 s が偶数で s が奇数のときに限り、 s の倍数でない。

s 番目の s 角数と $s+1$ 番目の s 角数の差は、 $(s-2)(s+1)$ である。

s 番目の s 角数と s 番目の $s+1$ 角数の差は、 s によらず s だけで決まり、 $s-1$ 番目の三角数に等しい。

一般にすべての自然数は高々 s 個の s 角数の和である」の数論の定理は 1813 年に

コーシーによって証明された。

第五章 整数論を用いた AD 変換器設計

5.1 素数重みを用いた容量型 AD 変換器

容量型 AD 変換器、また電荷再配分による逐次比較形 A/D 変換器、従来まで、使用

したキャパシタの値は 2 進加重キャパシタアレイである (図 5.1)。

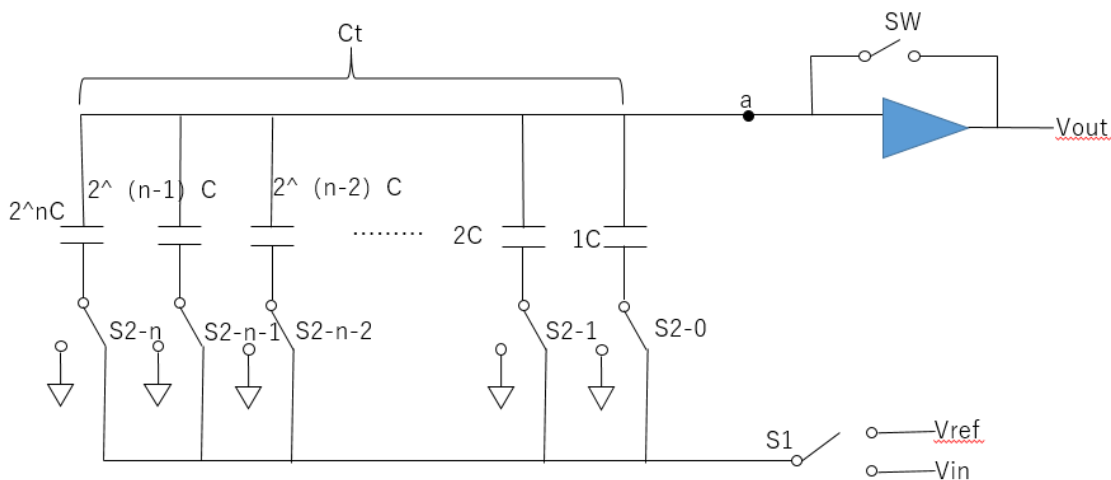


図 5.1 2ⁿ進加重容量型 AD 変換器

5.1.1 動作

逐次比較型 A/D コンバータは、中程度の速度範囲で幅広い用途を持ち、マイクロコンピュータとデジタル信号プロセッサ（DSP）、1kHz～10kHz のオーディオ信号処理システム、およびデジタルオーディオの普及により、ビデオシステムアプリケーションが開かれ、低コストの MOS 集積回路を使用した高性能 A/D コンバータの需要が急速に拡大している。

逐次比較型 A/D コンバータは、入力電圧に対して 1 つずつ基準電圧を生成し、入力電圧を比較し、最終的に入力電圧に最も近い基準電圧のデジタル値を取得して、アナログ入力電圧に応答する。これはデジタル値を出力するコンバータである。したがって、高精度の変換を得るには、基準電圧を高精度に生成する方法が主な問題である。通常、基準電圧は受動回路要素を使用して生成されるため、回路要素の精度は特に重要

である。

集積回路では、加工精度と製造プロセスの変化により、回路要素の絶対値を正確に達成できるだけでなく、相対値も正確に達成できない。従来、集積回路では、逐次比較型 A/D コンバータの精度は 10 ビットに制限されていたが、12 ビット以上の高精度は、ハイブリッド集積回路および薄膜抵抗トリミングなどの特別な処理技術に依存する。しかし、複雑な製造プロセスと高コストのため、モノリシック集積回路を使用した低コストで高精度の A/D コンバータの開発が強く求められている。

MOS 集積回路を用いた代表的な逐次比較型 A/D コンバータは、電荷再配分型または電荷平衡型と呼ばれる変換方式である。この方法では、2 進重みを有するコンデンサアレイに蓄積された電荷が再分配される間に基準電圧が生成され、入力電圧と連続的に比較され、デジタル変換値を得るために最も近い基準電圧が追跡される。コンデンサアレイの重量がほぼ理想的な場合、各コンデンサの静電容量 C_m は各理想静電容量 C_m に等しくなり、総静電容量 C_T に対する θ は次の式で定義される。

$$C_t = (C_0 + C_1 + C_2 + \dots + C_n)$$

(1) V_{in} 印加: $Q_{in} = C_t * (V_a - V_{in})$. SW=ON により $V_x = V_a$.

(2) V_{ref} 印加: $Q = C_n * (V_x - V_{ref}) + C_{n-1} * (V_x - 0) + C_{n-2} * (V_x - 0) \dots + C_0 * (V_x - 0)$

$$= (C_0 + C_1 + C_2 + \dots + C_n) * V_x - C_n * V_{ref}$$

C_n の下端に V_{ref}、他は GND (0V)に接続

$$\text{このとき } \Delta V_x = V_x - V_a = - (V_{in} - V_{ref} * C_n / C_t) \approx -V_{in} + (1/2)V_{ref}$$

電圧比較器は ΔV_x の正負を検出し、 ΔV_x が正ならば低レベル"0"を、 ΔV_x が負ならば高レベル"1"を出力する。入力電圧 V_{in} が $(C_n/CT)VR$ 、即ち $(1/2)VR$ より大なら"1"を、小なら"0"を出力するので、電圧比較器の出力レベルが入力電圧 V_{in} のデジタル変換値の最上位ビット(MSB)、 D_n を与えることになる。この結果、 D_n が"1"ならばキャパシタ C_n の下端電圧は VR のままとし、 D_n が"0"ならば C_n の下端は $0V$ に接続して次のビットの変換に移る。

第2ビット D_{n-1} の変換はキャパシタ C_{n-1} の下端を VR に接続し、他のキャパシタの下端はそのままとし再び ΔV_x の正負を電圧比較器で判定する。この結果、 D_{n-1} が決定し、 D_{n-1} が"1"ならば C_{n-1} の下端を VR に、"0"ならば C_{n-1} の下端を $0V$ に接続して第3ビット D_{n-2} の変換に移る。

以下、同様に各ビットの変換を続けていき、最後に最下位ビット(LSB)、 D_1 の変換を行なって再分配サイクルを終了する。 D_n, D_{n-1}, \dots, D_1 は逐次レジスタ(SAR)に格納され、 M ビットのデジタル変換値が最後に得られる。

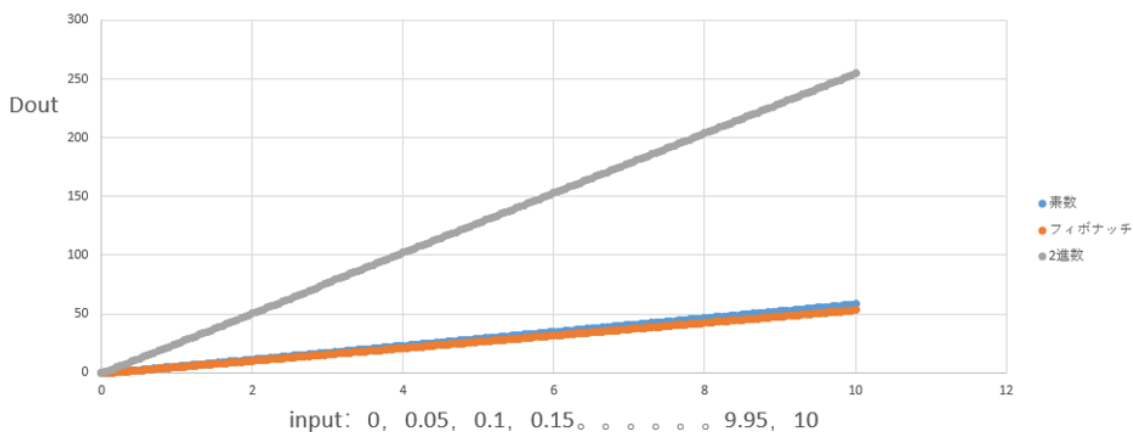
5.1.2 素数、フィボナッチ数、2進数の導入

今度素数、フィボナッチ数（約 1.61 進数）、2 進数を導入して、容量型 AD 変換器

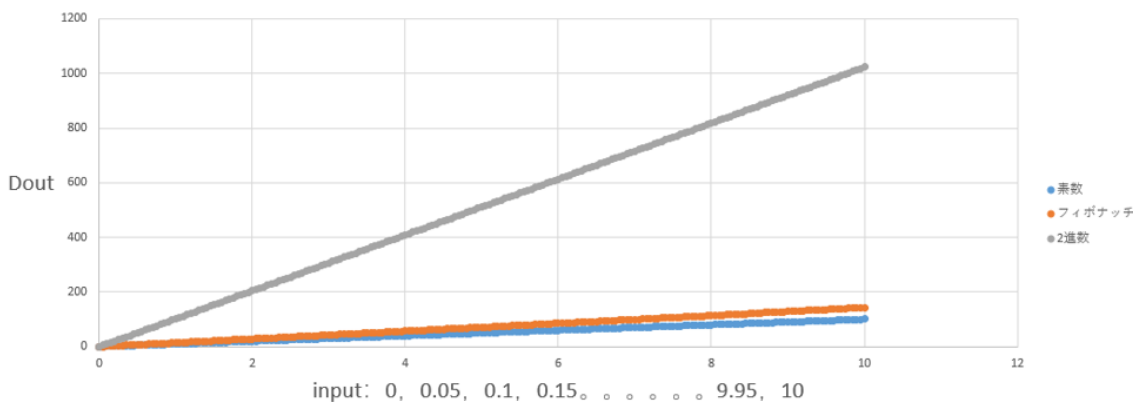
(8bit 10bit 12bit) の結果を検討する。

従来の研究は、横軸が同じく input で、縦軸がデジタル結果 (2 進数) の 10 進数

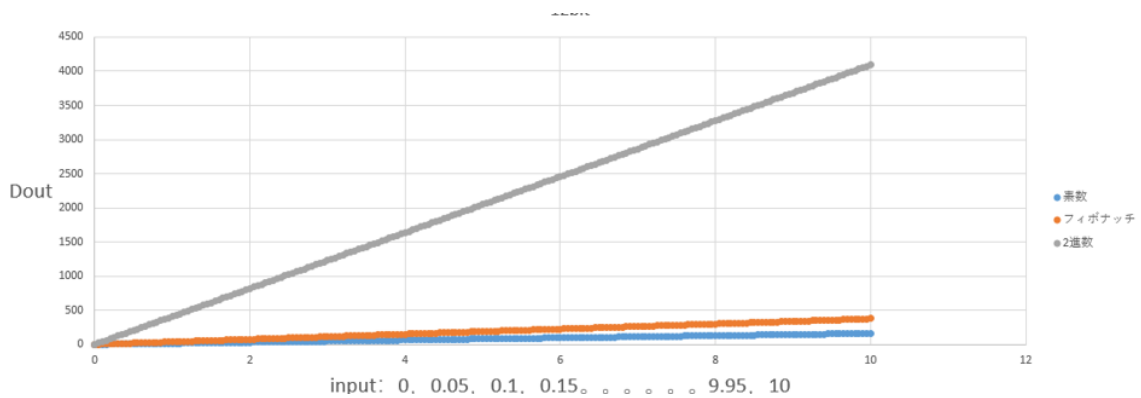
結果である。今度縦軸を修正して、もう一回グラフを作成した。図 5.1.2 (a) (b) (c)



(a) 8bit 容量型 AD 変換器結果



(b) 10bit 容量型 AD 変換器結果



(c) 12bit 容量型 AD 変換器結果

この場合、Dout は図 5.1.3 である。

Dout: 例 C → 11 7 5 3 2 1 → Dout=11+5+2=18
 2進数結果 → 1 0 1 0 1 0

図 5.1.3 Dout の例を一つ

今度は、素数、フィボナッチ数、2進数が同じく直線になる。つまり、特定の場合
 は素数、フィボナッチ数を用いて容量型 AD 変換器が利用できる。

5.2 N 角数を用いた抵抗型 DA 変換器

図 5.2.1 は R-2R 抵抗ラダー回路と呼ばれる回路である。図 5.2.1 のように抵抗 R
 と 2R という種類の抵抗を用意してはしご型に並べる。すると上の各ノードから右を
 見るとちょうど $2R[\Omega]$ に見えるので、各ノードで $2R/2R$ と並列に見え電流を二分割す
 ることができる。各ノードで電流が二分割されるので、 $2R[\Omega]$ へ流れる電流値は二進重
 みを持つ電流値となり二進重み DA 変換器などに利用される

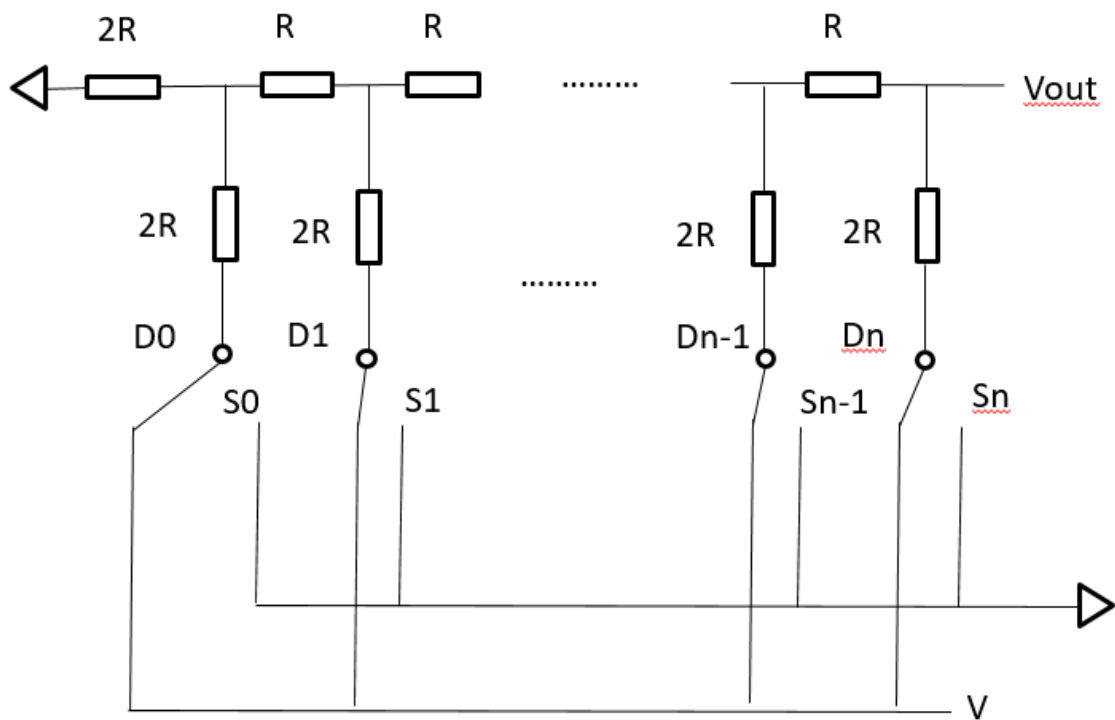


図 5.2.1 R-2R 抵抗ラダー回路

この R-2R 抵抗ラダー回路を変更した回路を図 5.2.2 に示す。図 5.2.3 は抵抗ネットワークワークです。図 5.2.2 と 5.2.3 回路図 5.2.4 設計します。図 5.2.4 上の各ノードから右を見ると、一つの SW だけ接続場合、Vout の比率は N 角数で表示する。この時、各 R 値を計算する（今度は六つの SW の回路を計算する）。

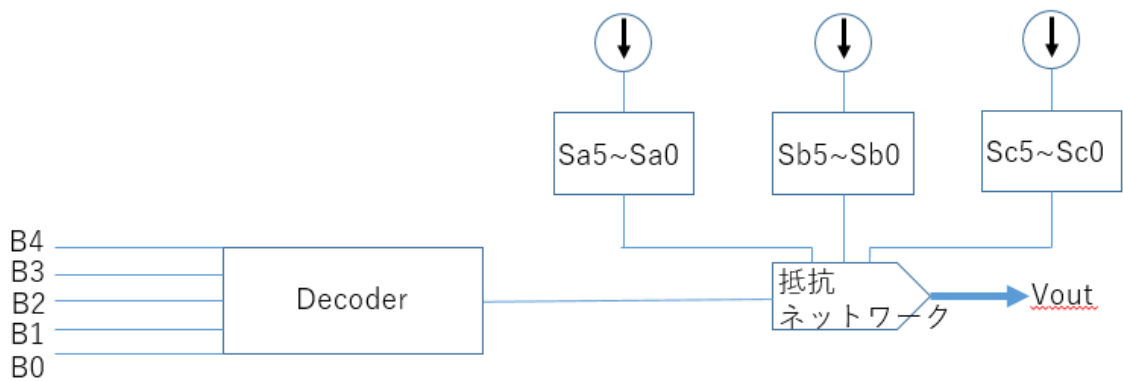
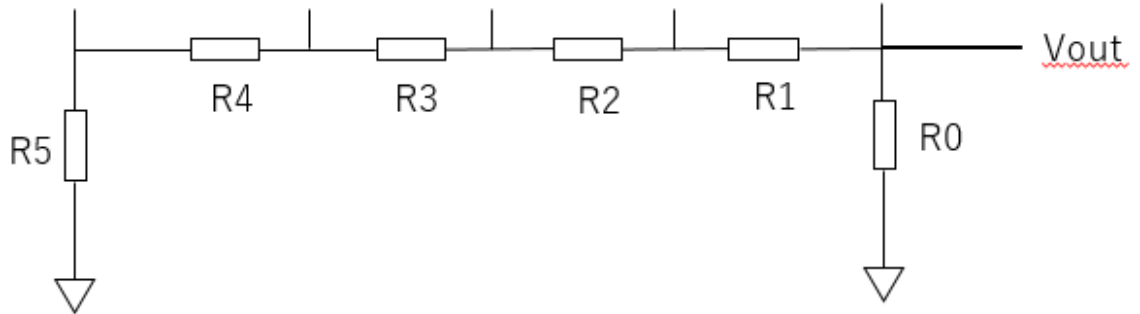


図 5.2.2 整数論を用いた DA 変換器理論図



5.2.3 抵抗ネットワークワーク

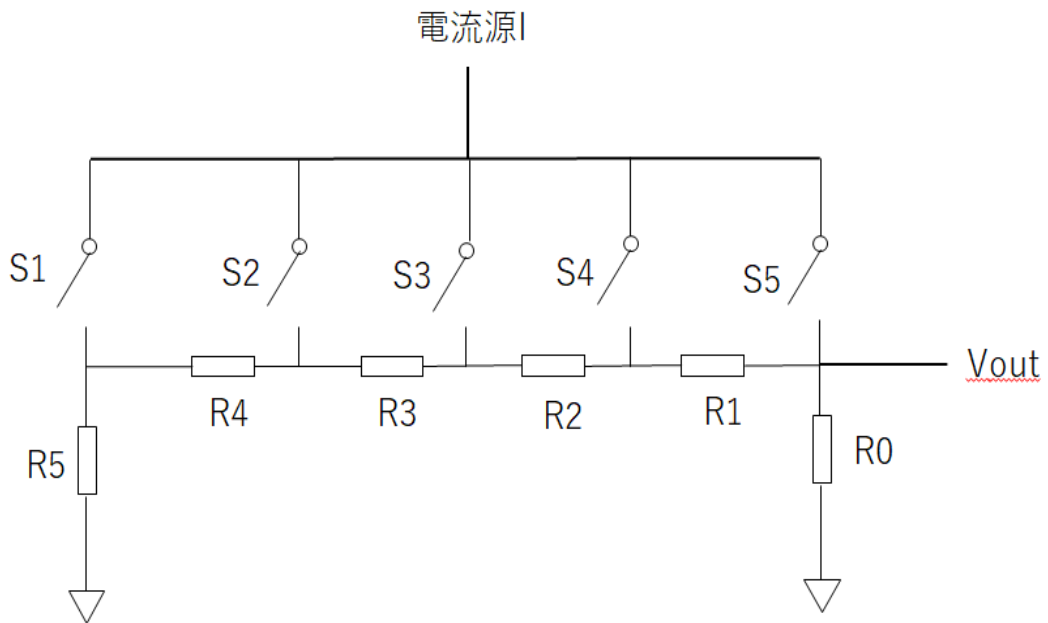


図 5.2.4 整数論を用いた DA 変換器回路

N 角数の場合は、つぎのようになる。

$$V_{out1} = I \cdot R_0 \cdot R_5 / (R_0 + R_1 + R_2 + R_3 + R_4 + R_5) \quad S_1 \text{ のみ ON の場合}$$

$$V_{out2} = I \cdot R_0 \cdot (R_4 + R_5) / (R_0 + R_1 + R_2 + R_3 + R_4 + R_5) \quad S_2 \text{ のみ ON の場合}$$

$$V_{out3} = I \cdot R_0 \cdot (R_3 + R_4 + R_5) / (R_0 + R_1 + R_2 + R_3 + R_4 + R_5) \quad S_3 \text{ のみ ON の場合}$$

$$V_{out4} = I \cdot R_0 \cdot (R_2 + R_3 + R_4 + R_5) / (R_0 + R_1 + R_2 + R_3 + R_4 + R_5) \quad S_4 \text{ のみ ON の場合}$$

$$V_{out5} = I \cdot R_0 \cdot (R_1 + R_2 + R_3 + R_4 + R_5) / (R_0 + R_1 + R_2 + R_3 + R_4 + R_5) \quad S_5 \text{ のみ ON の場合}$$

5.2.1 V_{out} の比率が三角数の場合

三角数の場合は、電流源三つが必要です。

I_1 のみの場合、図 5.2.4.1b 示す

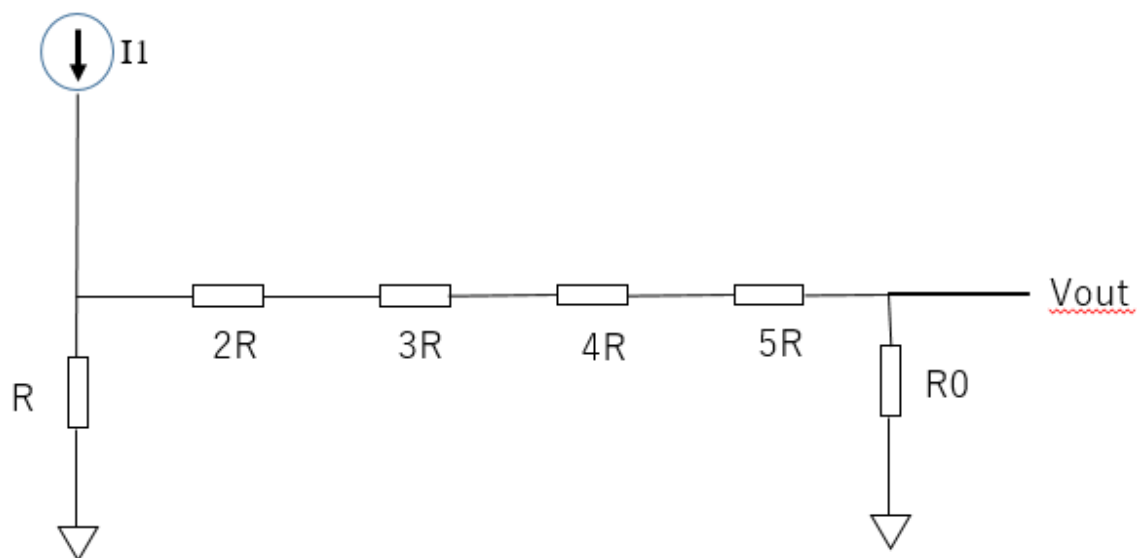


図 5.2.4.1 I_1 のみ三角数を用いた DA 変換器回路

$$r = [R \cdot (R_0 + 14R)] / (R_0 + 15R)$$

$$V = I \cdot r, \quad V_{out} = V \cdot R_0 / (R_0 + 14R)$$

計算して、 $V_{out1} = I \cdot R_0 \cdot R / (R_0 + 15R)$ になる。

I_2 のみの場合、図 5.2.4.2 に示す

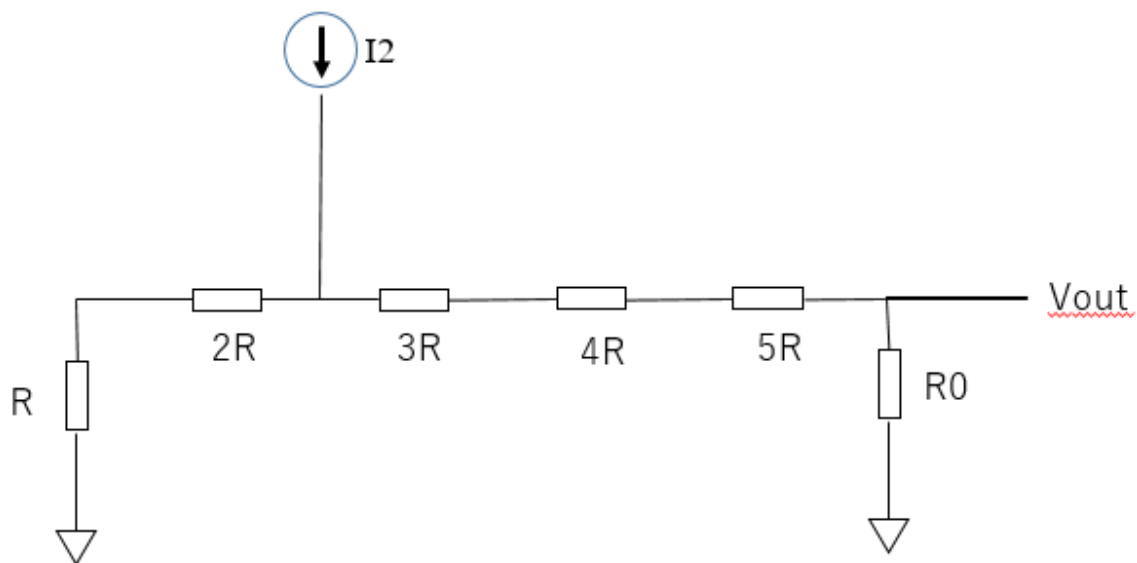


図 5.2.4.2 I2 のみ三角数を用いた DA 変換器回路

$$r = [(3R) * (R0 + 12R)] / (R0 + 15R)$$

$$V = I * r, \quad V_{out} = V * R0 / (R0 + 12R)$$

計算して、 $V_{out} = I * R0 * (3R) / (R0 + 15R)$ になる。

I3 のみの場合、図 5.2.4.3 に示す、

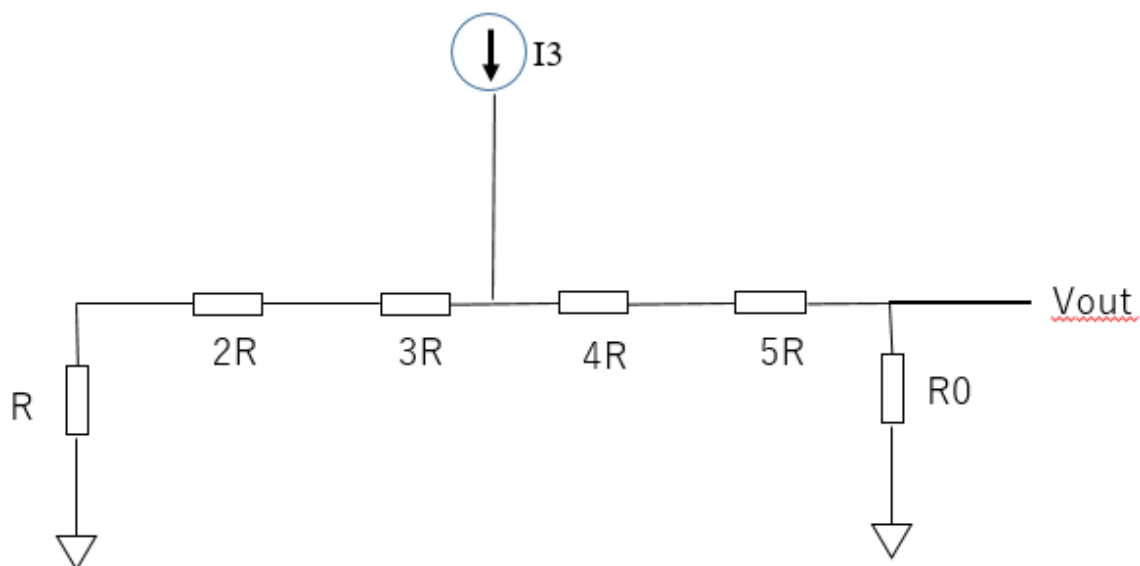


図 5.2.4.3 I3 のみ三角数を用いた DA 変換器回路

$$r = [(6R) * (R_0 + 9R)] / (R_0 + 15R)$$

$$V = I * r, \quad V_{out} = V * R_0 / (R_0 + 9R)$$

計算して、 $V_{out3} = I * R_0 * (6R) / (R_0 + 15R)$ となる。

I4 のみの場合、図 5.2.4.4 に示す

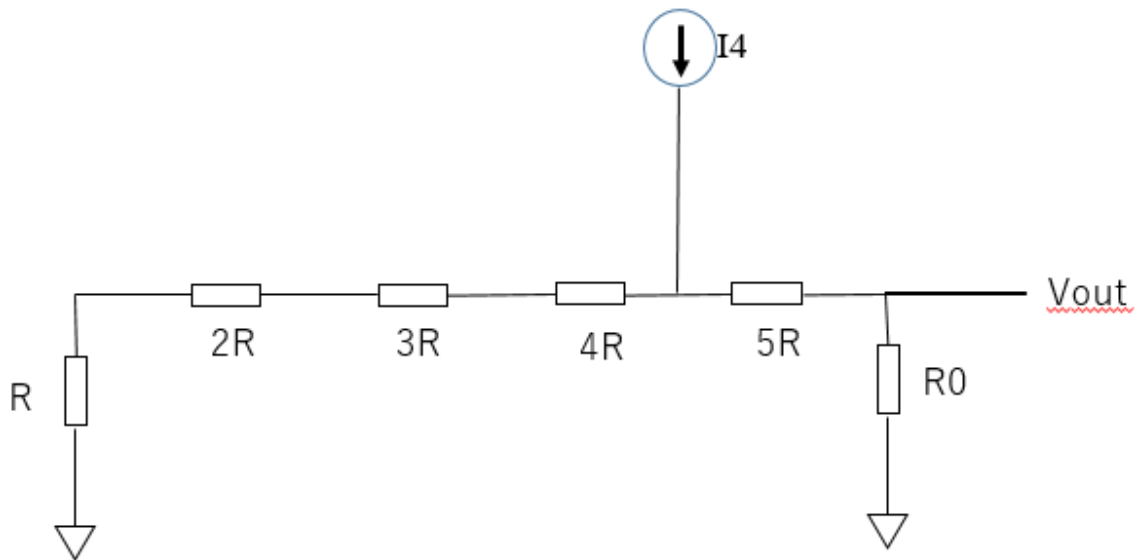


図 5.2.4.4 I4 のみ三角数を用いた DA 変換器回路

$$r = [(10R) * (R_0 + 5R)] / (R_0 + 15R)$$

$$V = I * r, \quad V_{out} = V * R_0 / (R_0 + 5R)$$

計算して、 $V_{out4} = I * R_0 * (10R) / (R_0 + 15R)$ となる。

I5 のみの場合、図 5.2.4.5 に示す。

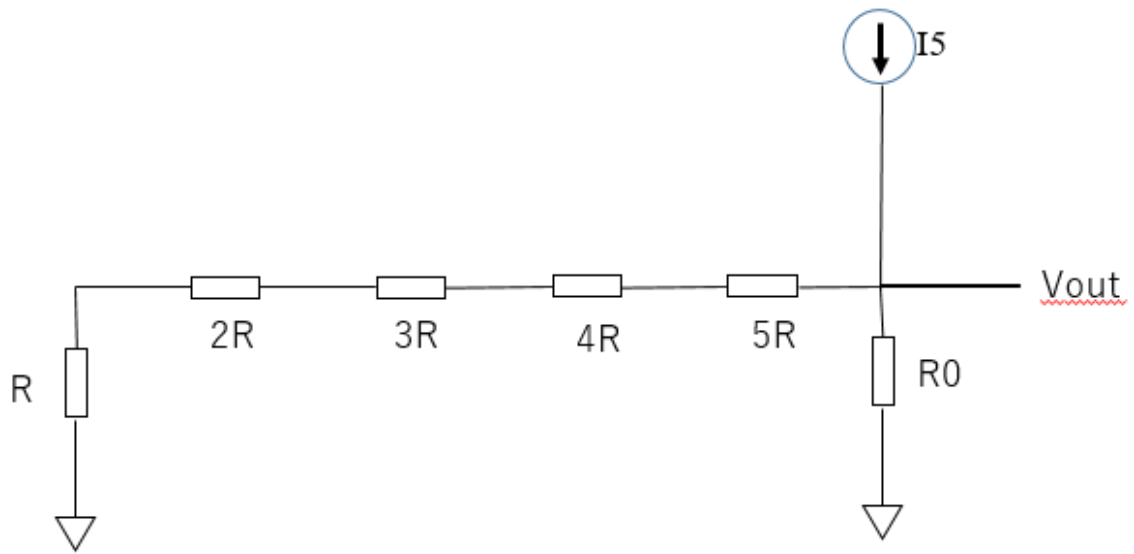


図 5.2.4.5 I_5 のみ三角数を用いた DA 変換器回路

$$r = [(15R) * (R_0)] / (R_0 + 15R)$$

$$V = I * r, \quad V_{out} = V$$

計算して、 $V_{out5} = I * R_0 * (15R) / (R_0 + 15R)$ となる。

以上を計算して、 $V_{out1} : V_{out2} : V_{out3} : V_{out4} : V_{out5} = 1 : 3 : 6 : 10 : 15$ となる。

つまり、比例が三角数です。

今度 V_{out} の結果と重ね合わせの理を検証する。まずは図 5.2.5 ような回路を検討した。

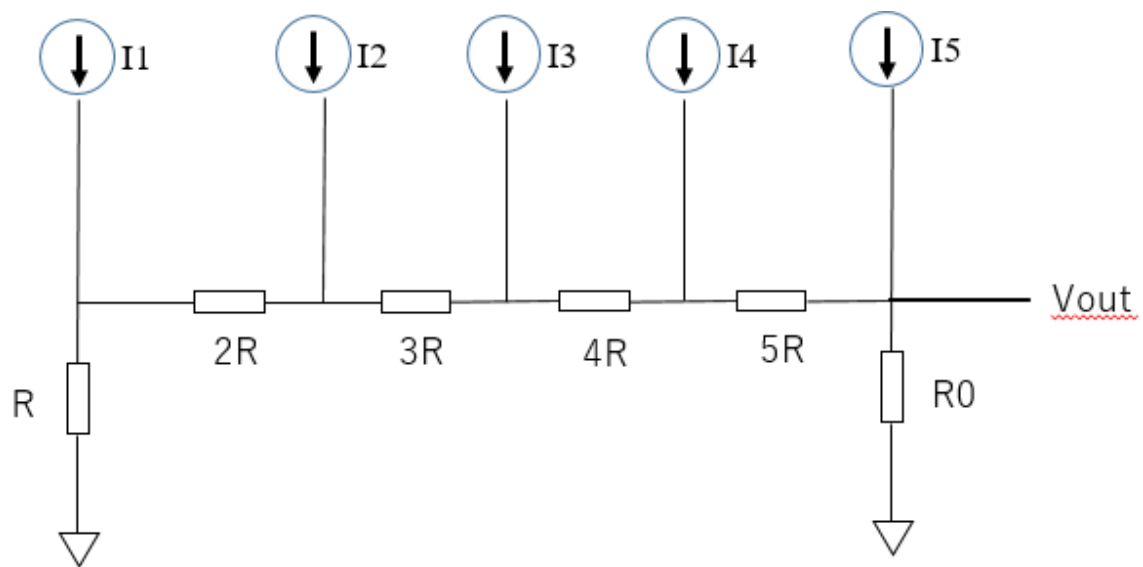


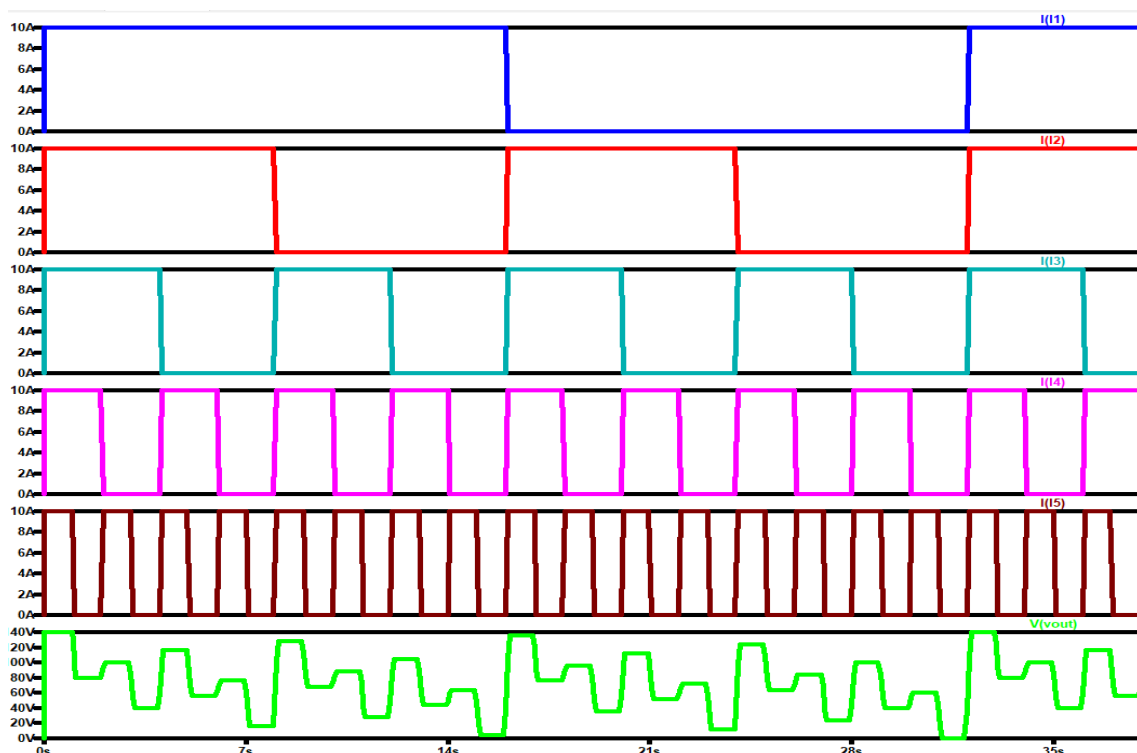
図 5.2.5 三角数を用いた DA 変換器回路

$I1=I2=I3=I4=I5$ の場合は、 $Vout1=4$ 、 $Vout2=12$ 、 $Vout3=24$ 、 $Vout4=40$ 、 $Vout5=60$ であ

る。比例は $1 : 3 : 6 : 10 : 15$ である。三角数と同じである。検証できた。。

重ね合わせの理：

同じ回路でシミュレーションし、結果を図 5.2.6 示す。



I1:10A Ton=16s Tperiod=32s **I3:10A Ton=4s Tperiod=8s** **I5:10A Ton=1s Tperiod=2s**
I2:10A Ton=8s Tperiod=16s **I4:10A Ton=2s Tperiod=4s** **Vout、またはR0の電圧**

図 5.2.6 三角数を用いた DA 変換器回路重ね合わせの理のシミュレーション結果

この場合は、 $V_{out}=D1 \cdot V_{out1}+D2 \cdot V_{out2}+D3 \cdot V_{out3}+D4 \cdot V_{out4}+D5 \cdot V_{out5}$ 、

($I=10A \rightarrow D=1, I=0A \rightarrow D=0$) と推測した。

$t=1.5s$ の時、 $I1=10A, I2=10A, I3=10A, I4=10A, I5=0A$ である。計算して $V_{out}=80$ 、シミュレーション結果に直接読取て結果はシミュレーション $V_{out}=80$ となる。

$t=10.5s$ の時、 $I1=10A, I2=0A, I3=10A, I4=0A, I5=10A$ である。計算して計算 $V_{out}=88$ 、シミュレーション結果に直接読取て結果はシミュレーション $V_{out}=88$ となった。

$t=24.4s$ の時、 $I1=0A, I2=0A, I3=10A, I4=10A, I5=10A$ である。計算して計算 $V_{out}=124$ 、

シミュレーション結果に直接読取り、結果はシミュレーション $V_{out}=123.9999$ となった。

すべての自然数は、3個以下の三角数の和で表示される。つまり、デジタル入力が 0, 1, 2, 3.....に対して、接続する SW の数を調整して満足でき、対応するアナログ出力が得られる。

デジタル入力が 0-22 までの場合、接続する SW を図 5.2.7 示す。全ての SW の状況は図 5.2.8 示す。

デジタル入力	B4	B3	B2	B1	B0	三角数の和	Sa	Sb	Sc
0	0	0	0	0	0	0+0+0	Sa0	Sb0	Sc0
1	0	0	0	0	1	1+0+0	Sa1	Sb0	Sc0
2	0	0	0	1	0	1+1+0	Sa1	Sb1	Sc0
3	0	0	0	1	1	1+1+1	Sa1	Sb1	Sc1
4	0	0	1	0	0	3+1+0	Sa2	Sb1	Sc0
5	0	0	1	0	1	3+1+1	Sa2	Sb1	Sc1
6	0	0	1	1	0	3+3+0	Sa2	Sb2	Sc0
7	0	0	1	1	1	3+3+1	Sa2	Sb2	Sc1
8	0	1	0	0	0	6+1+1	Sa3	Sb1	Sc1
9	0	1	0	0	1	3+3+3	Sa2	Sb2	Sc2
10	0	1	0	1	0	6+3+1	Sa3	Sb2	Sc1
11	0	1	0	1	1	10+1+0	Sa4	Sb1	Sc0
12	0	1	1	0	0	6+3+3	Sa3	Sb2	Sc2
13	0	1	1	0	1	6+6+1	Sa3	Sb3	Sc1
14	0	1	1	1	0	10+3+1	Sa4	Sb2	Sc1
15	0	1	1	1	1	15+0+0	Sa5	Sb0	Sc0
16	1	0	0	0	0	15+1+0	Sa5	Sb1	Sc0
17	1	0	0	0	1	15+1+1	Sa5	Sb1	Sc1
18	1	0	0	1	0	15+3+0	Sa5	Sb2	Sc0
19	1	0	0	1	1	15+3+1	Sa5	Sb2	Sc1
20	1	0	1	0	0	10+10+0	Sa4	Sb3	Sc0
21	1	0	1	0	1	15+6+0	Sa5	Sb3	Sc0
22	1	0	1	1	0	15+6+1	Sa5	Sb3	Sc1

図 5.2.7 三角数を用いた DA 変換器回路の接続する SW 状況

デジタル入力	Sa0	Sa1	Sa2	Sa3	Sa4	Sa5	Sb0	Sb1	Sb2	Sb3	Sb4	Sb5	Sc0	Sc1	Sc2	Sc3	Sc4	Sc5
0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0
1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0
2	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0
3	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0
4	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0
5	0	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0
6	0	0	1	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0
7	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0
8	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0
9	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0
10	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0
11	0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	0	0	0
12	0	0	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0
13	0	0	0	1	0	0	0	0	0	1	0	0	0	1	0	0	0	0
14	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0
15	0	0	0	0	0	1	1	0	0	0	0	0	1	0	0	0	0	0
16	0	0	0	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0
17	0	0	0	0	0	1	0	1	0	0	0	0	0	1	0	0	0	0
18	0	0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0	0
19	0	0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	0	0
20	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	0	0	0
21	0	0	0	0	0	1	0	0	0	0	1	0	1	0	0	0	0	0
22	0	0	0	0	0	1	0	0	0	0	1	0	0	1	0	0	0	0

図 5.2.8 三角数を用いた DA 変換器回路の全ての SW 状況

5.2.2 Vout 比例が他の N 角数について

(1) 四角数の場合：四角数の場合は、電流源四つが必要です。

I1 のみの場合、図は 5.2.2.1.

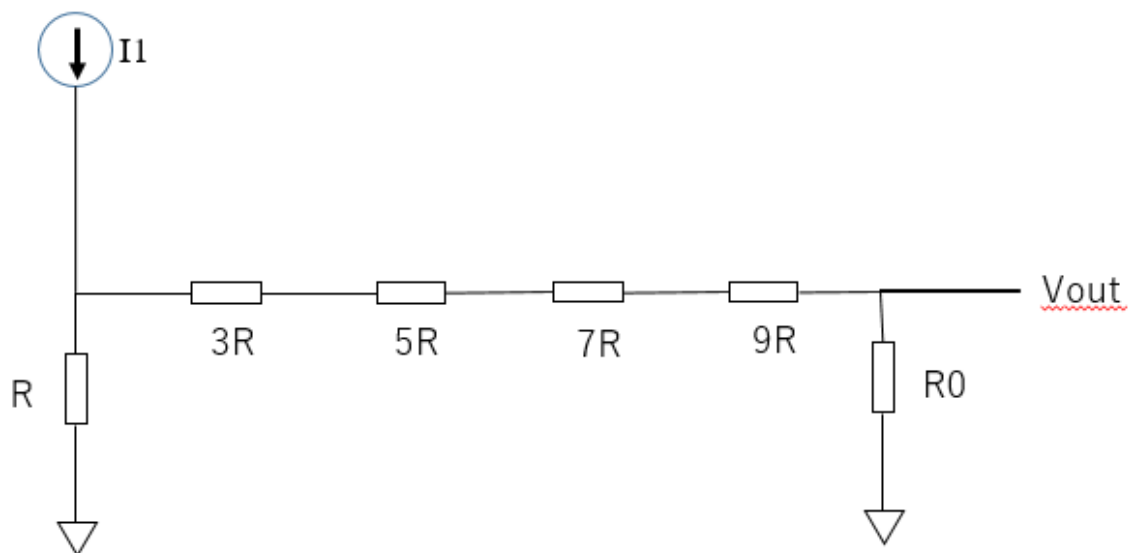


図 5.2.2.1 I1 のみ四角数を用いた DA 変換器回路

$$r = [R \cdot (R_0 + 24R)] / (R_0 + 25R)$$

$$V = I \cdot r, \quad V_{out} = V \cdot R_0 / (R_0 + 24R)$$

計算して、 $V_{out} = I \cdot R_0 \cdot R / (R_0 + 25R)$ です。

I2 のみの場合、図は 5.2.2.2.

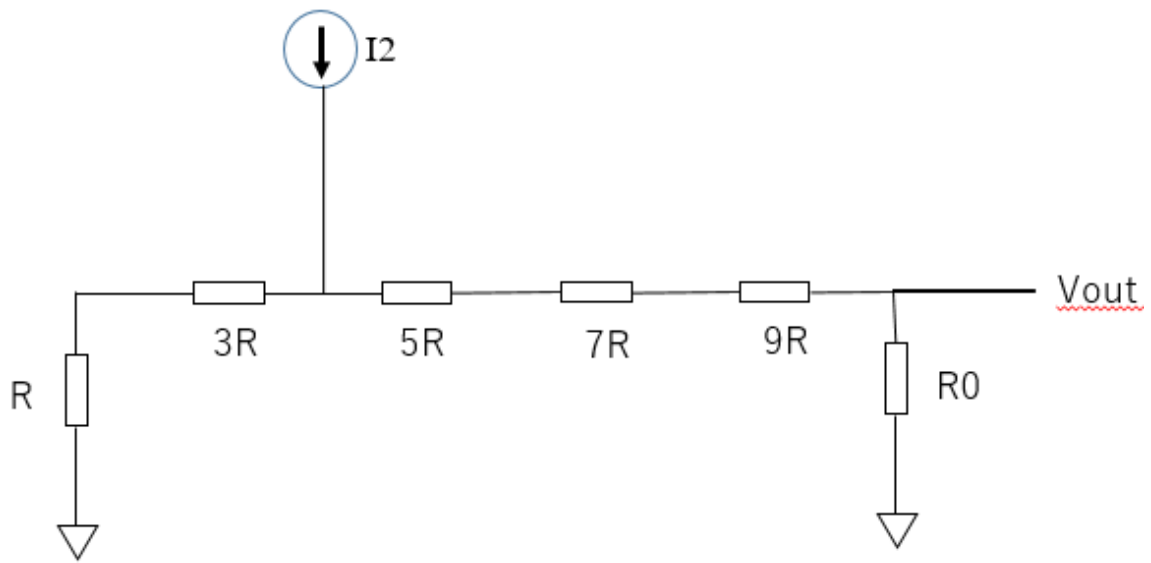


図 5.2.2.2 I2 のみ四角数を用いた DA 変換器回路

$$r = [(4R) * (R0 + 21R)] / (R0 + 25R)$$

$$V = I * r, \quad V_{out} = V * R0 / (R0 + 21R)$$

計算して、 $V_{out} = I * R0 * (4R) / (R0 + 25R)$ です。

I3 のみの場合、図は 5.2.2.3

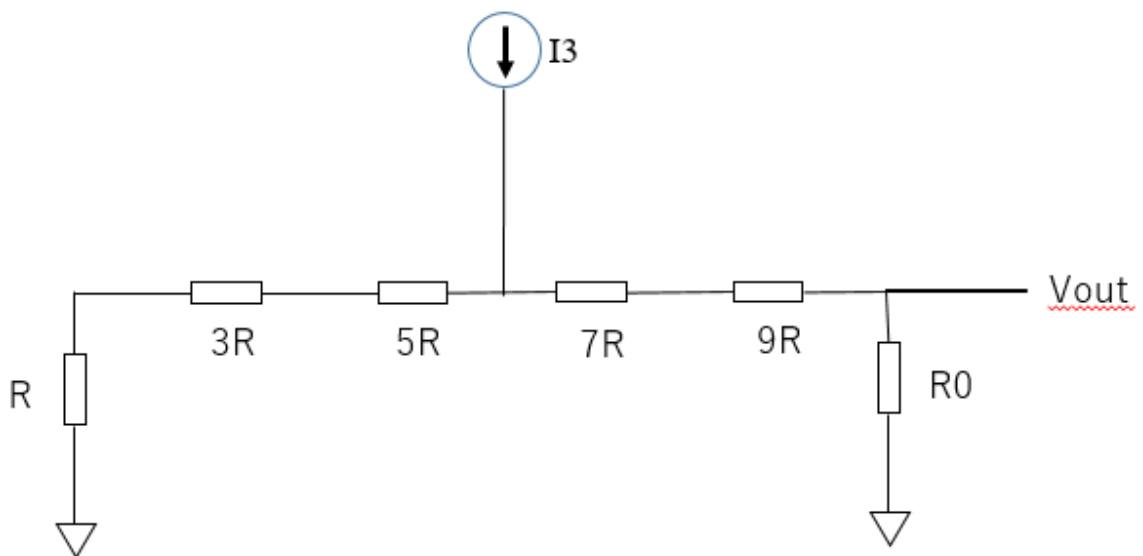


図 5.2.2.3 I3 のみ四角数を用いた DA 変換器回路

$$r = [(9R) * (R_0 + 16R)] / (R_0 + 25R)$$

$$V = I * r, \quad V_{out} = V * R_0 / (R_0 + 16R)$$

計算して、 $V_{out3} = I * R_0 * (9R) / (R_0 + 25R)$ です。

I4 のみの場合、図は 5.2.2.4

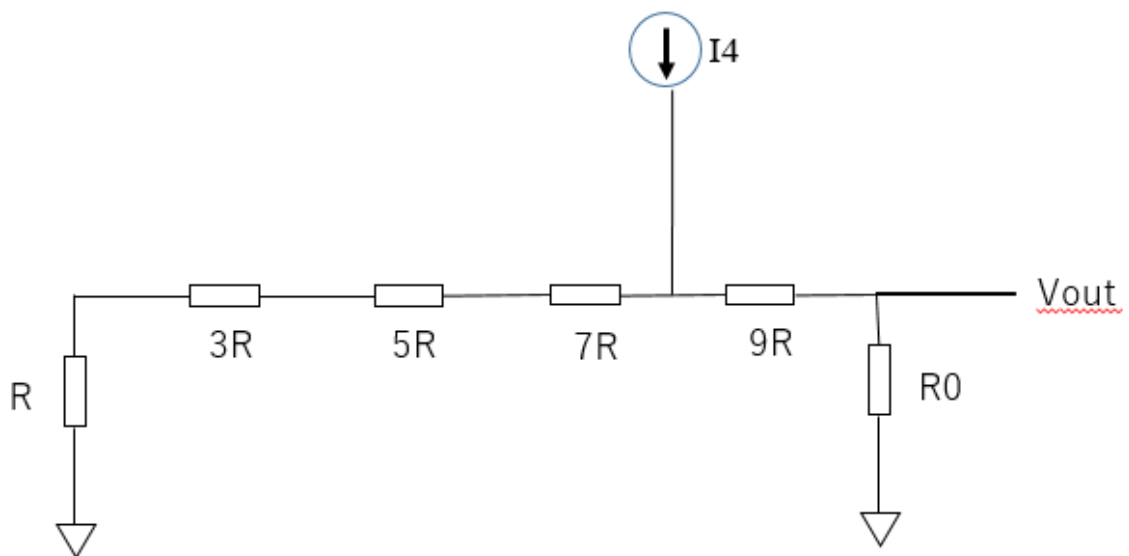


図 5.2.2.4 I4 のみ四角数を用いた DA 変換器回路

$$r = [(16R) * (R_0 + 9R)] / (R_0 + 25R)$$

$$V = I * r, \quad V_{out} = V * R_0 / (R_0 + 9R)$$

計算して、 $V_{out4} = I * R_0 * (16R) / (R_0 + 25R)$ です。

I5 のみの場合、図は 5.2.2.5

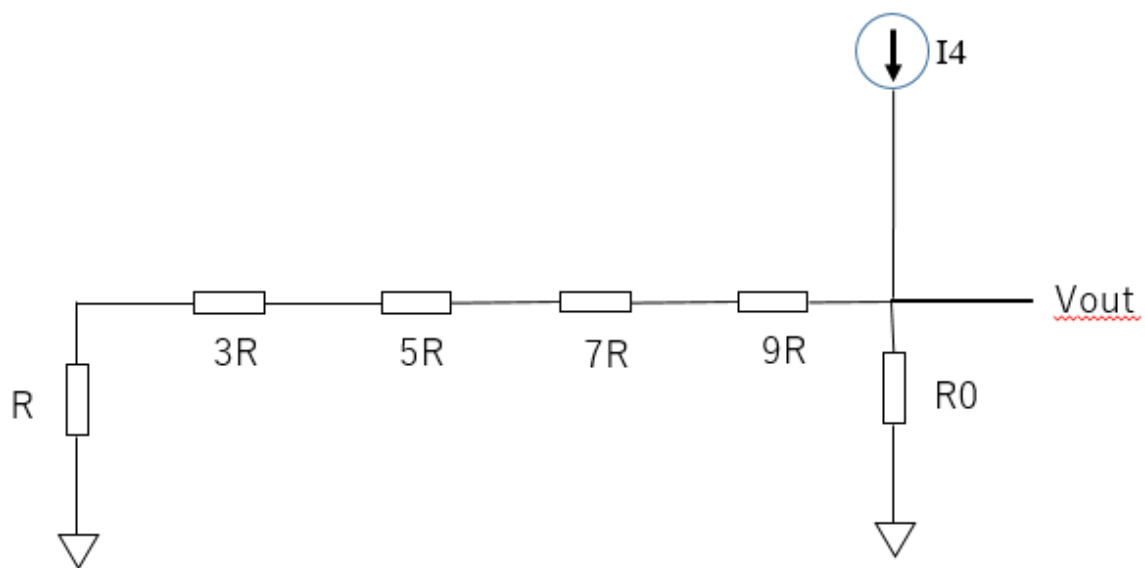


図 5.2.2.5 I5 のみ四角数を用いた DA 変換器回路

$$r = [(25R) * (R0)] / (R0 + 25R)$$

$$V = I * r, \quad V_{out} = V$$

計算して、 $V_{out5} = I * R0 * (25R) / (R0 + 25R)$ です。

以上を計算して、 $V_{out1} : V_{out2} : V_{out3} : V_{out4} : V_{out5} = 1 : 4 : 9 : 16 : 25$ です。

つまり、比例が四角数です。

デジタル入力が 0-24 までの場合、接続する SW を図 5.2.9 です。全ての SW の状況は図 5.3.0 示す。

デジタル入力	B4	B3	B2	B1	B0	四角数の和	Sa	Sb	Sc	Sd
0	0	0	0	0	0	0+0+0+0	0	0	0	0
1	0	0	0	0	1	1+0+0+0	1	0	0	0
2	0	0	0	1	0	1+1+0+0	1	1	0	0
3	0	0	0	1	1	1+1+1+0	1	1	1	0
4	0	0	1	0	0	1+1+1+1	1	1	1	1
5	0	0	1	0	1	4+1+0+0	2	1	0	0
6	0	0	1	1	0	4+1+1+0	2	1	1	0
7	0	0	1	1	1	4+1+1+1	2	1	1	1
8	0	1	0	0	0	4+4+0+0	2	2	0	0
9	0	1	0	0	1	4+4+1+0	2	2	1	0
10	0	1	0	1	0	4+4+1+1	2	2	1	1
11	0	1	0	1	1	9+1+1+0	3	1	1	0
12	0	1	1	0	0	9+1+1+1	3	1	1	1
13	0	1	1	0	1	9+4+0+0	3	2	0	0
14	0	1	1	1	0	9+4+1+0	3	2	1	0
15	0	1	1	1	1	9+4+1+1	3	2	1	1
16	1	0	0	0	0	16+0+0+0	4	0	0	0
17	1	0	0	0	1	16+1+0+0	4	1	0	0
18	1	0	0	1	0	16+1+1+0	4	1	1	0
19	1	0	0	1	1	16+1+1+1	4	1	1	1
20	1	0	1	0	0	16+4+0+0	4	2	0	0
21	1	0	1	0	1	16+4+1+0	4	2	1	0
22	1	0	1	1	0	16+4+1+1	4	2	1	1
23	1	0	1	1	1	9+9+4+1	3	3	2	1
24	1	1	0	0	0	16+4+4+0	4	2	2	0

図 5.2.9 四角数を用いた DA 変換器回路の接続する SW 状況

デジタル入力	Sa0	Sa1	Sa2	Sa3	Sa4	Sb0	Sb1	Sb2	Sb3	Sb4	Sc0	Sc1	Sc2	Sc3	Sc4	Sd0	Sd1	Sd2	Sd3	Sd4
0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
3	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0
4	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0
5	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
6	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0
7	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0
8	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
9	0	0	1	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0
10	0	0	1	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0
11	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0
12	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0
13	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
14	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0
15	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0
16	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
17	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
18	0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0
19	0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0
20	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
21	0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0
22	0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0
23	0	0	0	1	0	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
24	0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0

図 5.3.0 四角数を用いた DA 変換器回路の全ての SW 状況

(2) 五角数の場合

五角数の場合は、電流源五つが必要です。

II のみの場合、図は 5.2.3.1.

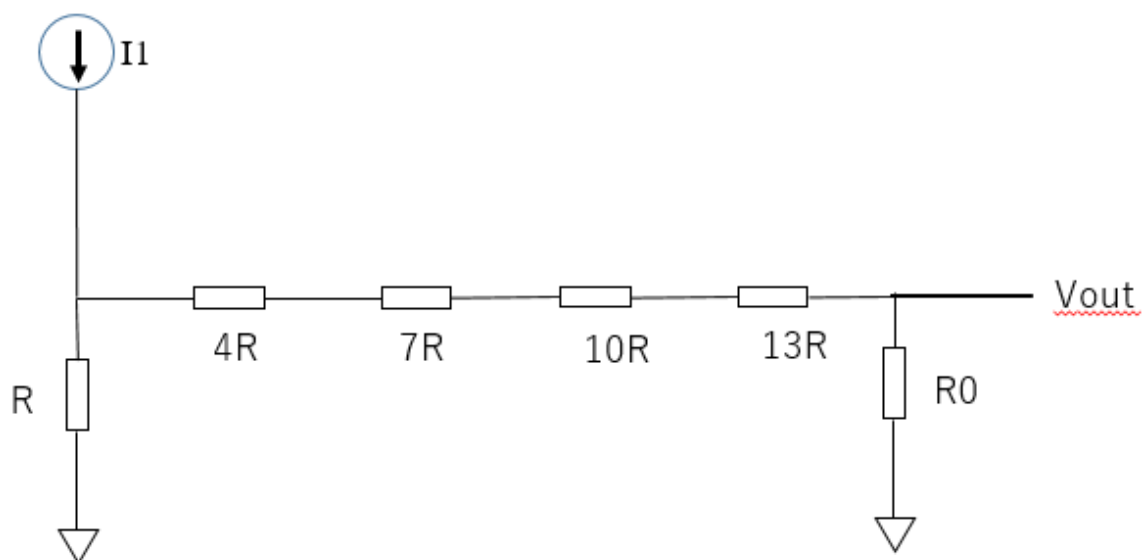


図 5.2.3.1 I1 のみ五角数を用いた DA 変換器回路

$$r = [R \cdot (R_0 + 34R)] / (R_0 + 35R)$$

$$V = I \cdot r, \quad V_{out} = V \cdot R_0 / (R_0 + 34R)$$

計算して、 $V_{out} = I \cdot R_0 \cdot R / (R_0 + 35R)$ です。

I2 のみの場合、図は 5.2.3.2.

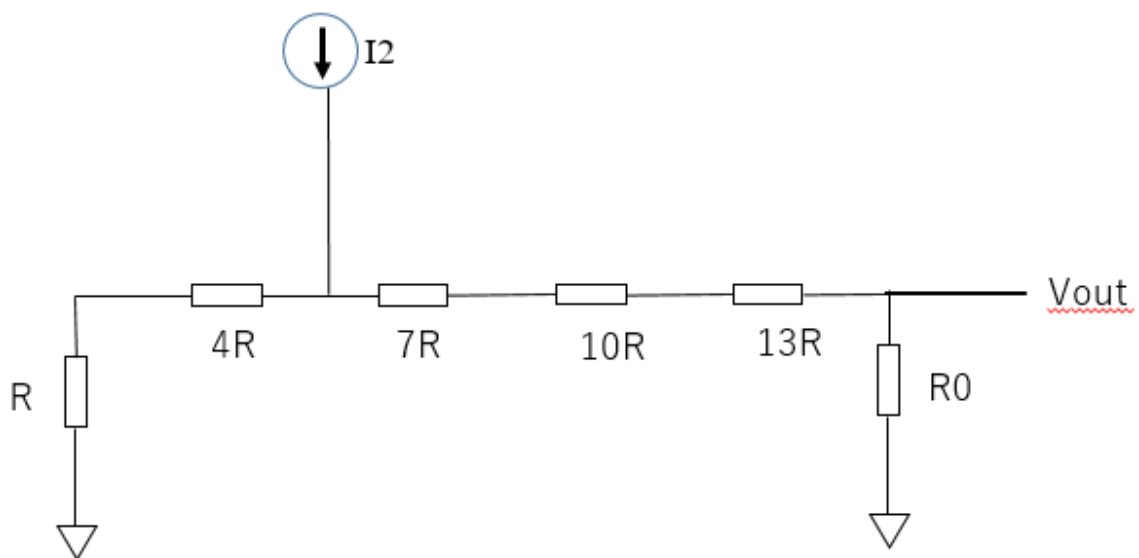


図 5.2.3.2 I2 のみ五角数を用いた DA 変換器回路

$$r = [(5R) * (R_0 + 30R)] / (R_0 + 35R)$$

$$V = I * r, \quad V_{out} = V * R_0 / (R_0 + 30R)$$

計算して、 $V_{out2} = I * R_0 * (5R) / (R_0 + 35R)$ です。

I3 のみの場合、図は 5.2.3.3

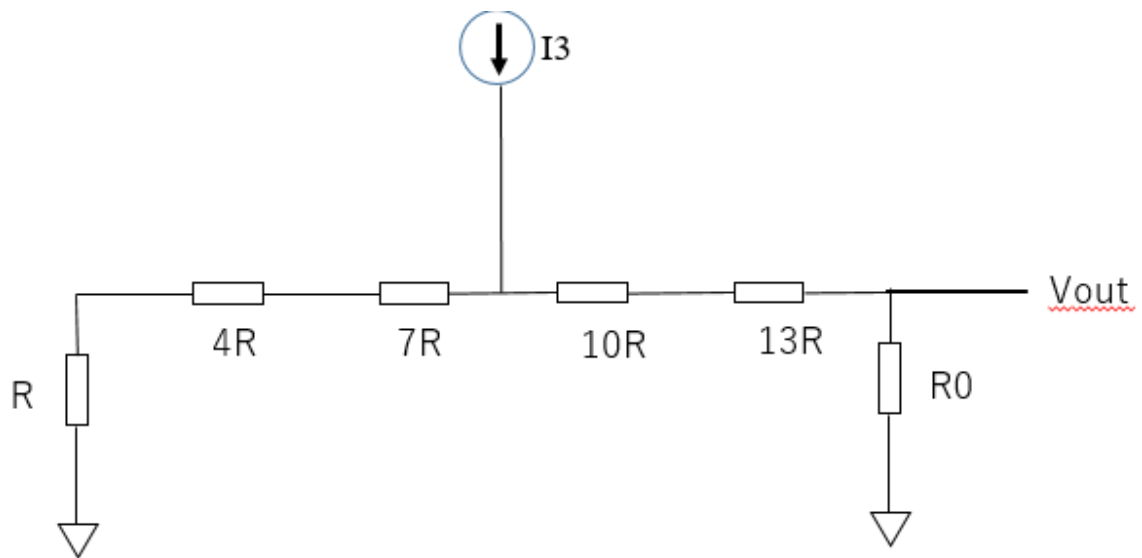


図 5.2.3.3 I3 のみ五角数を用いた DA 変換器回路

$$r = [(12R) * (R_0 + 23R)] / (R_0 + 35R)$$

$$V = I * r, \quad V_{out} = V * R_0 / (R_0 + 23R)$$

計算して、 $V_{out3} = I * R_0 * (12R) / (R_0 + 35R)$ です。

I4 のみの場合、図は 5.2.3.4

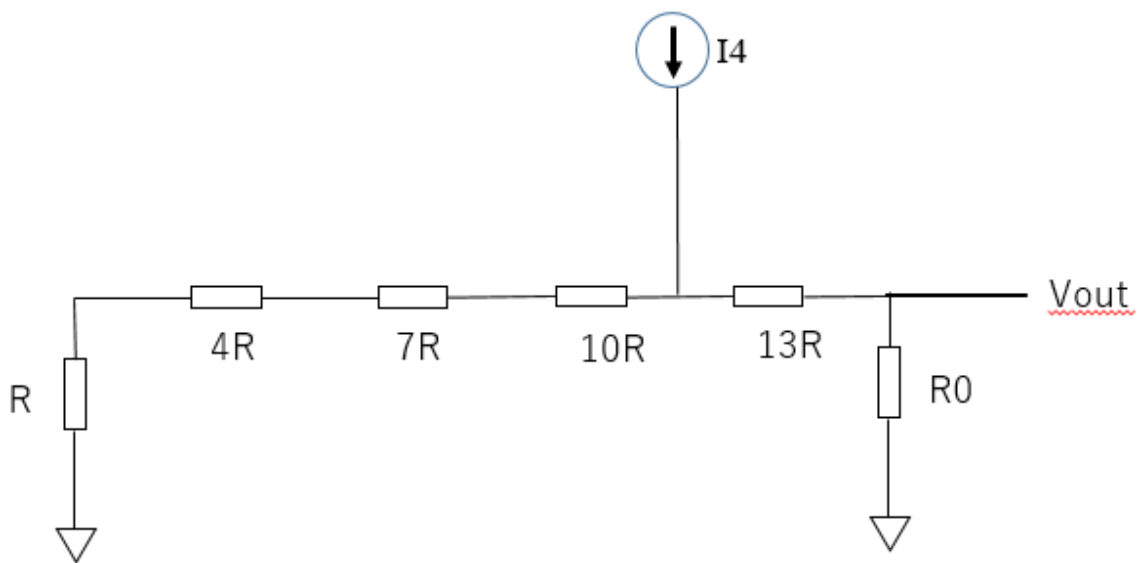


図 5.2.3.4 I4 のみ五角数を用いた DA 変換器回路

$$r = [(22R) * (R0 + 13R)] / (R0 + 35R)$$

$$V = I * r, \quad V_{out} = V * R0 / (R0 + 13R)$$

計算して、 $V_{out4} = I * R0 * (22R) / (R0 + 35R)$ です。

I5 のみの場合、図は 5.2.3.5

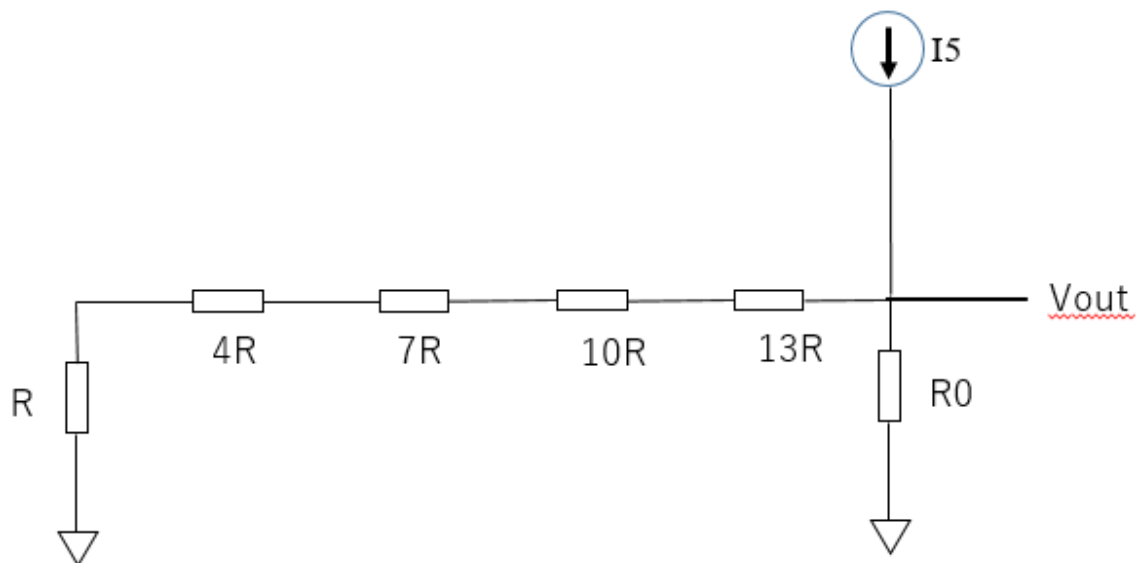


図 5.2.3.5 I5 のみ五角数を用いた DA 変換器回路

$$r = [(35R) * (R0)] / (R0 + 35R)$$

$$V = I * r, \text{ Vout} = V$$

計算して、 $\text{Vout5} = I * R0 * (35R) / (R0 + 35R)$ です。

以上を計算して、 $\text{Vout1} : \text{Vout2} : \text{Vout3} : \text{Vout4} : \text{Vout5} = 1 : 5 : 12 : 22 : 35$ です。

つまり、比例が五角数です。

デジタル入力が 0-31 までの場合、接続する SW が図 5.3.1 示す。全ての SW の状況は図 5.3.2 示す。

デジタル入力	B4	B3	B2	B1	B0	五角数の和	Sa	Sb	Sc	Sd	Se
0	0	0	0	0	0	0+0+0+0	0	0	0	0	0
1	0	0	0	0	1	1+0+0+0	1	0	0	0	0
2	0	0	0	1	0	1+1+0+0	1	1	0	0	0
3	0	0	0	1	1	1+1+1+0	1	1	1	0	0
4	0	0	1	0	0	1+1+1+0	1	1	1	1	0
5	0	0	1	0	1	1+1+1+1	1	1	1	1	1
6	0	0	1	1	0	5+1+0+0	2	1	0	0	0
7	0	0	1	1	1	5+1+1+0	2	1	1	0	0
8	0	1	0	0	0	5+1+1+0	2	1	1	1	0
9	0	1	0	0	1	5+1+1+1	2	1	1	1	1
10	0	1	0	1	0	5+5+0+0	2	2	0	0	0
11	0	1	0	1	1	5+5+1+0	2	2	1	0	0
12	0	1	1	0	0	5+5+1+0	2	2	1	1	0
13	0	1	1	0	1	5+5+1+1	2	2	1	1	1
14	0	1	1	1	0	12+1+1+0	3	1	1	0	0
15	0	1	1	1	1	12+1+1+1	3	1	1	1	0
16	1	0	0	0	0	12+1+1+1	3	1	1	1	1
17	1	0	0	0	1	12+5+0+0	3	2	0	0	0
18	1	0	0	1	0	12+5+1+0	3	2	1	0	0
19	1	0	0	1	1	12+5+1+1	3	2	1	1	0
20	1	0	1	0	0	12+5+1+1	3	2	1	1	1
21	1	0	1	0	1	5+5+5+1	2	2	2	2	1
22	1	0	1	1	0	12+5+5+0	3	2	2	0	0
23	1	0	1	1	1	22+1+0+0	4	1	0	0	0
24	1	1	0	0	0	22+1+1+0	4	1	1	0	0
25	1	1	0	0	1	22+1+1+1	4	1	1	1	0
26	1	1	0	1	0	22+1+1+1	4	1	1	1	1
27	1	1	0	1	1	22+5+0+0	4	2	0	0	0
28	1	1	1	0	0	22+5+1+0	4	2	1	0	0
29	1	1	1	0	1	22+5+1+1	4	2	1	1	0
30	1	1	1	1	0	22+5+1+1	4	2	1	1	1
31	1	1	1	1	1	12+12+5+1	3	3	2	1	1

図 5.3.1 五角数を用いた DA 変換器回路の接続する SW 状況

アドレス入力	S00	S01	S02	S03	S04	S05	S00	S01	S02	S03	S04	S05	S00	S01	S02	S03	S04	S05	S00	S01	S02	S03	S04	S05	S00	S01	S02	S03	S04	S05
0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	
1	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	
2	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0	
3	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	
4	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	
5	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	
6	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	
7	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	
8	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	
9	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	
10	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	
11	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	
12	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	
13	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	
14	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	
15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	
16	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	1	
17	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	
18	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	
19	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	
20	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	
21	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	
22	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	
23	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	
24	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	
25	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	
26	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	
27	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	
28	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
29	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
30	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
31	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	

図 5.3.2 五角数を用いた DA 変換器回路の全ての SW 状況

N 角数の場合は、N 番目の S 角数は図 5.3.3

$$\frac{n[(s-2)n - (s-4)]}{2}$$

図 5.3.3 N 番目の S 角数

$$V_{out1} = I \cdot R_0 \cdot R_5 / (R_0 + R_1 + R_2 + R_3 + R_4 + R_5)$$

$$V_{out2} = I \cdot R_0 \cdot (R_4 + R_5) / (R_0 + R_1 + R_2 + R_3 + R_4 + R_5)$$

$$V_{out3} = I \cdot R_0 \cdot (R_3 + R_4 + R_5) / (R_0 + R_1 + R_2 + R_3 + R_4 + R_5)$$

$$V_{out4} = I \cdot R_0 \cdot (R_2 + R_3 + R_4 + R_5) / (R_0 + R_1 + R_2 + R_3 + R_4 + R_5)$$

$$V_{out5} = I \cdot R_0 \cdot (R_1 + R_2 + R_3 + R_4 + R_5) / (R_0 + R_1 + R_2 + R_3 + R_4 + R_5)$$

$$V_{out1} : V_{out2} : V_{out3} : V_{out4} : V_{out5} = 1 : S : 3S-3 : 6S-8 : 10S-15$$

$$R_1 = (4S-7) R_5, R_2 = (3S-5) R_5, R_3 = (2S-3) R_5, R_4 = (S-1) R_5, R_5 = R_5.$$

R0 と R5 は関係がない。

簡単に計算し、そしてまとめて、図 5.3.4 が得られた。

n角数	R0	R1	R2	R3	R4
三角数	1	2	3	4	5
四角数	1	3	5	7	9
五角数	1	4	7	10	13
六角数	1	5	9	13	17

図 5.3.4 三、四、五、六角数と対応した Rx と R0 の倍数関係

図 5.3.4 から、三角数の場合、第 n 番目の R は $n * R0$

四角数の場合、第 n 番目の R は $(2n-1) * R0$

五角数の場合、第 n 番目の R は $(3n-2) * R0$

六角数の場合、第 n 番目の R は $(4n-3) * R0$

以上の式をまとめて、n 角数の第 x 番目の R は

$$R_x = (n-1) + (x-1) * (n-2), x=1,2,3,4,5,\dots \text{です。}$$

例えば、七角数の R6 を計算の場合、 $R_6 = (7-1) + (6-1) * (7-2) = 31$ となる。

この結果と図 5.3.5 は同じである。

A	B	C	D	E	F	G	H
n角数	R0	R1	R2	R3	R4	R5	R6
三角数	1	2	3	4	5		
四角数	1	3	5	7	9		
五角数	1	4	7	10	13		
六角数	1	5	9	13	17		
七角数	1	6	11	16	21	26	31

図 5.3.5 三、四、五、六、七角数と対応した Rx と R0 の倍数関係

5.2.3 Vout 比例が素数について

素数の場合は、電流源二つが必要です。

同じ方法で I1 のみの場合、図は 5.2.4.1.

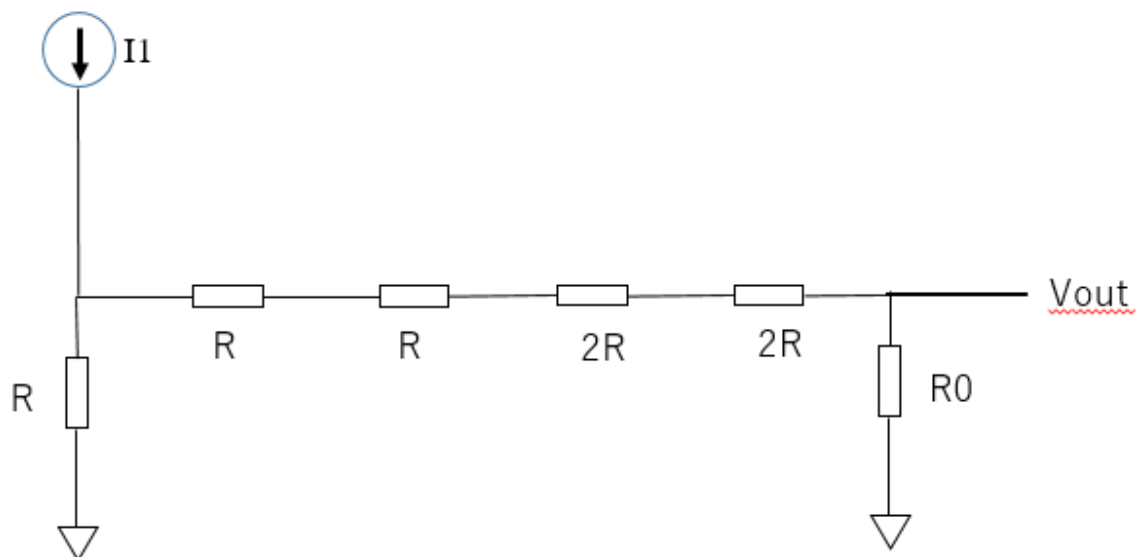


図 5.2.4.1 I1 のみ素数を用いた DA 変換器回路

$$r = [R \cdot (R_0 + 6R)] / (R_0 + 7R)$$

$V = I \cdot r$ 、 $V_{out} = V \cdot R_0 / (R_0 + 6R)$ 計算して、 $V_{out1} = I \cdot R_0 \cdot R / (R_0 + 7R)$ です。

I2 のみの場合、図は 5.2.4.2.

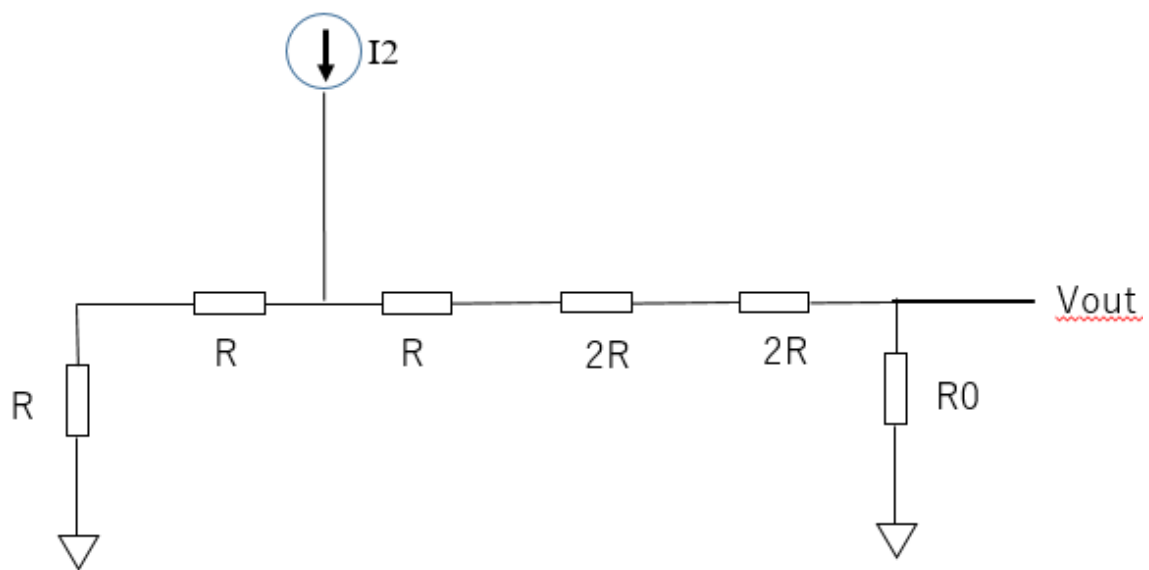


図 5.2.4.2 I2 のみ素数を用いた DA 変換器回路

$$r = [(2R) * (R0 + 5R)] / (R0 + 7R)$$

$$V = I * r, \quad V_{out} = V * R0 / (R0 + 5R)$$

計算して、 $V_{out} = I * R0 * (2R) / (R0 + 7R)$ です。

I3 のみの場合、図は 5.2.4.3

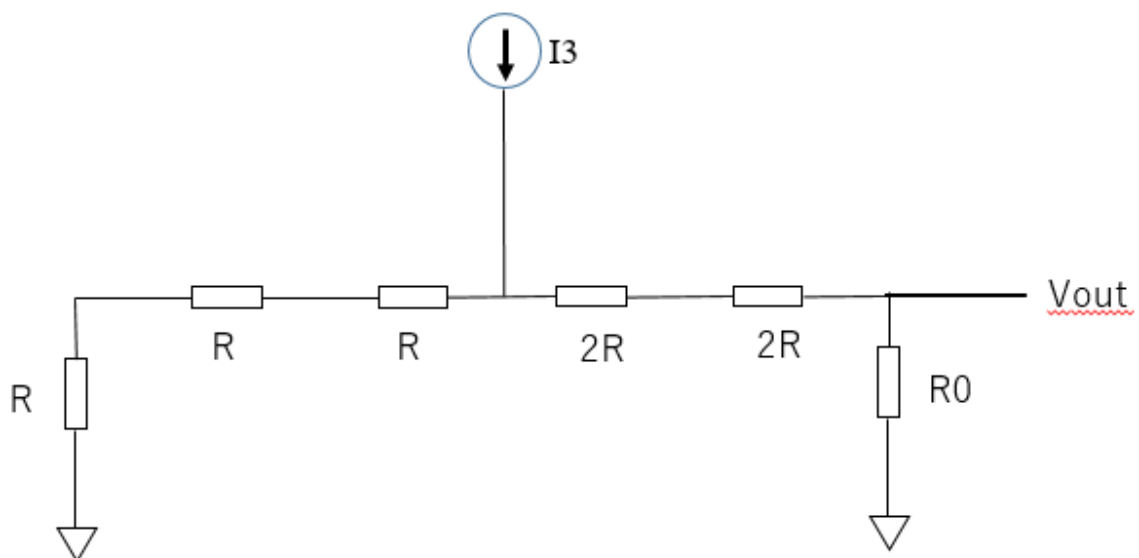


図 5.2.4.3 I3 のみ素数を用いた DA 変換器回路

$$r = [(3R) * (R_0 + 4R)] / (R_0 + 7R)$$

$$V = I * r, \quad V_{out} = V * R_0 / (R_0 + 4R)$$

計算して、 $V_{out3} = I * R_0 * (3R) / (R_0 + 7R)$ です。

I4 のみの場合、図は 5.2.4.4

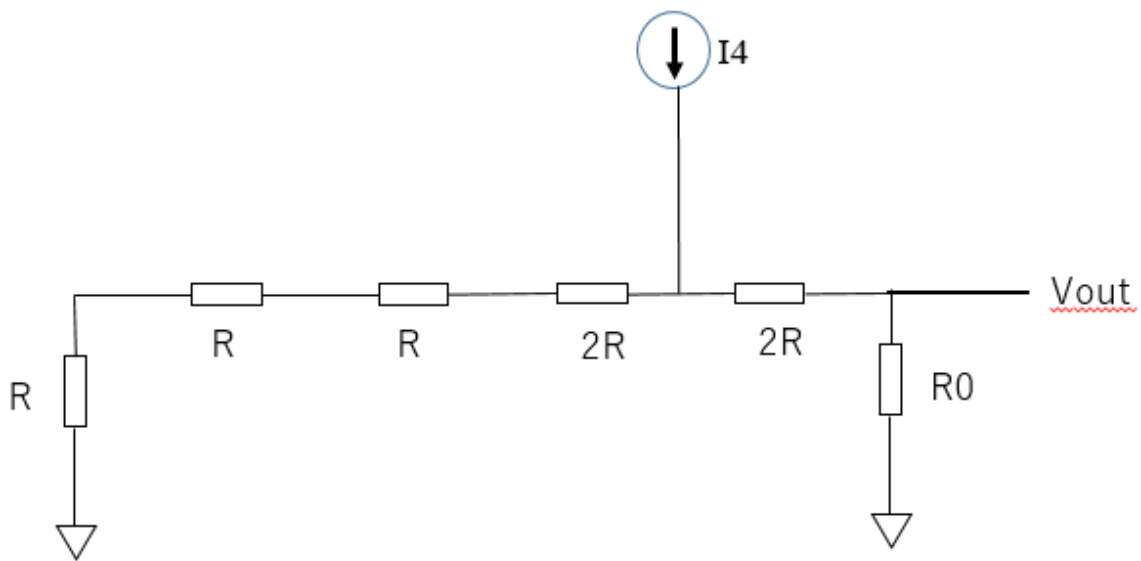


図 5.2.4.4 I4 のみ素数を用いた DA 変換器回路

$$r = [(5R) * (R_0 + 2R)] / (R_0 + 7R)$$

$$V = I * r, \quad V_{out} = V * R_0 / (R_0 + 2R)$$

計算して、 $V_{out4} = I * R_0 * (5R) / (R_0 + 7R)$ です。

I5 のみの場合、図は 5.2.4.5

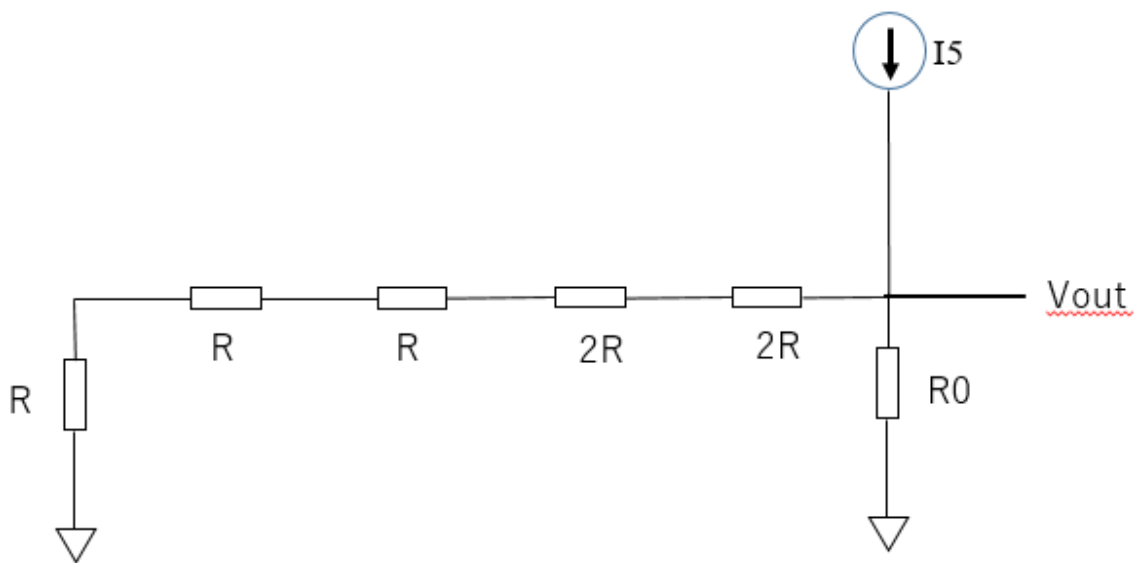


図 5.2.4.5 I_5 のみ素数を用いた DA 変換器回路

$$r = [(7R) * (R_0)] / (R_0 + 7R)$$

$$V = I * r, \quad V_{out} = V$$

計算して、 $V_{out5} = I * R_0 * (7R) / (R_0 + 7R)$ です。

以上を計算して、 $V_{out1} : V_{out2} : V_{out3} : V_{out4} : V_{out5} = 1 : 2 : 3 : 5 : 7$ です。

つまり、比例が素数です。

R_0 と R_5 は関係がない。

この場合、何か関係あるか、一見はっきりしない。素数列を書くと、二つの素数間の差を考えて、この関係が良く分かり。

1, 2, 3, 5, 7, 11, 13, 17, 19, 23, 29.....

つまり、Vout 比例が素数の場合、R の倍数関係が二つの素数間の差である。

1, 1, 2, 2, 4, 2, 4, 2, 4, 6.....

素数の場合：デジタル入力が 0-26 までの場合、接続する SW を図 5.3.6 を示す。全て

の SW の状況は図 5.3.7 のようになる。

デジタル入力	B4	B3	B2	B1	B0	素数和	Sa	Sb
0	0	0	0	0	0	0+0	0	0
1	0	0	0	0	1	1+0	1	0
2	0	0	0	1	0	2+0	2	0
3	0	0	0	1	1	3+0	3	0
4	0	0	1	0	0	2+2	2	2
5	0	0	1	0	1	5+0	4	0
6	0	0	1	1	0	5+1	4	1
7	0	0	1	1	1	5+2	4	2
8	0	1	0	0	0	5+3	4	3
9	0	1	0	0	1	7+2	5	2
10	0	1	0	1	0	7+3	5	3
11	0	1	0	1	1	11+0	6	0
12	0	1	1	0	0	11+1	6	1
13	0	1	1	0	1	13+0	7	0
14	0	1	1	1	0	13+1	7	1
15	0	1	1	1	1	13+2	7	2
16	1	0	0	0	0	13+3	7	3
17	1	0	0	0	1	17+0	8	0
18	1	0	0	1	0	17+1	8	1
19	1	0	0	1	1	19+0	9	0
20	1	0	1	0	0	19+1	9	1
21	1	0	1	0	1	19+2	9	2
22	1	0	1	1	0	19+3	9	3
23	1	0	1	1	1	23+0	10	0
24	1	1	0	0	0	23+1	10	1
25	1	1	0	0	1	23+2	10	2
26	1	1	0	1	0	23+3	10	3

図 5.3.6 素数を用いた DA 変換器回路の接続する SW 状況

デジタル入力	Sa0	Sa1	Sa2	Sa3	Sa4	Sa5	Sa6	Sa7	Sa8	Sa9	Sa10	Sb0	Sb1	Sb2	Sb3	Sb4	Sb5	Sb6	Sb7	Sb8	Sb9	Sb10
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
5	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
6	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
7	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
8	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
9	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
10	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
11	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
12	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
13	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0
14	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0
15	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0
16	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0
17	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0
18	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0
19	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0
20	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0
21	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0
22	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0
23	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
24	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0
25	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0
26	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0

図 5.3.7 素数を用いた DA 変換器回路の全ての SW 状況

全ての自然数が二つの素数の和で表示されない。しかし、デジタル入力が偶数の場合、

二つの素数の和で表示できる。例えば $20=13+7$ 、 $22=11+11$ 、 $24=13+11$ 、 $26=13+13$

$28=17+11$ 、 $30=17+13$

素数の場合：デジタル入力が 0-30（偶数だけ）までの場合、接続する SW が図 5.3.8

である。全ての SW の状況は図 5.3.9 である。

デジタル入力	B4	B3	B2	B1	B0	素数和	Sa	Sb
0	0	0	0	0	0	0+0	0	0
2	0	0	0	1	0	2+0	2	0
4	0	0	1	0	0	2+2	2	2
6	0	0	1	1	0	5+1	4	1
8	0	1	0	0	0	5+3	4	3
10	0	1	0	1	0	7+3	5	3
12	0	1	1	0	0	11+1	6	1
14	0	1	1	1	0	13+1	7	1
16	1	0	0	0	0	13+3	7	3
18	1	0	0	1	0	17+1	8	1
20	1	0	1	0	0	19+1	9	1
22	1	0	1	1	0	19+3	9	3
24	1	1	0	0	0	23+1	10	1
26	1	1	0	1	0	23+3	10	3
28	1	1	1	0	0	23+5	10	4
30	1	1	1	1	0	23+7	10	5

図 5.3.8 デジタル入力が偶数、素数を用いた DA 変換器回路の接続する SW 状況

デジタル入力	Sw0	Sw1	Sw2	Sw3	Sw4	Sw5	Sw6	Sw7	Sw8	Sw9	Sw10	Sw11	Sw12	Sw13	Sw14	Sw15	Sw16	Sw17	Sw18	Sw19	Sw20
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
6	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
8	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
10	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
12	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
14	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
16	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
18	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
20	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
22	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
24	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
26	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
28	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
30	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

図 5.3.9 デジタル入力が偶数、素数を用いた DA 変換器回路の全ての SW 状況

第六章 まとめ

この論文では整数論を用いた AD/DA 変換器設計の研究・新しいアルゴリズムを提

案しシミュレーション検証した。今後はデコーダを設計して、高精度、高変換スピード

の変調器への適用を検討し、シミュレーションしていく。また、実機的设计・検証も行っていく。

参考文献

- 【1】 数はふしぎ 読んだら人に話したくなる数の神秘 横浜国立大学教授 今野紀雄
- 【2】 LTspice で学ぶ電子回路 第3版 渋谷道雄
- 【3】 A-D コンバータ活用ノート 河合一
- 【4】 アナログ電子回路入門 高木茂孝
- 【5】 Design of Analog CMOS Integrated Circuits Behzad Razavi
- 【6】 ROHM 「ADC 基本形」 (最終閲覧日: 2019年09月17日)

https://www.rohm.co.jp/electronics-basics/ad-converters/ad_what3

- 【7】 A/D D/A 変換回路入門 第三版 相良岩男
- 【8】 アナログ RF CMOS 集積回路設計 [基礎編] 松澤 昭 (著), STARC 教育推進室 (監修), 浅田 邦博 松澤 昭 (共著)
- 【9】 Microsoft 「逐次比較型 ADC(1)」 2008年 (最終閲覧日: 2019年12月4日)

[http://www.a-r-tec.jp/SAADC.pdf#search=%E9%80%90%E6%AC%A1%E6%AF%94%E8%BC%83%E5%9E%8Bad%E5%A4%89%E6%8F%9B'](http://www.a-r-tec.jp/SAADC.pdf#search=%E9%80%90%E6%AC%A1%E6%AF%94%E8%BC%83%E5%9E%8Bad%E5%A4%89%E6%8F%9B)

【10】 東京工業大学 大学院理工学研究科 松澤昭 「A/D 変換器と設計の基礎」

2007.08.1 (最終閲覧日 : 2019 年 12 月 10 日)

http://www.ssc.pe.titech.ac.jp/publications/2008/summerschool_matsu.pdf#search='%E5%AE%B9%E9%87%8F%E5%9E%8Bad'

【11】 群馬大学協力研究員 東京電機大学非常勤講師 中谷 隆之 「アナログ基礎 :

AD/DA 編」 2018 年 6 月 6 日 (最終閲覧日 : 2018 年 2 月 24 日)

<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/2018-6-6adda.pdf#search='%E3%82%AD%E3%83%A3%E3%83%91%E3%82%B7%E3%82%BF+ad'>

【12】 群馬大学工学部 電気電子工学科 ○小川智彦 小林春夫 高橋洋介 傘昊

武蔵工業大学 知識工学部情報ネットワーク工学科 堀田正生 「冗長性をもった逐次比較近似AD変換アルゴリズム-比較器 2 個の場合-」 (最終閲覧日 : 2018 年 7 月 9 日)

<https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/SAR.pdf>

【13】 群馬大学大学院 理工学府 新井 宏崇 「微小信号測定用 SAR ADC での冗長性

度合いの検討」 2018 年 3 月 2 日 (最終閲覧日 : 2019 年 12 月 10 日)

<https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2017/etg18-65.pdf>

【14】 国立情報学研究所 「電荷再配分による逐次比較形 MOS ・ A/D 変換器と精度限界」 (最終閲覧日 : 2019 年 12 月 24 日)

https://dbnst.nii.ac.jp/view_image/892/2350?height=1084&width=604

- 【15】 TEXAS INSTRUMENTS 「電荷再分配式 SAR-ADC の動作」 2009 年 （最終閲覧日：2019 年 10 月 21 日）

<http://www.tij.co.jp/jp/lit/an/jajt017/jajt017.pdf#search=%E5%86%8D%E9%85%8D%E5%88%86%E9%80%90%E6%AC%A1%E6%AF%94%E8%BC%83%E5%9E%8BAD%E5%A4%89%E6%8F%9B%E5%99%A8>

- 【16】 群馬大学 工学研究科 電気電子工学専攻 清水 一也 「自己校正形高精度 MOS・A/D 変換器の調査」（最終閲覧日：2020 年 1 月 21 日）

<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/2012-07self-compensation.pdf#search=%E5%86%8D%E9%85%8D%E5%88%86%E9%80%90%E6%AC%A1%E6%AF%94%E8%BC%83%E5%9E%8BAD%E5%A4%89%E6%8F%9B%E5%99%A8>

- 【17】 maxim integrated 「SAR ADC について理解する：アーキテクチャ、および他の ADC との比較」 2017 年 （最終閲覧日：2019 年 08 月 20 日）

<https://www.maximintegrated.com/jp/design/technical-documents/tutorials/1/1080.html>

- 【18】 「アナログ回路とデジタル回路」 2011 年 2 月 10 日 （最終閲覧日：2020 年 01 月 13 日）

<http://www.mech.tohoku-gakuin.ac.jp/rde/contents/course/mechatronics/anadigi.html>

【19】 「3-2. 抵抗分圧回路」(最終閲覧日：2018年05月12日)

https://www.kairo-nyumon.com/resistor_divider.html

【20】 群馬大学 澁谷将平 荒船拓也 小林佑太朗 小林春夫 「黄金比重み付け DAC の
検討」 (最終閲覧日：2020年01月24日)

[https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2015/20150625-2shibuya.pdf#search='抵抗型
DAC+冗長型'](https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2015/20150625-2shibuya.pdf#search='抵抗型DAC+冗長型')

【21】 フリー百科事典『ウィキペディア (Wikipedia)』(最終閲覧日：2020年01月17
日)

<https://ja.wikipedia.org/wiki/%E5%A4%9A%E8%A7%92%E6%95%B0>

謝辞

本研究を進めるにあたり、群馬大学理工学府小林春夫教授より数々のご指導、ご鞭撻賜りましたことをここに厚く御礼申し上げます。2年間でいただいた懇切丁寧なご助言は本研究を適切な方向に導いてくださり、こうした成果を得ることができました。また研究発表や技術研修、講演会など様々な機会を何度もくださり、多くの面で成長することができました。心より感謝いたします。桑名杏奈助教には研究生生活から就職活動まで手助けいただきました。この間でしたがお世話になり、心より感謝いたします。客員

教授であられる三木隆博先生, 浅見幸司先生, 源代裕治先生, 小堀康功先生, 久保和良先生には授業、アドバイスや講演会等で様々な電子回路の基礎をご教授いただきました。心より御礼申し上げます。

群馬大学小林研究室に入学した後、研究初期より成功と発展の可能性が小さい提案であると指摘され、最初は“趣味”だけの本研究は多くの人々に支えられ、たくさんの成果を残すことができました。本研究を支えてくださった全ての人に心より感謝申し上げます。誠にありがとうございました

研究業績

国際学会発表

- 【1】 Yukiko Shibasaki, Koji Asami, Anna Kuwana, Kosuke Machida, Yuanyang Du, Akemi Hatta, Kazuyoshi Kubo and Haruo Kobayashi, "Crest Factor Controlled Multi-Tone Signals for Analog/Mixed-Signal IC Testing", 3rd International Test Conference in Asia, Tokyo (Sept. 2019).
- 【2】 Yujie Zhao, Yuanyang Du, Yuki Ozawa, Yuto Sasaki, Anna Kuwana, Haruo Kobayashi, Takayuki Nakatani, Kazumi Hatayama, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa "Examination of ADC Histogram Test Time Reduction Method"

- [3]** Yujie Zhao, Anna Kuwana, Yuanyang Du, Yuki Ozawa, Yuto Sasaki, Haruo Kobayashi, Takayuki Nakatani, Kazumi Hatayama (Gunma Univ.), Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa (ROHM Co., Ltd.)"Examination of Input Signal to Reduce ADC Histogram Test Time"
- [4]** Yukiko Shibasaki, Koji Asami, Anna Kuwana, Kosuke Machida, Yuanyang Du, Akemi Hatta (Gunma Univ.), Kazuyoshi Kubo (NIT(KOSEN), Oyama College), Haruo Kobayashi (Gunma Univ.) "Study on Multi-tone Signals for RF/Analog/Mixed-Signal IC Testing"
- [5]** (invited) Haruo Kobayashi, Jiang-Lin Wei, Masahiro Murakami, Jun-ya Kojima , Nene Kushita, Yuanyang Du, Jianlong Wang"Performance Improvement of Delta-Sigma ADC/DAC/TDC Using Digital Technique", IEEE 14th International Conference on Solid-State and Integrated Circuit Technology, Qingdao, China (Nov. 2018)
- [6]** Yukiko Shibasaki, Koji Asami, Anna Kuwana , Du Yuanyang , Akemi Hatta, Kazuyoshi Kubo and Haruo Kobayashi" Study on Multi-Tone Signals for Design and Testing of Linear Circuits and Systems"
- [7]** Hiroyuki Hagiwara, Yuanyang Du, Masahiro Murakami, Hao San, Anna Kuwana,

Haruo Kobayashi, "A Second-order DWA Algorithm for Multi-bit $\Delta\Sigma$ ADC/DAC".

- 【8】 "Second-order DWA Algorithm and Circuit Design for Multi-bit $\Delta\Sigma$ ADC/DAC"

Yuanyang Du, Hiroyuki Hagiwara, Masahiro Murakami, Hao San, Anna Kuwana and

Haruo Kobayashi Gunma University, Tokyo City University, Japan

- 【9】 "Study on Multi-tone Signals for Analog/Mixed-Signal IC Testing" Yukiko Shibasaki,

Koji Asami, Anna Kuwana, Kosuke Machida, Yuanyang Du, Akemi Hatta, Kazuyoshi

Kubo and Haruo Kobayashi Gunma University, Oyama National College of Technology,

Japan

国内学会発表・研究会発表

- 【1】 趙宇杰, 杜遠洋, 小澤祐喜, 佐々木優斗, 桑名杏奈, 小林春夫, 中谷隆

之, 畠山一実, 佐藤賢央, 石田嵩, 岡本智之, 市川保, 「ADCヒストグラムテスト時間短縮法の検討」

- 【2】 柴崎有祈子、浅見幸司、桑名杏奈、杜遠洋、八田朱美、久保和良、小林春夫、

「アナログ/ミクストシグナル IC 試験用マルチトーン信号の検討」第79回F T C
研究会、栃木喜連川（2018年7月19日（木）～21日（土））

- 【3】 柴崎有祈子、浅見幸司、桑名杏奈、町田恒介、杜遠洋、八田朱美、久保和良、

小林春夫、「アナログ回路の短時間・高品質試験用マルチトーン信号の検討」電気学会 電子回路研究会、東京、(2018年12月)

- 【4】 八田朱美、杜遠洋、柴崎有祈子、浅見幸司、久保和良、桑名杏奈、小林春

夫「余弦波マルチトーン信号、正弦波マルチトーン信号の性質と工学設計への応用」

受賞

- 【1】 ICMEMIS 201BEST STUDENT PAPER AWARD