

令和二年度 修士論文

多値 Decision Feedback Equalizer を用いた波形整形技術に基づく
高速信号伝送技術の検討

指導教員 弓仲 康史 准教授

群馬大学大学院理工学府 理工学専攻
電子情報・数理教育プログラム

T191D058 田山 大次郎

目次

第1章 緒言	3
第2章 高速信号伝送技術	5
2.1 デジタル信号の特性	5
2.2 伝送路特性と信号品質評価方法	7
2.3 波形整形技術	10
2.3.1 送信プリエンファシス	11
2.3.2 受信イコライズ	12
2.4 多値符号化技術	16
第3章 シミュレーション環境の構築	19
3.1 実測とシミュレーションの差異	19
3.2 実測 S パラメータとシミュレーション環境構築	20
第4章 Decision Feedback Equalizer による波形等化	23
4.1 DFE への PAM-4 信号の適用	23
4.2 Loop-unrolled DFE (投機型 DFE)	25
4.2.1 NRZ 信号版 Loop-unrolled DFE	25
4.2.2 PAM-4 信号版 Loop-unrolled DFE (提案法①)	27
4.3 Unclocked DFE	29
4.3.1 NRZ 信号版 Unclocked DFE	29
4.3.2 PAM-4 信号版 Unclocked DFE (提案法②)	32
第5章 各種 Decision Feedback Equalizer による波形等化の性能評価	34
5.1 PAM-4 信号版 DFE を用いた波形等化の効果比較	34
5.2 Loop-unrolled DFE (投機型 DFE) を用いた波形等化の効果比較	37
5.2.1 NRZ 信号版 Loop-unrolled DFE	37
5.2.2 PAM-4 信号版 Loop-unrolled DFE (提案法①)	41
5.3 Unclocked DFE を用いた波形等化の効果比較	43
5.3.1 NRZ 信号版 Unclocked DFE	43
5.3.2 PAM-4 信号版 Unclocked DFE (提案法②)	45
第6章 結言	47
参考文献	48
謝辞	48

第1章 緒言

近年、大規模集積回路(VLSI:Very Large Scale Integration)におけるトランジスタの微細化により高速動作が可能となり、チップ内/間の電気配線等における高速信号伝送の重要性が高まっている。しかし、それに伴い基板・配線等の伝送線路が有する寄生素子に起因する帯域制限の影響が顕在化しており、信号波形の劣化やノイズの混入の影響を受けて、受信信号波形のデータ判別が困難となり、データエラーを引き起こす問題が生じている。したがって、VLSI システム全体の動作速度が伝送線路により律速されてしまう。

このような問題は、VLSI システムの情報伝送において一般的に用いられている高速デジタル信号が多くの高周波成分を有しているのに対し、集積回路基板上の伝送線路が高周波成分を遮断するローパスフィルタ(LPF:Low Pass Filter)として振舞うことによって、伝送された信号の高周波成分が減衰し、伝送波形を劣化させることが原因となっている。その結果、信号の伝送速度が制限され、電気配線により VLSI システム全体の性能が制限されてしまう。今後、さらなる通信量の増大および伝送レートの高高速化が予想されるが、それに伴い、伝送線路の帯域制限に起因する信号波形劣化の問題がより一層深刻化すると予想される。

VLSI システムの配線に起因する高速信号伝送における伝送波形の劣化への対策として、損失の少ない伝送線路の使用や、一度に伝送する情報量を増大させ信号の伝送速度を抑える多値符号化技術、信号処理により劣化波形を補償する波形整形技術の適用が挙げられる。しかしながら、損失が少ない伝送線路は製造コストが高いため、VLSI システム全体のコストが大きく上昇してしまう。したがって、波形整形技術である波形等化回路が広く用いられており、伝送線路によって失われてしまう信号の高周波成分を送信側において予め強調する送信プリエンファシス技術や、受信側で劣化した波形を補正する受信イコライズ技術が提案され、実用化されている。しかし、これらの等化技術は、伝送線路が有するローパスフィルタ特性を打ち消すハイパスフィルタ特性を有しており、波形整形時に高周波ノイズ成分までも増幅してしまうという問題がある。

これに対し、受信側の受信イコライズ技術である判定帰還型等化器 (DFE:Decision Feedback Equalizer) は、回路中のコンパレータにおける劣化信号の量子化により、ノイズ成分を強調しない特徴を有する等化器であり、有効な波形整形技術として用いられている。一方で、その回路構成としてフィードバックループを有しているため、今後の

伝送レート的高速化に伴う回路規模の増大や消費電力の増加に対し、新規の回路構成が必要になると考えられる。

以上のような背景により、多値符号化技術として、従来の[0, 1]の2値信号を2ビット同時に4レベル[0, 1, 2, 3]の信号で表現することによって情報密度を向上させ、伝送する情報量を減少させることなく伝送速度を2値信号の1/2に抑えることが可能なPAM-4信号(PAM:Pulse Amplitude Modulation)が注目されている。また、波形整形技術として、従来型のDFEのフィードバックループを展開した構成の投機型DFE(Loop-unrolled DFE) [1]、クロックを用いない連続時間のUnclocked DFE[2][3]に基づく等化技術が近年注目されている。これらの等化回路は、従来型のDFEにおけるフィードバックループによる時間制約を緩和できる新規な等化回路構成である。

本研究では、従来DFE、投機型DFE(Loop-unrolled DFE)、Unclocked DFEへのPAM-4信号の適用を新たに提案・検討し、時間制約を緩和させるための等化回路設計を行う。さらに、各種DFEおよび多値符号化技術(PAM-4信号)の融合による技術と、波形等化を行わない場合や従来DFEによる波形等化との比較を行い、提案法が、帯域制限による符号間干渉の影響を軽減可能で高速信号伝送に有効であることを明らかにする。

本論文は、以下のように構成されている。

第1章は緒言であり、本研究の背景、目的について述べる。

第2章では、高速信号におけるデジタル信号の特性、伝送路が信号波形に与える影響、波形整形技術および多値符号化技術について述べる。

第3章では、本研究で用いたシミュレーション環境について述べる。

第4章では、Decision Feedback Equalizerを用いた波形等化の問題点に対し、新たな構成法について述べる。

第5章では、各種Decision Feedback Equalizerを用いた波形等化回路のシミュレーション結果について述べる。

第6章は結言であり、本論文をまとめる。

第2章 高速信号伝送技術

2.1 デジタル信号の特性

集積回路システムの信号伝送において、一般に用いられるデジタル信号は[0, 1]の2値信号によって表現される。デジタル信号の例として、0と1を伝送レート1[Gbps]で繰り返す矩形波信号の時間波形とその周波数スペクトルを図2-1、2-2に示す。

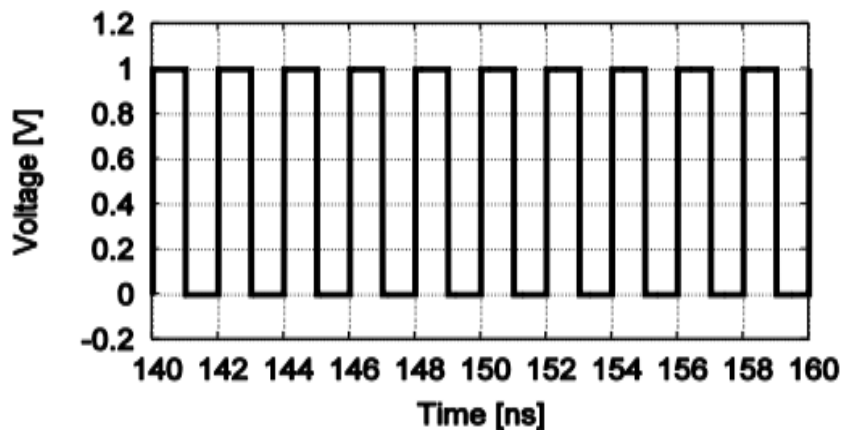


図 2-1 伝送レート 1[Gbps]の矩形波の時間波形

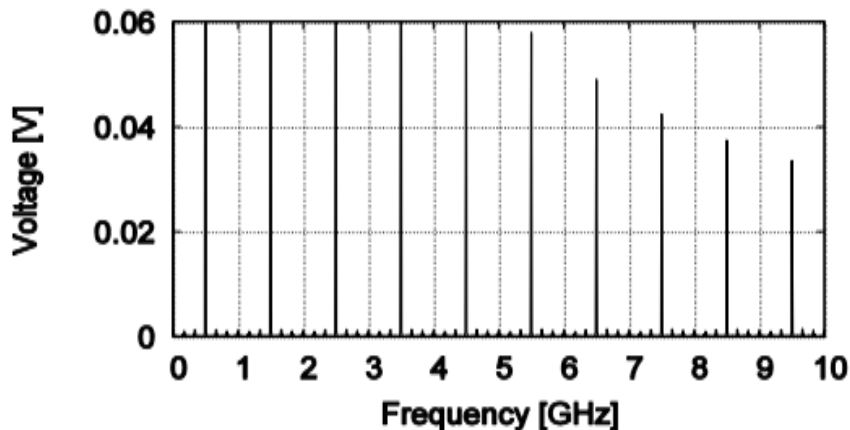


図 2-2 伝送レート 1[Gbps]の矩形波の周波数スペクトル

図 2-2 より、1[Gbps]の矩形波は 500[Mbps]の基本周波数（ナイキスト周波数）とその奇数倍の高周波成分により構成されていることがわかる。

また、この矩形波をフーリエ級数展開すると式 (2-1) のように表される。

$$f(x) = \sum_{n=1}^{\infty} \frac{2}{\pi} * \frac{\sin(2n - 1) x}{2n - 1}$$

$$= \sin\omega t + \frac{1}{3} \sin\omega t + \frac{1}{5} \sin\omega \dots (\omega = 2\pi f) \quad (2-1)$$

式 (2-1) より、基本波とその奇数倍の高周波成分の合成によって矩形波が構成されていることが確認できる。このように、デジタル信号波形には、複数の周波数成分が含まれている。

実際のデジタル信号伝送は、図 2-3 のような系列長の異なる矩形信号がランダムに変化する波形によって行われる。このようなランダムな波形を生成するために、デジタル信号伝送のシミュレーションには疑似ランダムバイナリ系列 (PRBS: Pseudo Random Binary Sequence) が一般的に用いられる。PRBS は図 2-4 のように D フリップフロップ (D-FF) と排他的論理和 (EXOR) から構成される回路により生成される。生成された PRBS の周波数スペクトルは図 2-5 のようになっており、図 2-2 のような同じ系列を繰り返す矩形波のスペクトルと比較して広帯域に高周波成分を含んでいることが分かる。データレートと同じ周波数とその整数倍にノッチ点を有する。

高速信号伝送において信号波形が劣化するのは、このランダム信号の広帯域な高周波成分が伝送路の LPF 特性によって失われるためである。

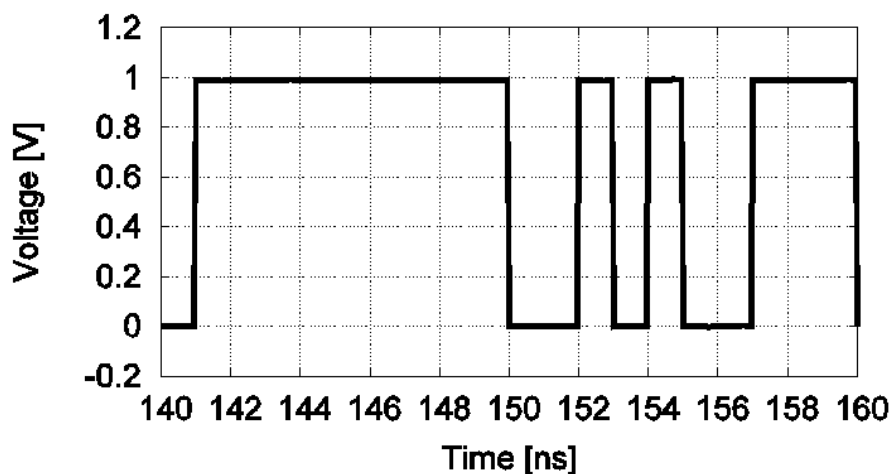


図 2-3 1[Gbps]のランダム信号の時間波形

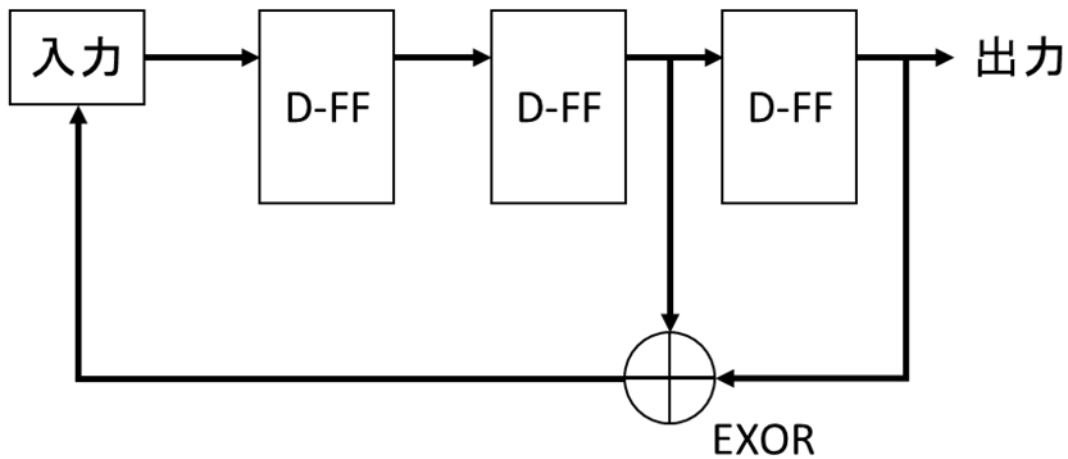


図 2-4 PRBS 信号生成回路

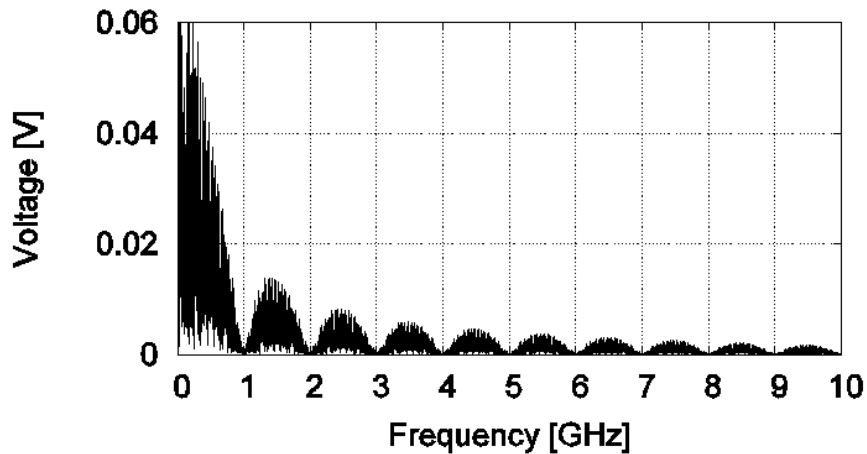


図 2-5 1[Gbps]の PRBS 信号の周波数スペクトル

2.2 伝送路特性と信号品質評価方法

VLSI システムの基板上などにおいて電気信号を送受信する際には配線等の伝送線路を通過する。伝送線路は図 2-6 のような回路に近似され、伝送路が有する抵抗・インダクタンス・キャパシタンスの成分は寄生素子と呼ばれている。この寄生素子の影響によって伝送線路は図 2-7 のような LPF 特性を有する。LPF は高周波成分を減衰させるため、信号の伝送レートに対して伝送線路が十分な帯域を有している場合には送信信号の減衰量は少ないが、伝送レートの高速化に伴い伝送線路の帯域制限の影響が大きくなり信号波形の減衰量が大きくなる。このような状況下では、劣化した信号波形が隣接したビットに干渉し、図 2-8 のように 0 と 1 の判別が困難となりデータエラーを引き起こす。

これを符号間干渉 (ISI : Inter Symbol Interference) と呼び、信号伝送速度が伝送路により律速され高速化を制限する大きな要因となっている。

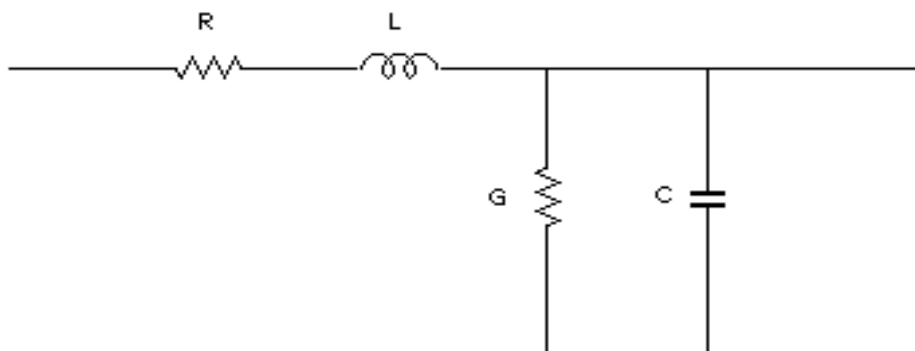


図 2-6 伝送線路の近似回路

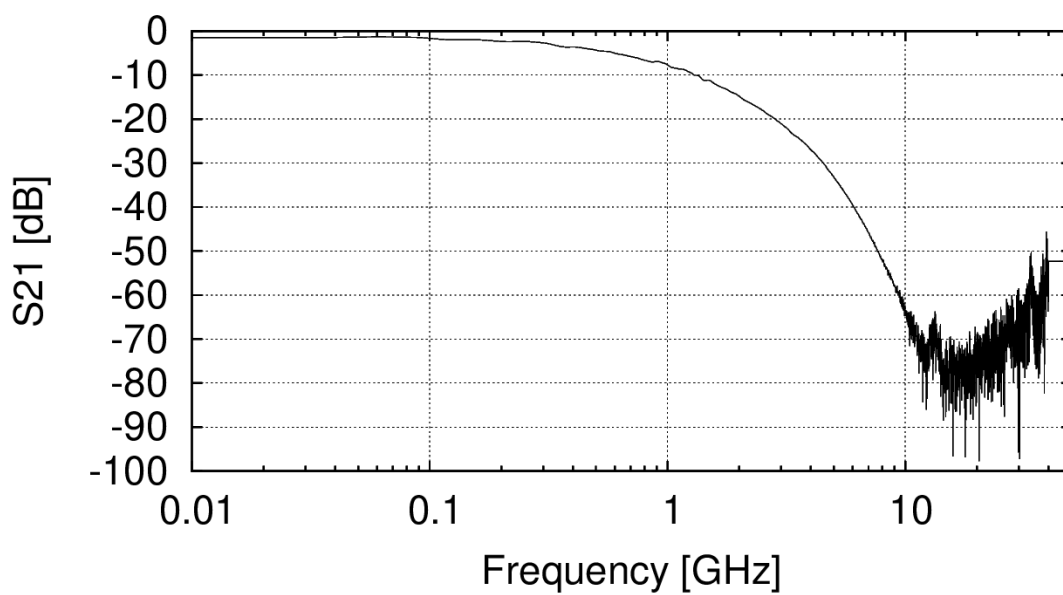


図 2-7 伝送線路の周波数特性

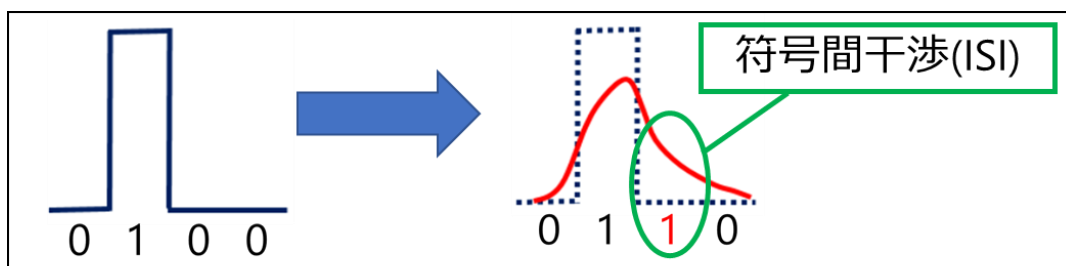


図 2-8 符号間干渉

本研究では、伝送路の影響および波形等化による信号品質評価の手法としてアイパターンによる評価を用いた。アイパターンとは、信号波形を一定の区間で多重サンプリングし、それらを重ね合わせて描画することで信号波形が目 (Eye) のようになる。このアイの開きの大きさにて伝送信号の品質を評価する手法である。例えば、符号間干渉の影響が大きいほどアイの開きは小さくなり、伝送品質の低い信号と評価できる。

アイパターンを用いた信号品質の評価は、アイの開きという視覚的・直感的な評価が可能となるだけでなく、振幅方向の開き (EYE-Height) と時間方向 (EYE-Width) により、ノイズマージン、ジッタの影響等の定量的な信号品質の評価も可能である (図 2-9)。

本研究では、アイパターンを用いて信号振幅方向の開き具合を開口率式 (2-2) として算出した。これにより、信号振幅の異なる信号でも同様の評価が可能となる。

$$\text{開口率(\%)} = \frac{\text{EYE-Height(V)}}{\text{信号振幅(V)}} \quad (2-2)$$

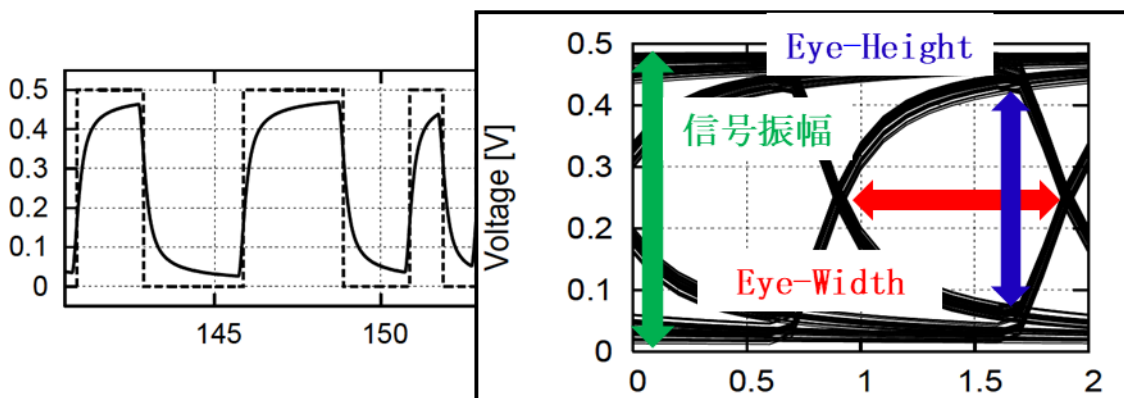


図 2-9 アイパターンによる信号品質評価

2.3 波形整形技術

伝送線路の帯域制限に起因する受信信号波形の劣化への対策として、波形整形技術が用いられている。信号処理による波形整形技術は、信号伝送の送信側で行う手法である送信プリアンファシス（図 2-10）と受信側で行われる手法である受信イコライズ（図 2-11）に大別される。波形整形技術は、伝送線路の逆特性の周波数特性を持たせることによって送受信回路及び伝送線路の系全体の周波数特性をフラットにし、帯域制限による劣化波形を補償する等化技術に基づく。

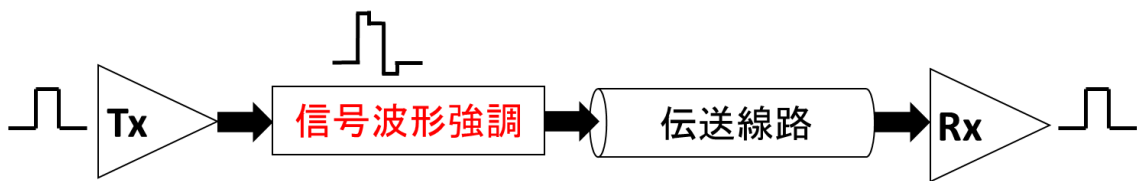


図 2-10 送信プリアンファシス概略図

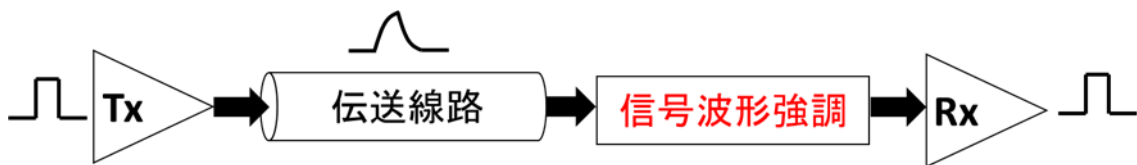


図 2-11 受信イコライズ概略図

2.3.1 送信プリエンファシス

伝送線路の周波数特性に応じて、あらかじめ送信側で送信波形に高調波成分を強調して伝送する信号処理技術を送信プリエンファシスと呼ぶ。一般に、送信プリエンファシスとしてはFFE (Feed forward equalizer) が用いられている。このFFEの構成は図2-12のように、まず入力信号を分岐し1ビットずつ遅延させる。次に、分岐して遅延したそれぞれの信号に、乗算器を用いてタップ係数を掛け重みづけを施し、それらを加算することによって高周波成分を強調した信号を生成する。入力信号を伝送路特性に応じて強調することで、伝送線路を通過した波形の符号間干渉を除去して補償する。

ここで、図2-12の τ は1ビット遅延を表し、 C_{-1} 、 C_0 、 C_1 はそれぞれプリカーソル、メインカーソル、ポストカーソルといい、これらがタップ係数に当たる。各タップ係数は、ゼロフォースソリューション(ZFS: Zero Forcing Solution)を用いることにより決定する。ゼロフォースソリューションとは、伝送線路におけるインパルス応答を用い、そのメインカーソルに対して、プリカーソルおよびポストカーソルの符号間干渉をゼロにする手法である。これにより、タップ係数には以下の式(2-3)の関係が成り立つ。

$$\sum_n |C_n| = 1 \quad (2-3)$$

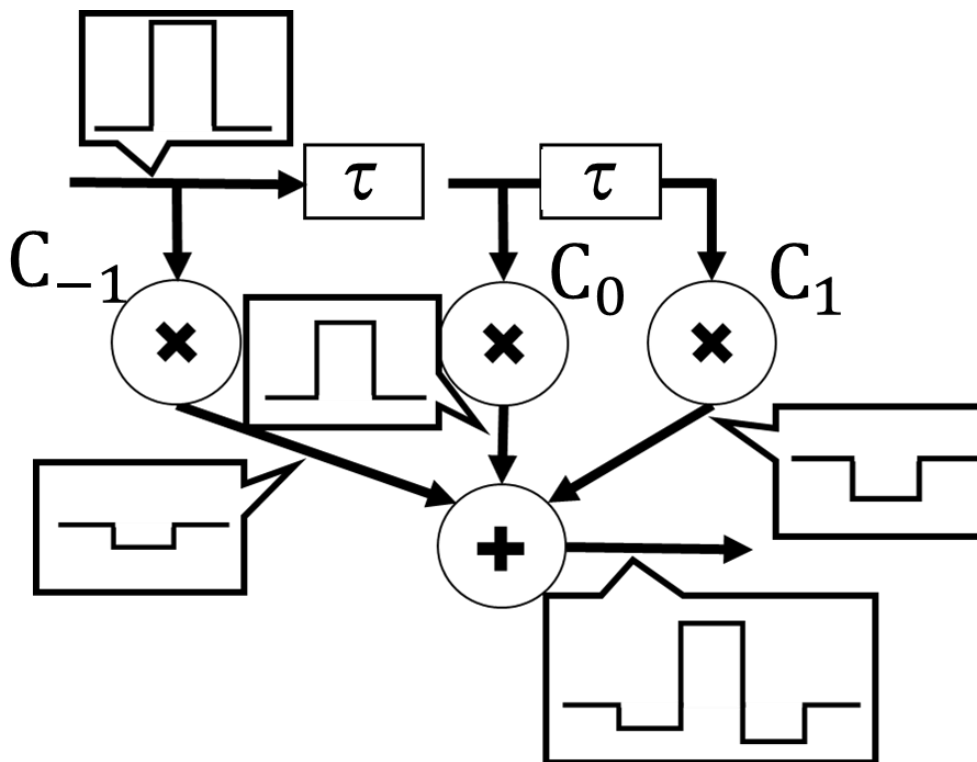


図 2-12 FFE 回路構成

2.3.2 受信イコライズ

受信側の波形整形技術である受信イコライズとして、線形回路を用いて波形を整形する線形等化器と非線形処理を用いた非線形等化器がある。

2.3.2.1 線形等化器

受信側の線形等化器の代表的なものとして、連続時間線形等化器 (CTLE: continuous time linear equalizer) がある (図 2-13)。伝送線路が有する LPF 特性に対して HPF (High pass filter) を構成することにより、図 2-14 のように全体の周波数特性をフラットにし、符号間干渉の影響を軽減する。連続時間線形等化器はアナログ回路でされるアクティブイコライザであり、後述する判定帰還型等化器と比較して設計が容易で高速動作が可能である。しかし、高周波成分を強調する HPF 特性により、ノイズ成分を含めて信号が強調されてしまうため、伝送線路を通過して信号振幅が減衰した信号を補正するには限界がある。

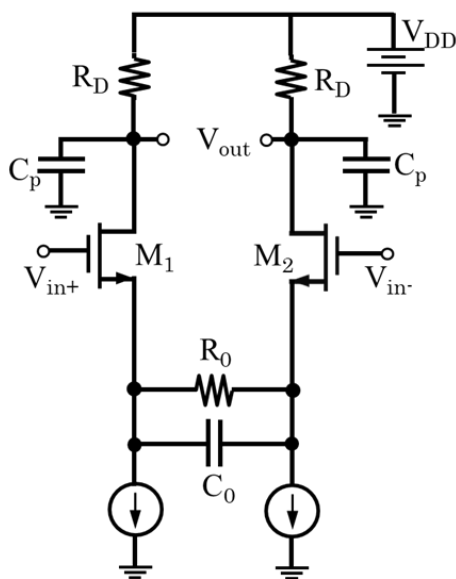


図 2-13 CTLE (アクティブイコライザ) 回路構成

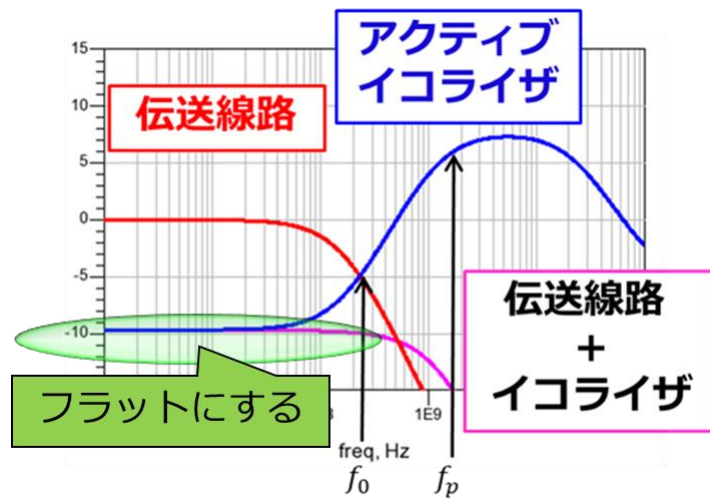


図 2-14 線形等化器を用いた伝送路特性の補正（零点周波数 f_0 、極周波数 f_p ）

2.3.2.2 非線形等化器

非線形等化器の代表的なものとして、図 2-15 に示す判定帰還型等化器 (DFE: Decision Feedback Equalizer) がある。判定帰還型等化器 (DFE) は、過去の信号の判定値をもとに伝送線路を通過した波形の符号間干渉を除去し補償する等化器である。劣化した信号をコンパレータで閾値より大きければ 1、小さければ 0 の量子化されたパルス信号として出力し、それを 1 ビットずつ遅延した信号にして、乗算器を用いてタップ係数 (マイナス値) を掛け、それらをフィードバックして伝送線路を通過した劣化波形と加算することによって符号間干渉を取り除く。

DFE の原理図を図 2-16 に示す。DFE のタップ係数は、伝送線路に単一パルスを入力し出力された劣化信号のピーク点から 1 ビットずつずらした点での信号振幅をもとに決定する。これによりイコライズされた信号は ISI が除去されていることが分かる。

DFE の利点としては、コンパレータを用いた非線形等化により、ノイズを増幅することなく波形整形が可能なことである。

しかし、波形等化を行うための加減算のフィードバックループは、1 シンボル以内に動作する必要がある。これにより、適応可能な信号速度が制限されてしまう。DFE は、この速度制限が克服すべき課題となっている。

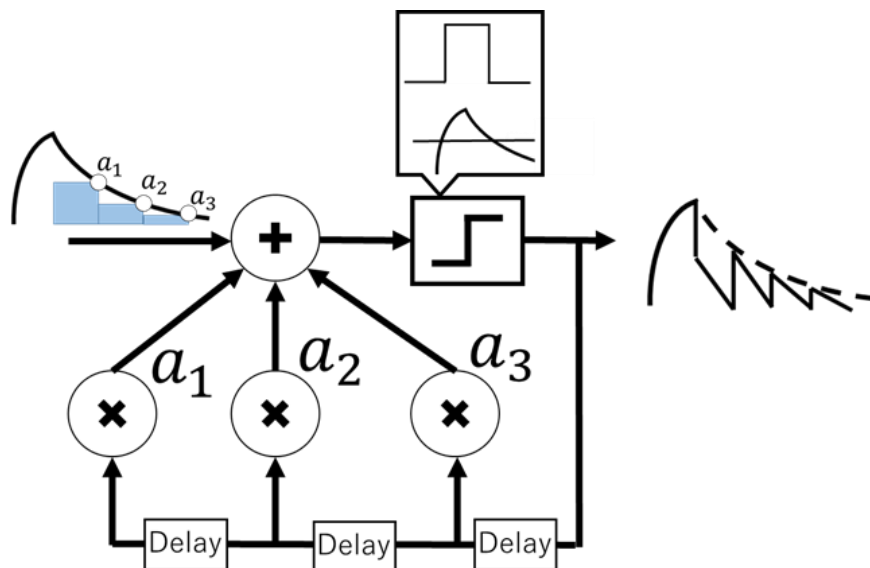


図 2-15 非線形等化器 (DFE) の構成図

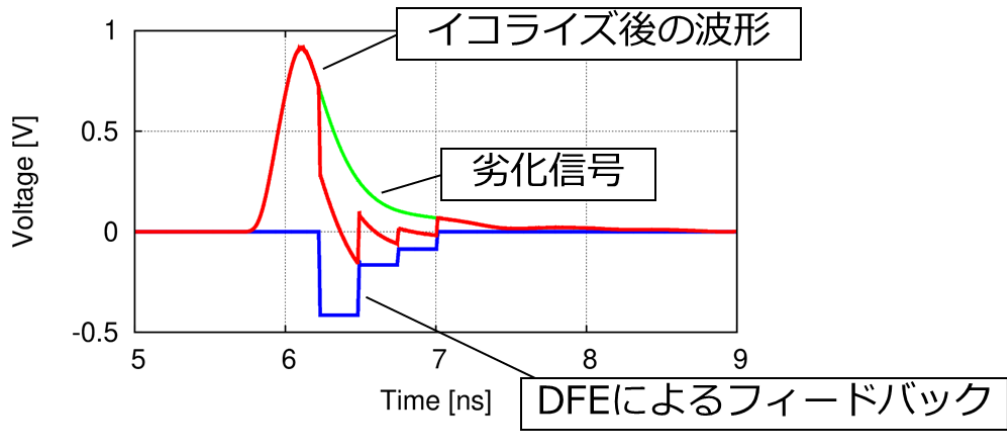


図 2-16 DFE による波形等化

2.4 多値符号化技術

2.3 節において信号処理による波形整形技術について述べたが、伝送線路の帯域制限に起因する波形劣化対策として、多値符号化技術も近年注目され、実用化されている。多値符号化技術とは、従来の[0, 1]の2値レベルで情報を表現する方式に対して、複数のビットを一つのシンボルで表現することによって情報量を増大させ、伝送速度を抑える技術である。本研究では、振幅方向で多値レベルを表現するPAMを用い、特に図2-17のように[0, 1]の2値信号の2ビットを1シンボル[0, 1, 2, 3]を用いて表現するPAM-4（4値信号）を用いた。

PAM-4信号の例として、1[Gbps]の2値信号（図2-18）を4値化した時間応答波形（図2-19）と、伝送線路を通過させた際のアイパターン（図2-20）および周波数スペクトル（図2-21）を示す。

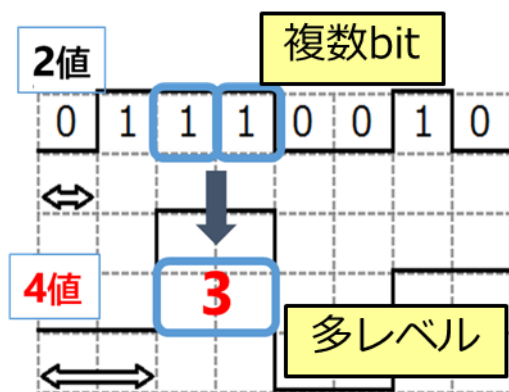


図 2-17 PAM-4 信号（4 値信号）の表現方法

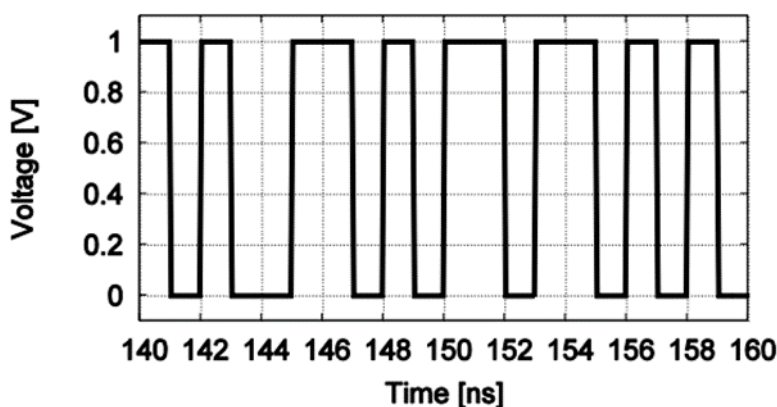


図 2-18 2 値信号の時間応答波形

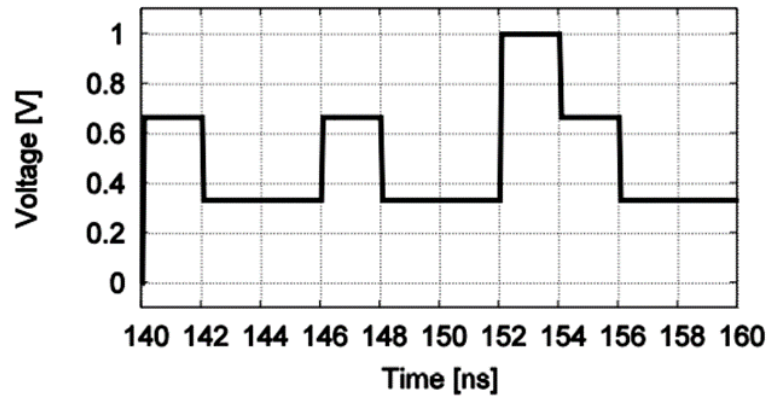


図 2-19 PAM-4 信号 (4 値信号) の時間応答波形

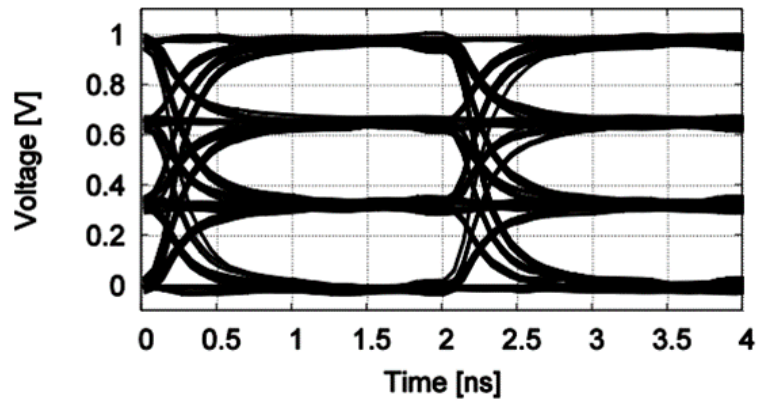


図 2-20 PAM-4 信号 (4 値信号) の伝送線路通過後のアイパターン

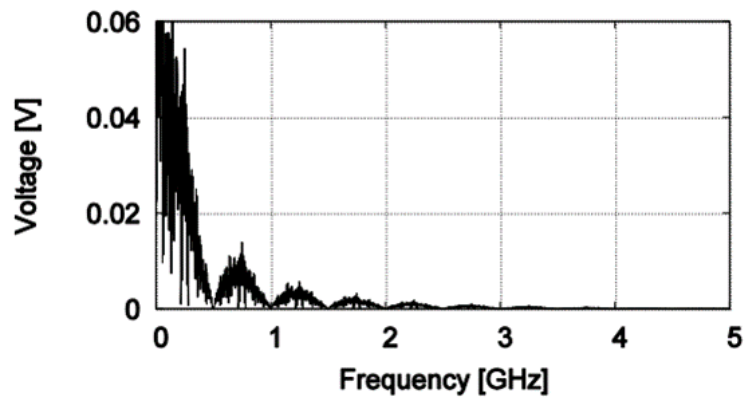


図 2-21 PAM-4 信号 (4 値信号) の周波数スペクトル

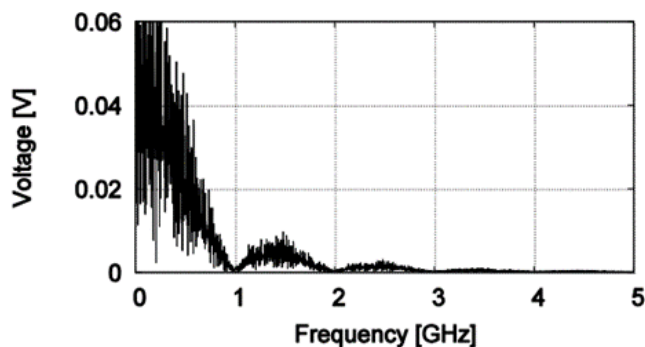


図 2-22 2 値信号の周波数スペクトル

図 2-18 と図 2-19 の比較からわかるように、PAM-4 信号は 2 値信号の 2 ビットを 1 つのシンボルとして表現するため、2 値信号の 1 ビットが 1[nsec]であるのに対し、PAM-4 信号の 1 シンボルは 2[nsec]となる。したがって、図 2-22 に示す同等の 2 値信号と比較して、伝送信号の周波数成分を半分、すなわち信号のナイキスト周波数を半分とすることができスペクトルを狭帯域化できるため、伝送線路による帯域制限の影響を軽減可能である。

また、PAM-4 信号においても、アイパターンにより、アイの開きという視覚的・直感的な評価が可能となるだけでなく、振幅方向の開き (EYE-Height) と時間方向 (EYE-Width) により、ノイズマージン、ジッタの影響等の定量的な信号品質の評価も可能となる。本研究では、アイパターンを用いて PAM-4 信号の信号振幅方向の開き具合を開口率式(2-4)として算出した。これにより、信号振幅の異なる信号でも同様の評価が可能となる。

$$\text{開口率(\%)} = \frac{\text{EYE-Height(V)}}{\text{信号振幅(V)}} \quad (2-2)$$

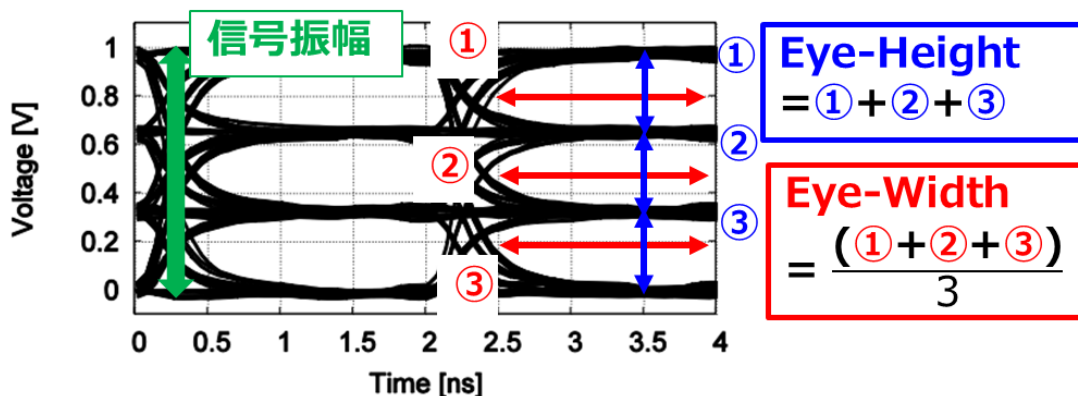


図 2-23 PAM-4 信号アイパターンによる信号品質評価

第3章 シミュレーション環境の構築

3.1 実測とシミュレーションの差異

近年の高速信号伝送においては、伝送信号が送信-受信間を通過する時間が信号の周期を上回っており、信号が伝搬する遅延時間は無視できない。そのため、回路上における各点の信号振幅、および位相が全て等しいという集中定数回路の定義が成り立たない。そこで、回路素子を有限の素子で表現するのではなく、距離方向に無限に分布していると考えられる分布定数回路の概念を用いる。

分布定数回路において、伝送線路の近似回路は図 3-1 に示す回路となる。この分布定数モデルを用いることで、伝送線路の長さ方向に沿って電流と電圧が次第に減少し、位相が遅れていくという伝送線路の特性を表現することができる。

しかし、近年の信号伝送速度のさらなる高速化により、従来の単純な伝送線路モデルでは対応できなくなってきた。その結果、シミュレーションと実際の回路における挙動の差異が顕著になるという問題が生じている。そのため、より精度の高い伝送線路の回路シミュレーションモデルが必要となっている。

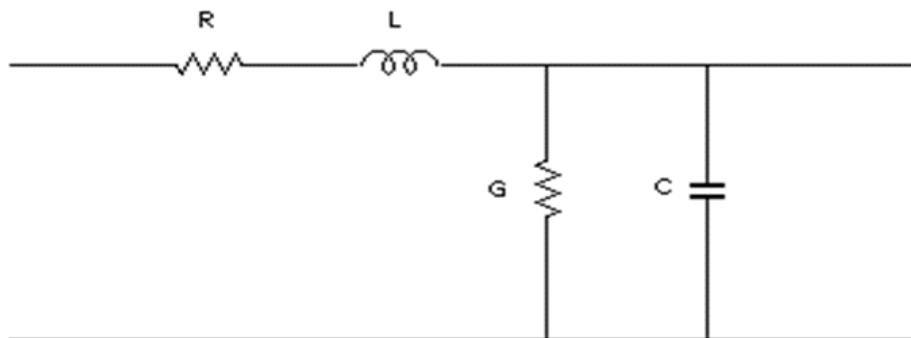


図 3-1 分布定数回路における伝送線路近似モデル

3.2 実測 S パラメータとシミュレーション環境構築

前節で述べた問題に対して、本研究では、伝送線路の周波数特性である S パラメータ (Scattering Parameter) をネットワークアナライザにより実測し、得られたデータを回路シミュレーションソフトにインポートすることで、伝送線路を用いた高速信号伝送評価を高精度に行うことを可能としたシミュレーション環境を構築した。

伝送線路特性の 1 つである S パラメータは、電気信号が入力された際に、その伝送線路がどの程度、信号を透過または反射するかを示すものである。この S パラメータの中でも、 S_{21} パラメータは伝送線路の振幅、位相特性を表現した重要なパラメータとなる (図 3-4)。

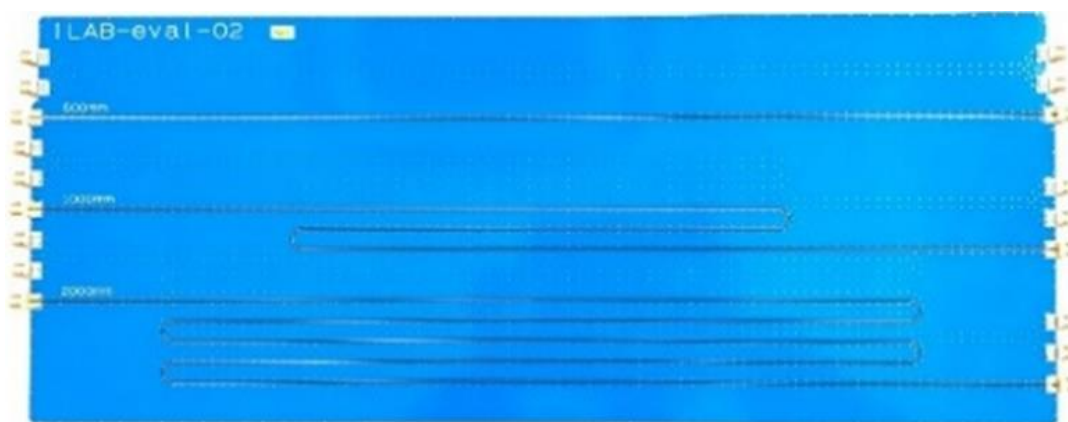


図 3-2 伝送線路モデル (小山高専 飯島准教授との共同開発)

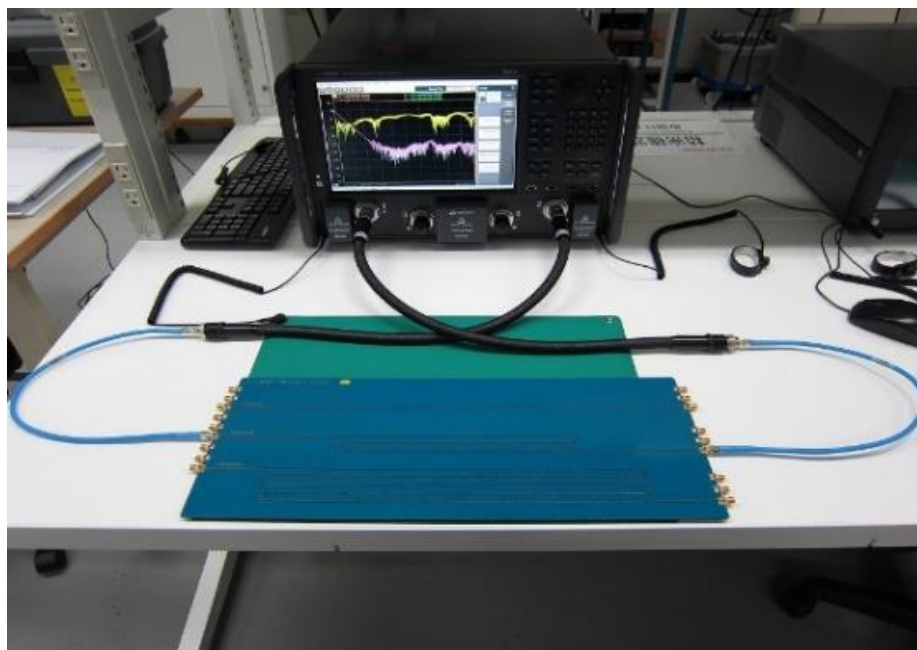


図 3-3 S パラメータ取得

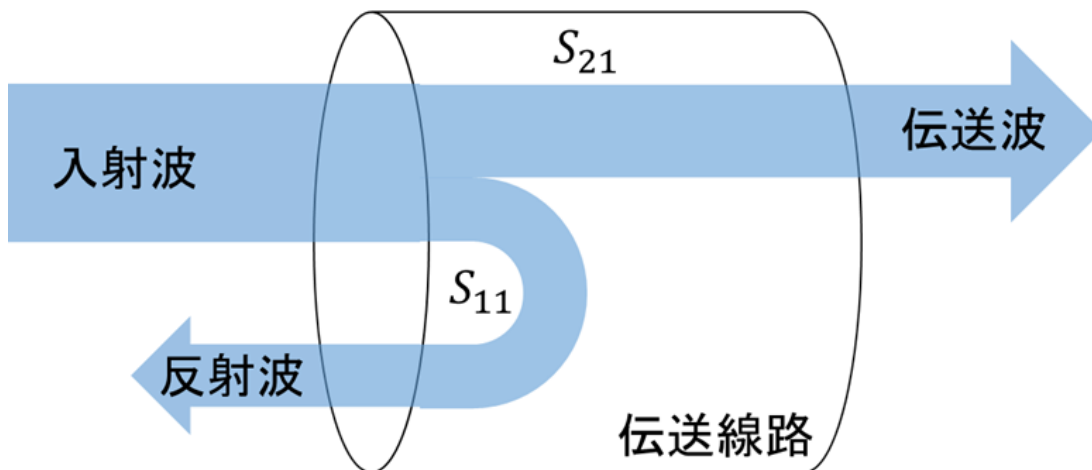


図 3-4 Sパラメータの概略図

図 3-2 に示す伝送線路評価基板に対し、図 3-3 のようにベクトルネットワークアナライザを用いて取得した S パラメータを KEYSIGHT 社の回路シミュレータ ADS (Advanced Design System) 2017 の回路素子である S2P 素子にインポートすることで、図 3-5 のように実測と差異の無い伝送線路モデルを用いた高精度な信号評価を可能とした (図 3-6, 3-7, 3-8)。また、ADS2017 はインポートした S パラメータのデータの周波数帯域がシミュレーションに不足していた場合、既知の数値データを基にしてデータを補完する機能を有しているため、S パラメータを用いた高速動作の回路シミュレーションに適している。本研究では、以上のような実伝送路をモデリングした、Co-Simulation 環境を用いて伝送信号波形の評価を行った。また、MOS モデルとしては $0.18\mu\text{m}$ CMOS テクノロジを用いた。

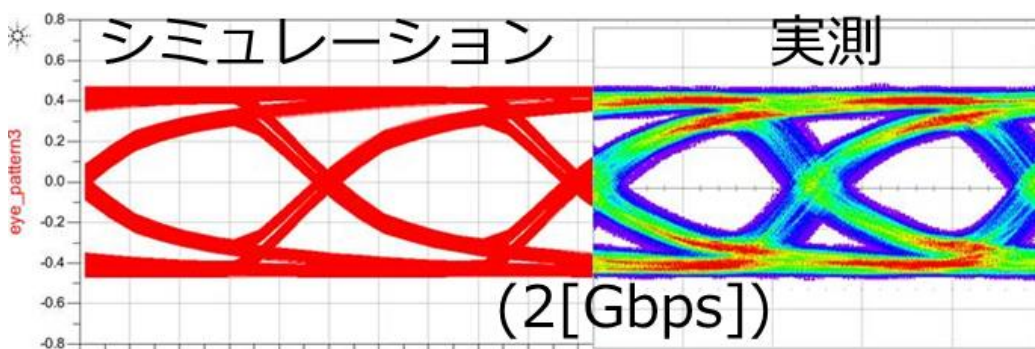


図 3-5 シミュレーションと実測のアイパターン比較

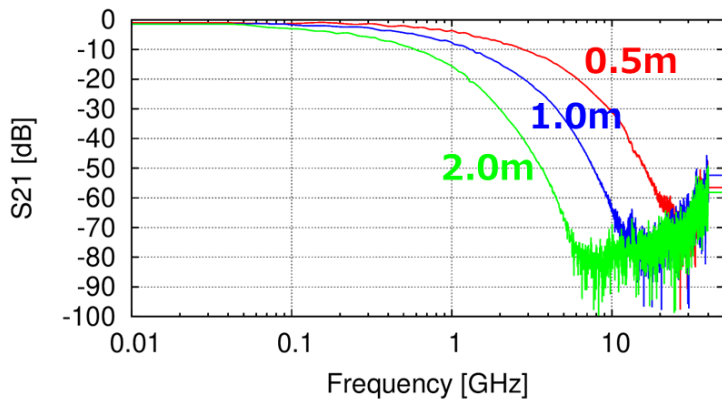


図 3-6 伝送線路データ

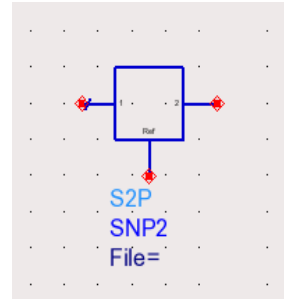
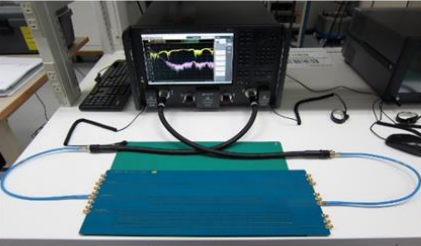
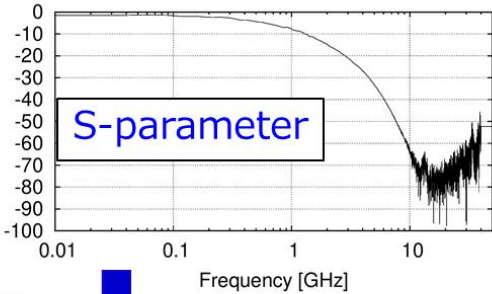



図 3-7 S パラメータ
インポート素子



実測
(Sパラメータ取得)

ベクトルネットワーク
アナライザ





回路シミュレータ
ADSにインポート

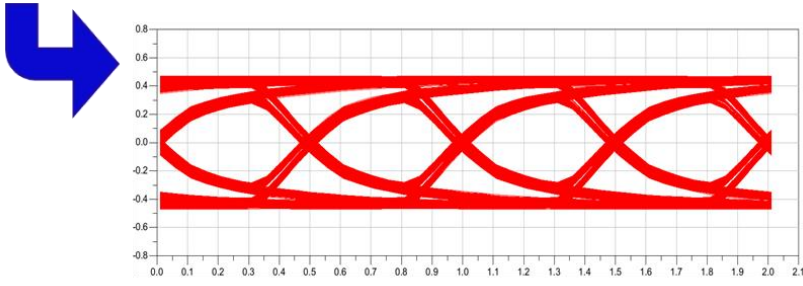


図 3-8 シミュレーションフロー

第4章 Decision Feedback Equalizer による波形等化

4.1 DFE への PAM-4 信号の適用

受信側の非線形等化器である Decision Feedback Equalizer (DFE: 判定帰還型等化器) は、その回路構成から、劣化波形補正のための加減算フィードバックループを 1 シンボル以内に動作する必要があるため、適応可能な信号速度が制限されてしまう。したがって DFE は、この速度制限が克服すべき課題であると 2 章で述べた。

これに対し、PAM-4 信号を用いることによってその速度制限を緩和させるため、従来の NRZ 信号版の DFE を応用して、PAM-4 信号版の DFE を設計した。NRZ (Non Return to Zero) 信号は、通常 $[0, 1]$ の 2 値で表現される信号に対し、 $[-1, 1]$ という「ゼロ」に復帰しない 2 値信号である。PAM-4 信号を用いることで、2 値信号よりも伝送速度を抑えてナイキスト周波数を半分にできるため、伝送線路による帯域制限の影響を軽減可能である。

PAM-4 信号版 DFE の構成を図 4-1 に示す。NRZ 信号版 DFE ではコンパレータを 1 つ用いているのに対し、PAM-4 信号版 DFE はコンパレータを 3 つ並列で用いている。これは、NRZ 信号は 2 値であるのに対し PAM-4 信号は 4 値であり、それに対応するためである。PAM-4 信号版 DFE のコンパレータ前後における時間応答波形を図 4-2 に示す。並列で用いた 3 つのコンパレータにはそれぞれ異なる閾値を持たせており、それらは 4 値の各レベルの間になるように設定した。閾値 $V_{th1}, V_{th2}, V_{th3}$ はそれぞれ $[2V, 0V, -2V]$ であり、入力された信号が閾値よりも大きい場合は $[3V, 1V, -1V]$ 、小さい場合には $[1V, -1V, -3V]$ の量子化されたパルスを出力する。時間応答波形から、コンパレータに入力された信号が 4 値に量子化されていることが分かる。

PAM-4 信号版 DFE は、伝送線路を通り劣化した信号をコンパレータで閾値をもとに 4 値に量子化されたパルス信号として出力し、それを 1 シンボルずつ遅延した信号にして、乗算器を用いてタップ係数 (マイナス値) を掛け、それらをフィードバックして伝送線路を通過した劣化波形と加算することによって符号間干渉を取り除く。

PAM-4 信号版 DFE のタップ係数は、伝送線路に単一パルスを入力し出力された劣化信号のピーク点から 1 シンボルずつずらした点での信号振幅をもとに決定する。これらの係数は図 4-1 のタップ係数 α_n に対応する。これによりイコライズされた信号は ISI が除去される。

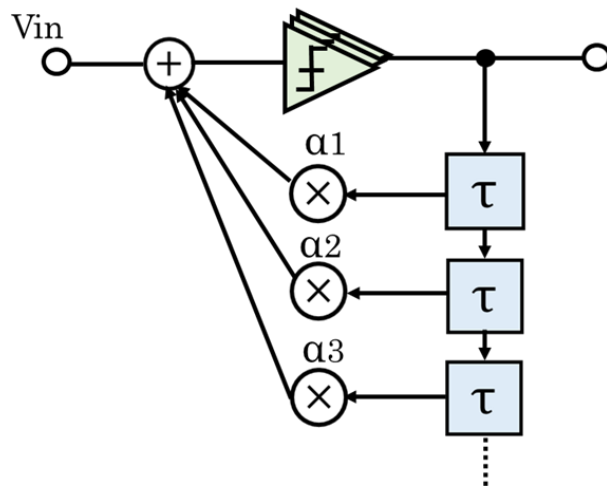
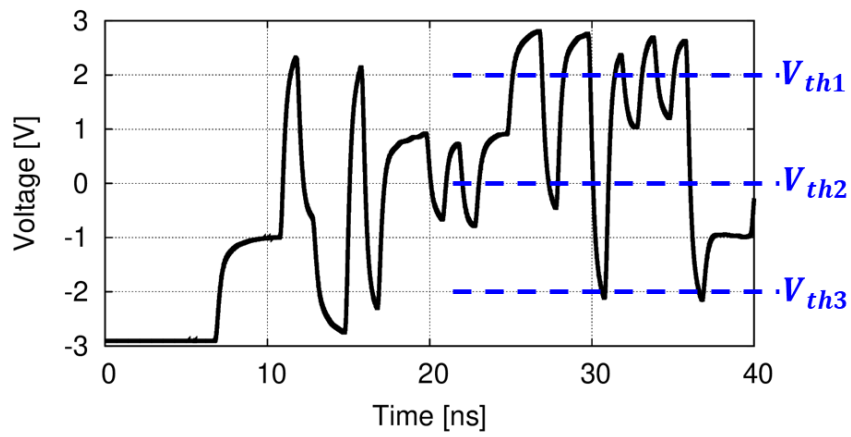
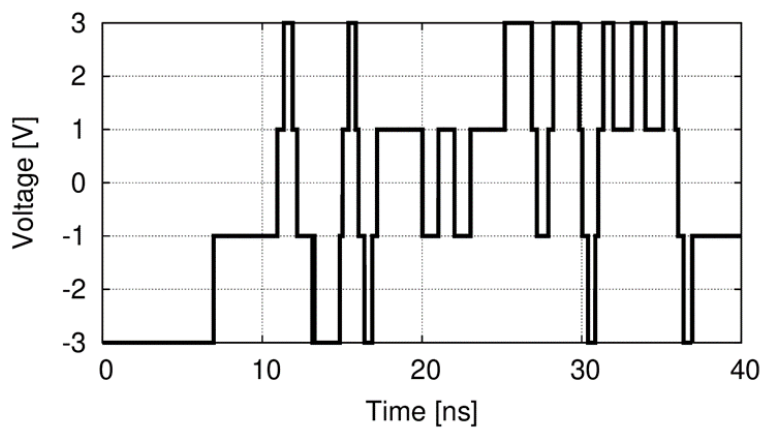


図 4-1 PAM-4 信号版 DFE の構成



(a)



(b)

図 4-2 (a) コンパレータの入力時間応答波形
(b) コンパレータの出力時間応答波形

4.2 Loop-unrolled DFE (投機型 DFE)

4.2.1 NRZ 信号版 Loop-unrolled DFE

DFE は、劣化波形補正のための加減算フィードバックループを 1 シンボル以内に動作する必要があり、適応可能な信号速度が制限されてしまう。

速度制限に関わる DFE のフィードバックループ回路内のタップ係数乗算回路を含む加算回路を図 4-3 に示す。この回路の時定数 τ_{sum} は、次式で表される。

$$\tau_{sum} = \frac{C_{sum}}{g_{m-sum}} = R_{sum} C_{sum} \quad (4-1)$$

これより、加算回路の遅延時間 T_{sum} は、

$$T_{sum} = 3\tau_{sum} = \frac{3C_{sum}}{g_{m-sum}} \quad (4-2)$$

となる[1]。加算回路のゲイン $A_v = 1$ とした。

DFE のタップ数が増えると、加算回路出力の容量 C_{sum} が増加するため、遅延時間が式(4-2)に従って増加する。

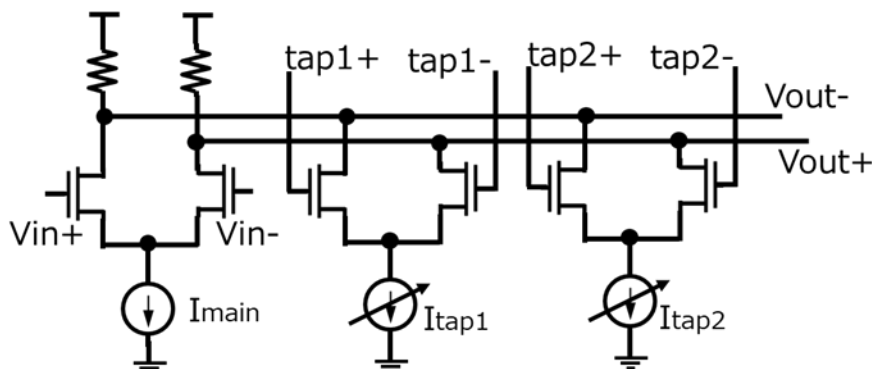


図 4-3 タップ係数乗算回路を含む加算回路

そこで、フィードバックループによる遅延を解決するための手法として、Loop-unrolled DFE (投機型 DFE) がある[1]。Loop-unrolled DFE は、従来の DFE のフィードバックループを展開したアーキテクチャである。すなわち、この等化回路は、従来必要であったフィードバックを行わない。したがって、式(4-2)に示したような遅延時間による時間制約が無くなるという利点がある。これにより、乗算回路等の速度要件緩和が可能となる。

設計した NRZ 信号版 Loop-unrolled DFE の構成図を図 4-4 に示す。1st-tap に対する高速フィードバックを行わない代わりに、2つの加算回路とサンプル回路を用いる。まず、伝送線路を通過して劣化した信号に対してタップ係数を図 4-5 のように加減算する。次に、タップ係数の加減算の結果を、コンパレータで閾値[0]と比較して[+1/-1]の

判別を並列に行う。このように、フィードバックループを展開し、あらかじめタップ係数の加減算、コンパレータでの判別を行うところが「投機型」の意味するところである。その後、2対1マルチプレクサによって正しい判別結果を選択し、出力をマルチプレクサにフィードバックすることで波形等化を行う。

NRZ 信号版 Loop-unrolled DFE のタップ係数は、伝送線路に単一パルスを入力し出力された劣化信号のピーク点から 1 ビットずつずらした点での信号振幅をもとに決定する。これらの係数は図 4-4 の $+\alpha$, $-\alpha$ に対応する。

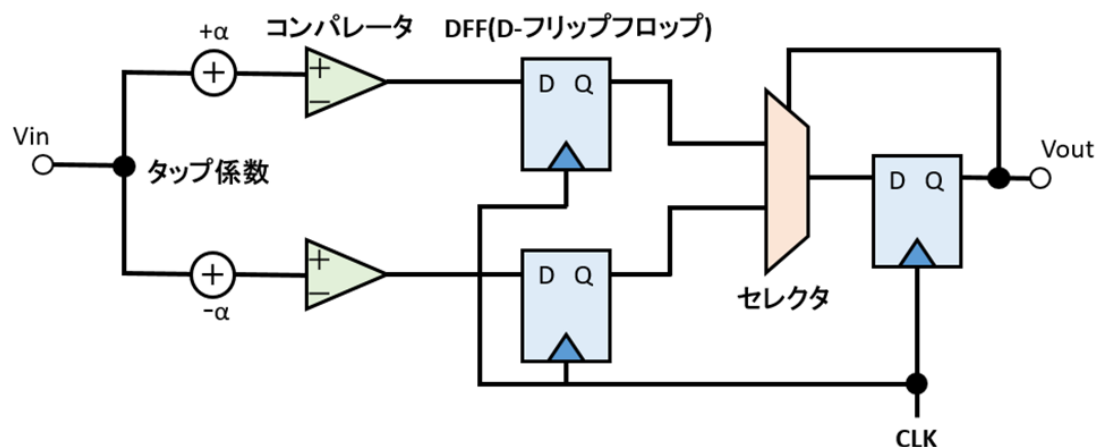


図 4-4 NRZ 信号版 Loop-unrolled DFE の構成図 (1tap)

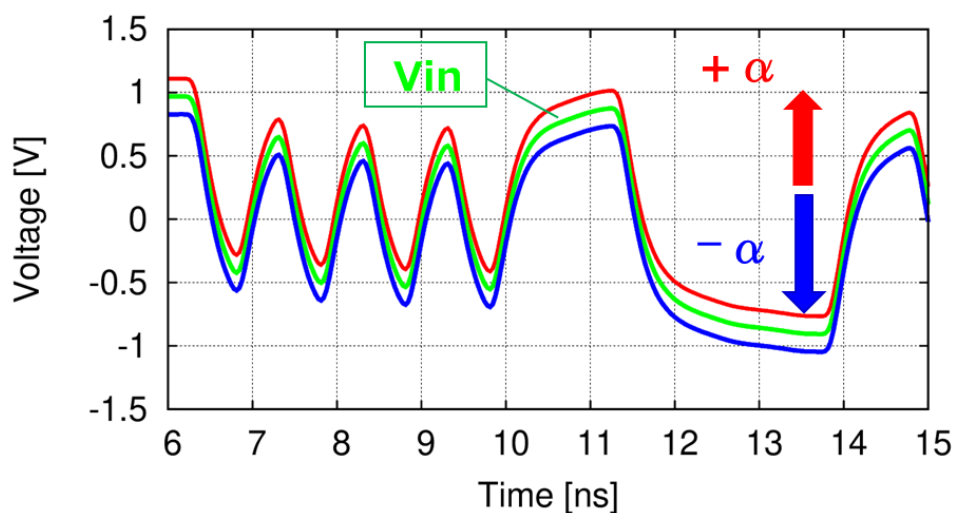


図 4-5 タップ係数の加減算 (時間応答波形)

4.2.2 PAM-4 信号版 Loop-unrolled DFE (提案法①)

DFE のフィードバック遅延による速度制限の解決手法として、Loop-unrolled DFE に PAM-4 信号を適用させることが考えられる。従来 DFE のフィードバックループを展開したアーキテクチャであり、フィードバックを行わないことによる時間制約緩和が可能な Loop-unrolled DFE と、NRZ (2 値) 信号よりも伝送速度を抑えてナイキスト周波数を半分にし、伝送線路による帯域制限の影響を軽減可能な PAM-4 信号を組み合わせることによって、さらなる速度要件緩和が可能となる。

設計した PAM-4 信号版 Loop-unrolled DFE の構成図を図 4-6 に示す。1st-tap に対する高速フィードバックを行わない代わりに、4 つの加算回路とサンプル回路を用いる。まず、伝送線路を通過して劣化した信号に対してタップ係数を図 4-7 のように加減算する。次に、タップ係数の加減算の 4 つの結果について、それぞれコンパレータを用いて判別を並列に行う。コンパレータは、PAM-4 信号版 DFE で用いたものと同様であり、3 つのコンパレータを並列に用いている。それぞれ異なる閾値を持たせており、それらは 4 値の各レベルの間になるように設定した。閾値 $V_{th1}, V_{th2}, V_{th3}$ はそれぞれ $[2V, 0V, -2V]$ であり、入力された信号が閾値よりも大きい場合は $[3V, 1V, -1V]$ 、小さい場合には $[1V, -1V, -3V]$ の 4 値に量子化されたパルスを出力する (図 4-2)。その後、4 対 1 マルチプレクサによって正しい判別結果を選択し、出力をマルチプレクサにフィードバックすることで波形等化を行う。

PAM-4 信号版 Loop-unrolled DFE のタップ係数は、伝送線路に単一パルスを入力し出力された劣化信号のピーク点から 1 シンボル分ずらした点での信号振幅をもとに決定する。これらの係数は、図 4-6 の $+3\alpha, +\alpha, -\alpha, -3\alpha$ に対応する。

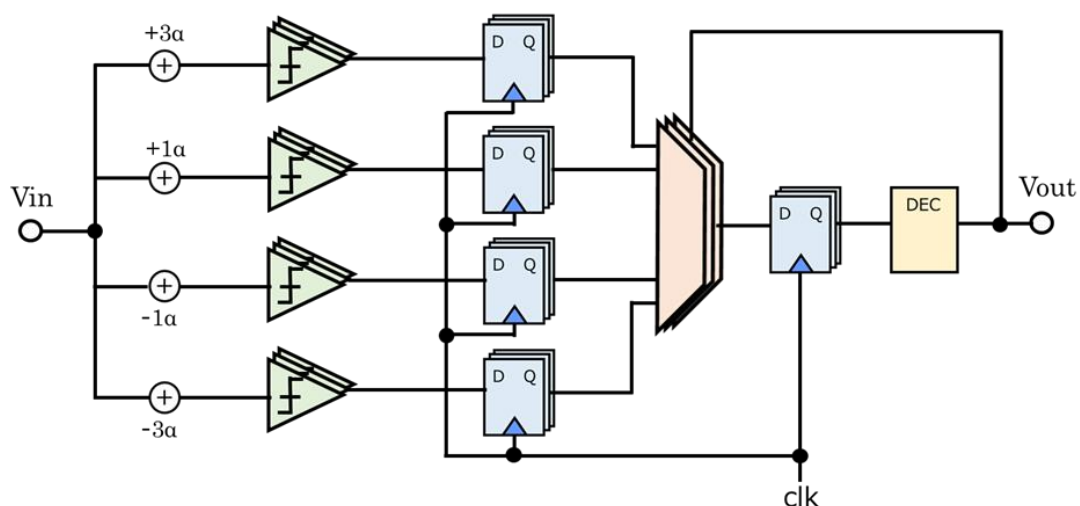


図 4-6 PAM-4 信号版 Loop-unrolled DFE の構成図 (1tap)

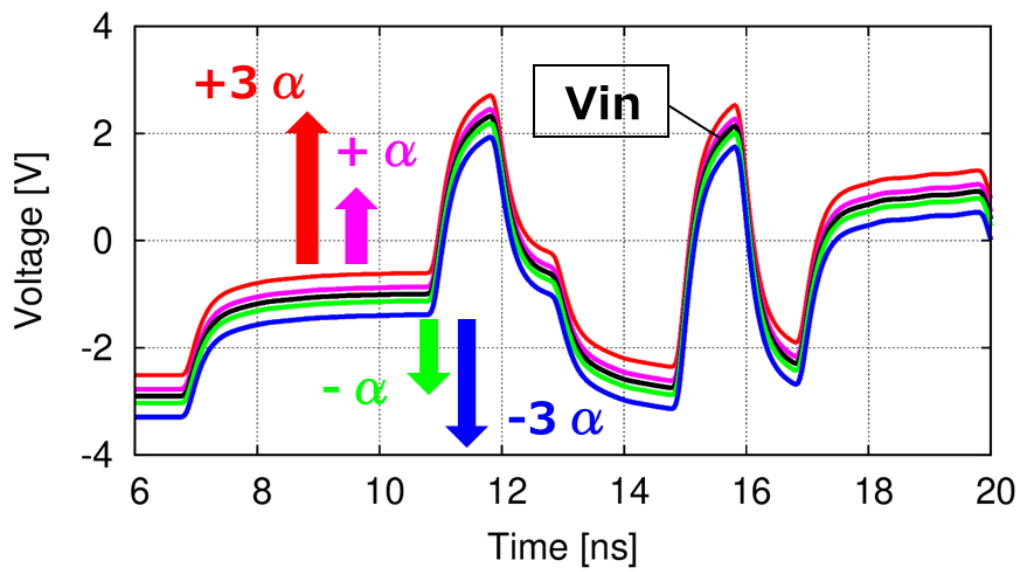


図 4-7 タップ係数の加減算 (時間応答波形)

4.3 Unclocked DFE

4.3.1 NRZ 信号版 Unclocked DFE

DFE の課題となっているフィードバックループの時間制約には、クロックコンパレータ固有のクロックデータ遅延とセットアップ（クロック同期）時間、およびフィードバックフィルタ（乗算・加算回路）による遅延があり、これらを 1 シンボル期内に抑える必要がある。

特に最初のフィードバックループでの主な遅延の発生は、クロックによるものである [2]。実際、伝送レート 2[Gbps] の NRZ 信号の場合、0.2[nsec] の遅延がある。伝送レート 2[Gbps] の 1 シンボル期は 0.5[nsec] であるため、1 シンボル期 T_{ui} とすると、遅延量は $0.4T_{ui}$ となり、大きな時間制約となっている。

そこで、フィードバックループの時間制約を解決するための手法として、Unclocked DFE がある [2] [3]。Unclocked DFE は、クロックを必要としない DFE である。そのため、従来 DFE にあったクロックによる遅延時間に起因する時間制約が無くなるという利点がある。これにより、従来 DFE の速度要件緩和が可能となる。

設計した NRZ 信号版 Unclocked DFE の構成図 4-8 に示す。コンパレータおよび遅延セルには差動回路を用いる。まず、伝送線路を通過して劣化した信号に対して、クロックを使用しない連続時間コンパレータを用い、閾値 [0] と比較して [+1/-1] に 2 値化する。このコンパレータの回路図を図 4-9 に示す。

次に、遅延セルによりフィードバックループのレイテンシが 1 シンボル周期と等しくなるように追加の時間遅延を導入する。遅延セルの回路図を図 4-10 に示す。導入する遅延時間は、複数の遅延セルをカスケード接続することで実現する。負荷抵抗は PMOS で実現し、並列ゲート電圧によって電流の流入量および飽和時間を制御することで、数 [psec] から数十 [psec] の範囲内での遅延量の校正が可能である。このように、遅延時間を動的に制御可能である点が Unclocked DFE の利点の 1 つである。また、遅延セルはコンパレータ通過後の信号ゲインが完全に飽和したバイナリ信号のゲインに近づける役割も担う。遅延セルによる信号波形遅延の様子を図 4-11 に示す。

その後、タップ係数（マイナス値）を掛け、それをフィードバックして伝送線路を通過した劣化波形と加算することによって符号間干渉を取り除く。NRZ 信号版 Unclocked DFE のタップ係数は、伝送線路に単一パルスを入力し出力された劣化信号のピーク点から 1 ビットずつずらした点での信号振幅をもとに決定する。これらの係数は、図 4-8 の α に対応する。

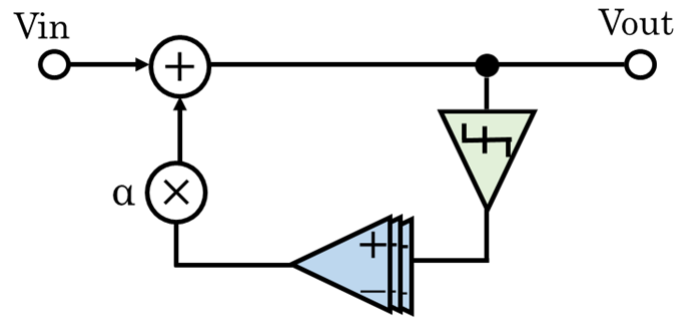


図 4-8 NRZ 信号版 Unclocked DFE の構成図 (1tap)

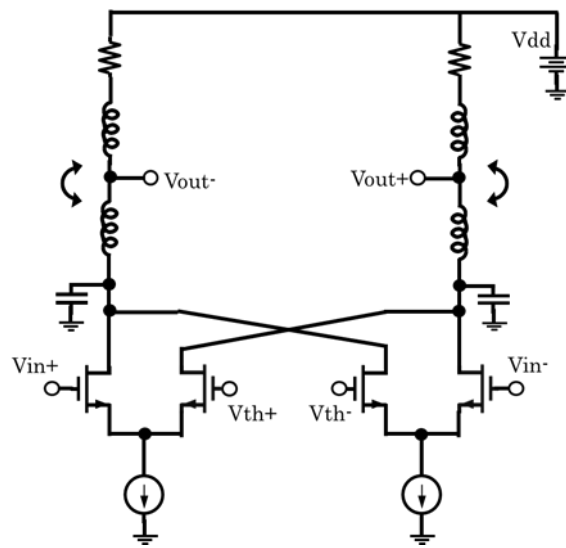


図 4-9 連続時間コンパレータ

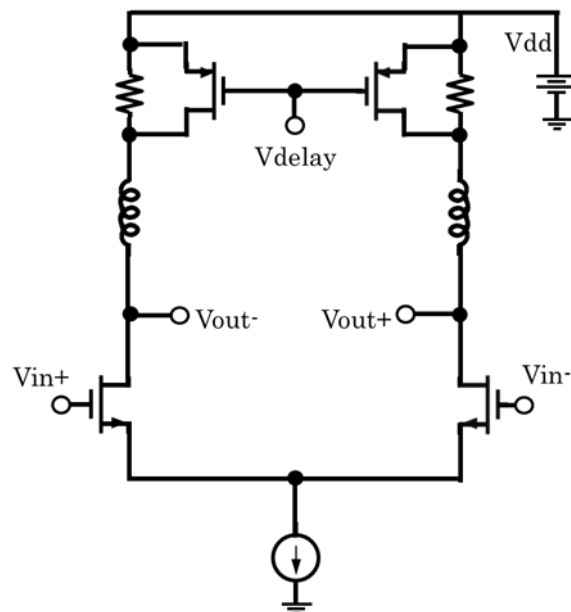


図 4-10 遅延セル

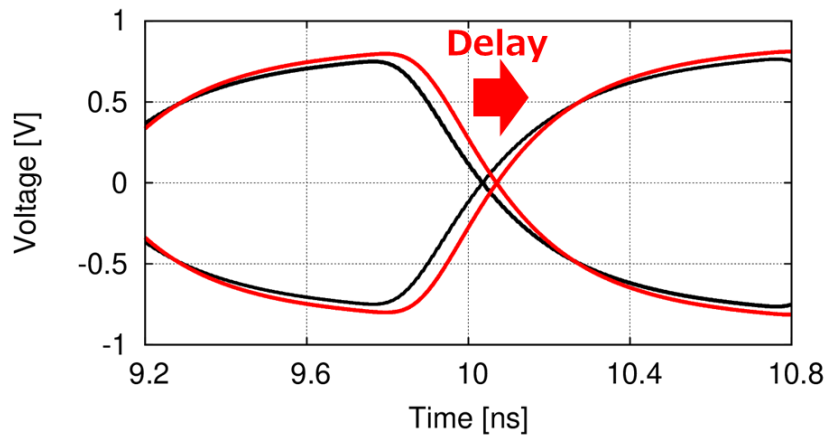


図 4-11 遅延セルによる信号波形遅延 (遅延 : 20[psec])

4.3.2 PAM-4 信号版 Unclocked DFE (提案法②)

DFE のフィードバック遅延による速度制限の解決手法として、Unclocked DFE に PAM-4 信号を適用させることが考えられる。クロックを必要としない DFE であり、従来 DFE にあったクロックによる遅延時間に起因する時間制約が無くなるという利点を持つ Unclocked DFE と、NRZ (2 値) 信号よりも伝送速度を抑えてナイキスト周波数を半分にでき、伝送線路による帯域制限の影響を軽減可能な PAM-4 信号を組み合わせることによって、さらなる速度要件緩和が可能となる。

設計した PAM-4 信号版 Unclocked DFE の構成図を図 4-12 に示す。コンパレータおよび遅延セルには差動回路を用いる。まず、伝送線路を通過して劣化した信号に対して、クロックを使用しない連続時間コンパレータを 3 つ並列で用いてそれぞれ 2 値化する。並列で用いた 3 つのコンパレータにはそれぞれ異なる閾値を持たせており、それぞれアイパターンの上段、中段、下段の 3 つのアイの中央に来るように設定した。各コンパレータによる 2 値化の様子を示した図 4-13 のように、閾値 V_{th1} , V_{th2} , V_{th3} に対し、入力された信号が閾値よりも大きい場合はそれぞれ $[3, 1, -1]$ 、小さい場合には $[1, -1, -3]$ に 2 値化する。

次に、遅延セルによりフィードバックループのレイテンシが 1 シンボル周期と等しくなるように追加の時間遅延を導入する。導入する遅延時間は、複数の遅延セルをカスケード接続することで実現する。

その後、タップ係数 (マイナス値) を掛け、それをフィードバックして伝送線路を通過した劣化波形と加算することによって符号間干渉を取り除く。PAM-4 信号版 Unclocked DFE のタップ係数は、伝送線路に単一パルスを入力し出力された劣化信号のピーク点から 1 シンボルずつずらした点での信号振幅をもとに決定する。図 4-12 の α に対応する。

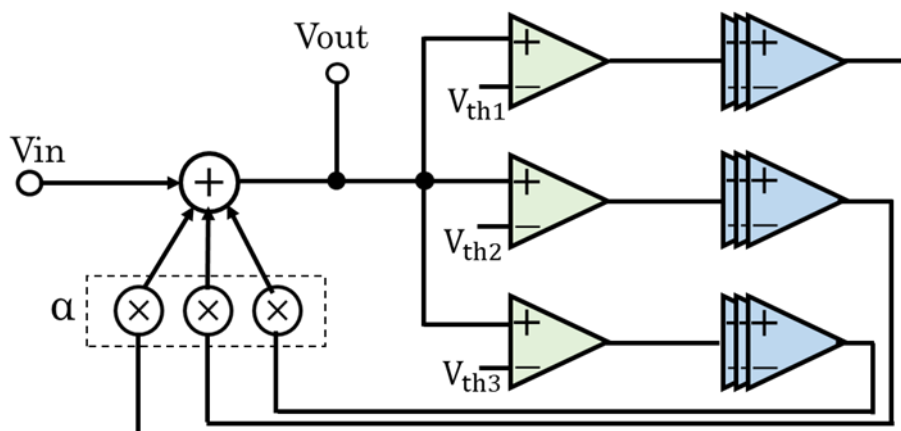


図 4-12 PAM-4 信号版 Unclocked DFE の構成図 (1tap)

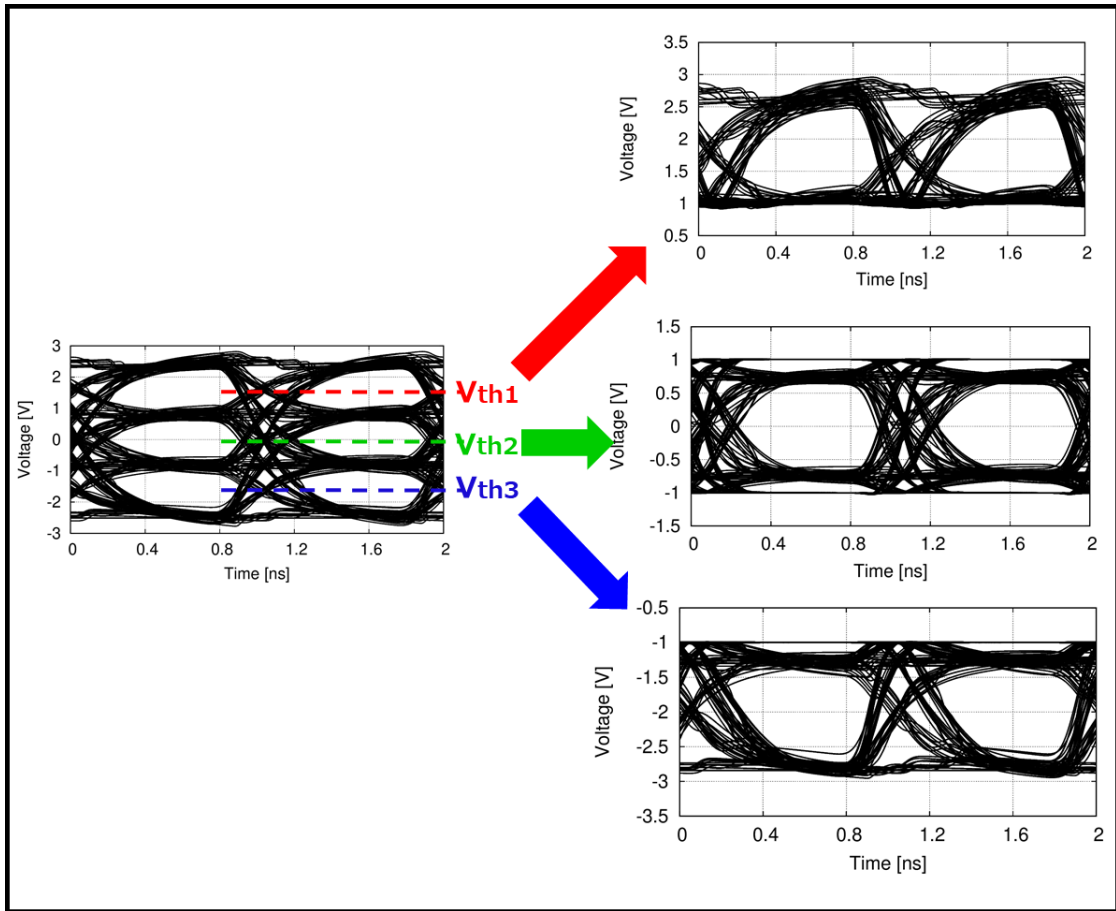


図 4-13 各連続時間コンパレータによる 2 値化

第5章 各種 Decision Feedback Equalizer による 波形等化の性能評価

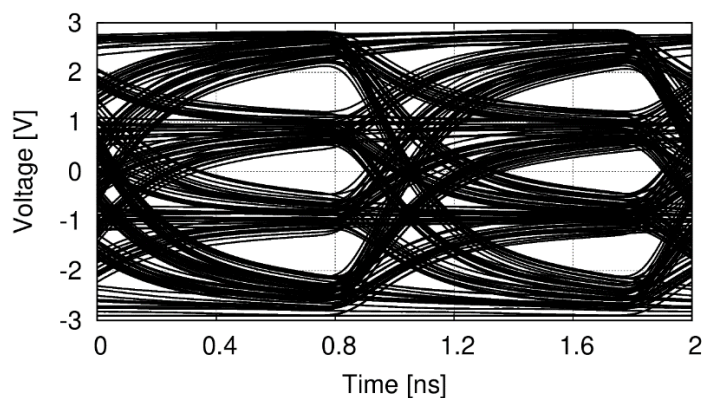
5.1 PAM-4 信号版 DFE を用いた波形等化の効果比較

PAM-4 信号版 DFE による波形整形の効果を検証し、性能評価を行った。図 5-1 は、1.0 m の伝送線路モデルを用いて回路シミュレータ ADS にて比較したアイパターンを示している。波形等化を行わない伝送線路通過後波形では、伝送速度が 1.0[Gsps]、1.5[Gsps] と高速になるにつれてアイが閉じていくことが確認できる。ここで、PAM-4 信号 (4 値信号) における伝送速度 1.0[Gsps] は NRZ 信号 (2 値信号) において 2.0[Gbps] に相当し、PAM-4 信号の 1.5[Gsps] は NRZ 信号の 3.0[Gbps] に相当する。

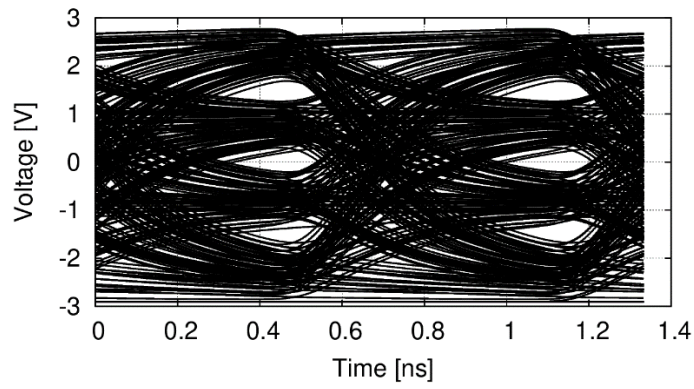
PAM-4 信号版 DFE を用いた波形等化により、閉じたアイが開いていることが確認できる。表 5-1、表 5-2 より開口率を比較すると、伝送速度 1.0[Gsps] では波形等化を行わない場合は 45.2% であったのに対し PAM-4 信号版 DFE を用いたものは 67.1% となり、開口率は 48% 改善した。伝送速度 1.5[Gsps] では波形等化を行わない場合は 23.3% であったのに対し PAM-4 信号版 DFE を用いたものは 52.3% となり、開口率は 124% 改善した。

また、時間軸方向のアイの開きに注目すると、伝送速度 1.0[Gsps] では波形等化を行わない場合は 0.500 UI であったのに対し PAM-4 信号版 DFE を用いたものは 0.648 UI となり、30% 改善した。伝送速度 1.5[Gsps] では波形等化を行わない場合は 0.303 UI であったのに対し PAM-4 信号版 DFE を用いたものは 0.498 UI となり、64% 改善した。

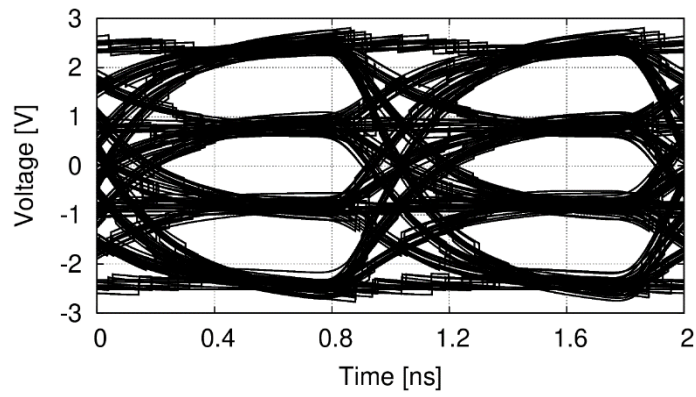
以上より、PAM-4 信号版 DFE を用いることで伝送線路の帯域制限に起因する符号間干渉の影響を緩和できると言える。また、PAM-4 信号版 DFE は特に振幅方向マージン改善に優れていると評価することができ、高速信号伝送において有効であると考えられる。



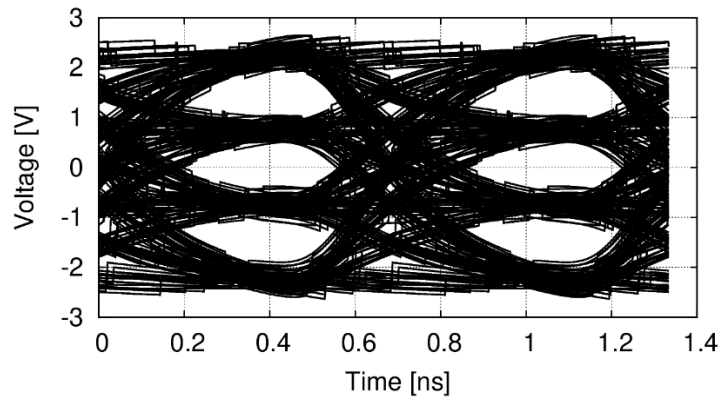
(a) 波形等化無し@1.0[Gsps]



(b) 波形等化無し@1.5[Gsps]



(c) PAM-4 信号版 DFE による波形等化@1.0[Gsps]



(d) PAM-4 信号版 DFE による波形等化@1.5[Gsps]

図 5-1 (a-d) PAM-4 信号伝送におけるアイパターン

表 5-1 波形等化無し アイパターンの評価

伝送速度 [Gbps]	開口率[%]	時間方向 [UI]	Eye- Height[V]	Eye- Width[ps]
1.0	45.2	0.500	2.786	500
1.5	23.3	0.303	1.371	202

表 5-2 PAM-4 信号版 DFE による波形等化 アイパターンの評価

伝送速度 [Gbps]	開口率[%]	時間方向 [UI]	Eye- Height[V]	Eye- Width[ps]
1.0	67.1	0.648	3.500	648
1.5	52.3	0.498	2.712	332

5.2 Loop-unrolled DFE (投機型 DFE) を用いた波形等化の効果比較

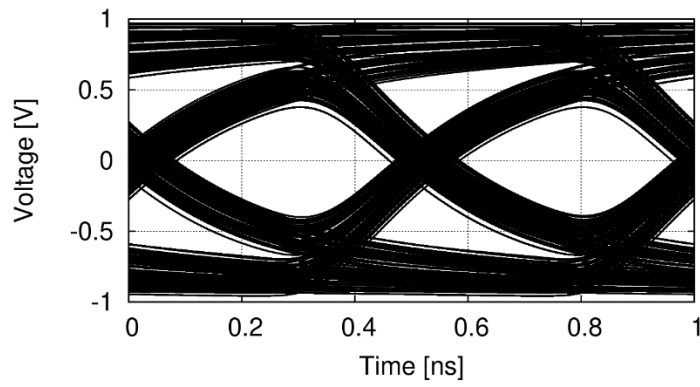
5.2.1 NRZ 信号版 Loop-unrolled DFE

NRZ 信号版 Loop-unrolled DFE と波形等化を行わない場合および従来 DFE の比較を行った。図 5-2 は、1.0 m の伝送線路モデルを用いて回路シミュレータ ADS にて比較したアイパターンを示している。

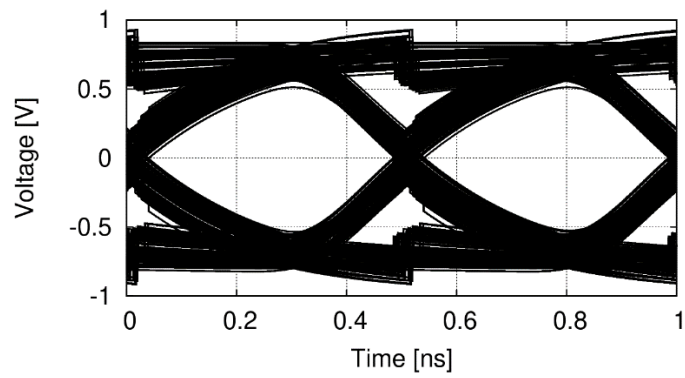
まず、表 5-3、表 5-4、表 5-5 より開口率を比較すると、伝送速度 2.0[Gbps]では、波形等化を行わない場合は 40.1%であったのに対し NRZ 信号版 Loop-unrolled DFE を用いた場合は 99.6%となり、開口率は 148%改善した。また、従来 DFE を用いた場合は 61.7%であったのに対し、NRZ 信号版 Loop-unrolled DFE を用いた場合の開口率は 61%改善した。伝送速度 3.0[Gbps]では、波形等化を行わない場合は 16.9%であったのに対し NRZ 信号版 Loop-unrolled DFE を用いた場合は 99.5%となり、開口率は 489%改善した。また、従来 DFE を用いた場合は 44.1%であったのに対し、NRZ 信号版 Loop-unrolled DFE を用いた場合の開口率は 126%改善した。

また、時間軸方向のアイの開きに注目すると、伝送速度 2.0[Gbps]では、波形等化を行わない場合は 0.752 UI であったのに対し NRZ 信号版 Loop-unrolled DFE を用いた場合は 0.838 UI となり、11%改善した。また、従来 DFE を用いた場合は 0.860 UI であったのに対し、NRZ 信号版 Loop-unrolled DFE を用いた場合は改善が-2.6%となった。伝送速度 3.0[Gbps]では、波形等化を行わない場合は 0.513 UI であったのに対し NRZ 信号版 Loop-unrolled DFE を用いた場合は 0.738 UI となり、44%改善した。また、従来 DFE を用いた場合は 0.750 UI であったのに対し、NRZ 信号版 Loop-unrolled DFE を用いた場合は改善が-1.6%となった。従来 DFE と比較して NRZ 信号版 Loop-unrolled DFE の方が時間軸方向のアイの開きが小さい原因として、コンパレータ部で劣化信号を量子化する際に 1 ビットよりも幅の狭い矩形波を出力し、その時間方向ジッタが残留してしまっていることが考えられる。

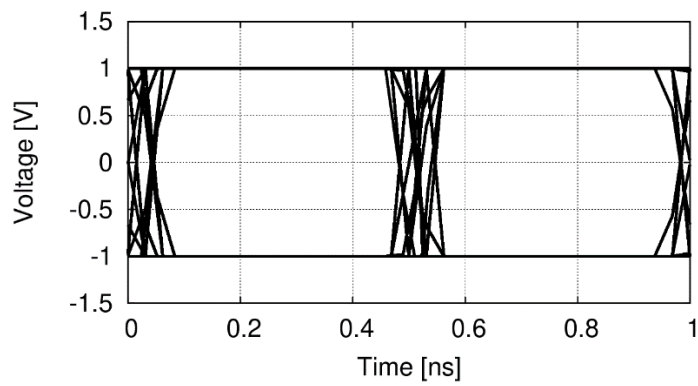
以上より、NRZ 信号版 Loop-unrolled DFE を用いることで伝送線路の帯域制限に起因する符号間干渉の影響を緩和できると言える。また、NRZ 信号版 Loop-unrolled DFE は振幅方向マージン改善に優れていると評価することができ、高速信号伝送において有効であると考えられる。



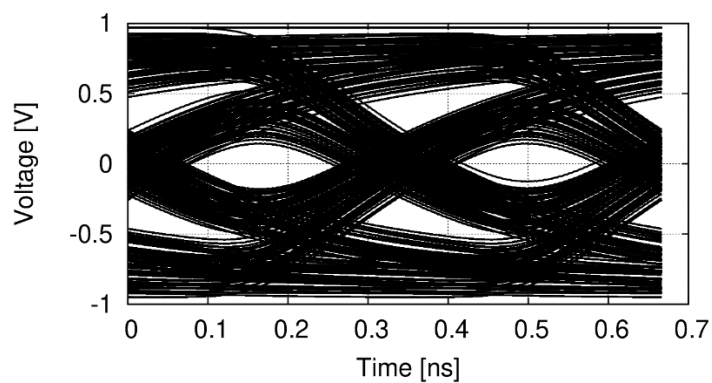
(a) 波形等化無し@2.0[Gbps]



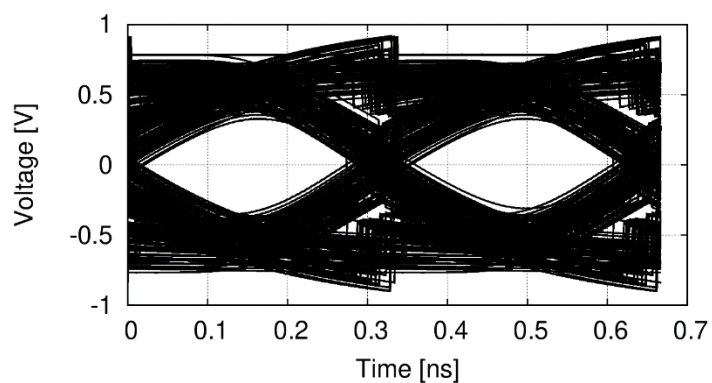
(b) 従来 DFE による波形等化@2.0[Gbps]



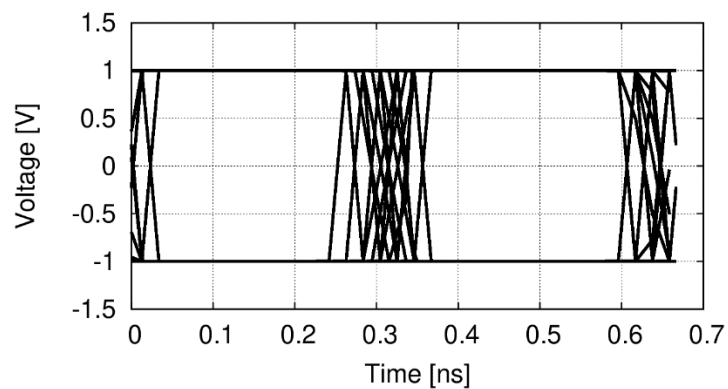
(c) NRZ 信号版 Loop-unrolled DFE による波形等化@2.0[Gbps]



(d) 波形等化無し@3.0[Gbps]



(e) 従来 DFE による波形等化@3.0[Gbps]



(f) NRZ 信号版 Loop-unrolled DFE による波形等化@3.0[Gbps]

図 5-2 (a-f) NRZ 信号伝送におけるアイパターン

表 5-3 波形等化無し アイパターンの評価

伝送速度 [Gbps]	開口率[%]	時間方向 [UI]	Eye- Height[V]	Eye- Width[ps]
2.0	40.1	0.752	0.773	376
3.0	16.9	0.513	0.322	171

表 5-4 従来 DFE による波形等化 アイパターンの評価

伝送速度 [Gbps]	開口率[%]	時間方向 [UI]	Eye- Height[V]	Eye- Width[ps]
2.0	61.7	0.860	1.048	430
3.0	44.1	0.750	0.682	250

表 5-5 NRZ 信号版 Loop-unrolled DFE による波形等化 アイパターンの評価

伝送速度 [Gbps]	開口率[%]	時間方向 [UI]	Eye- Height[V]	Eye- Width[ps]
2.0	99.6	0.838	1.992	419
3.0	99.5	0.738	1.991	246

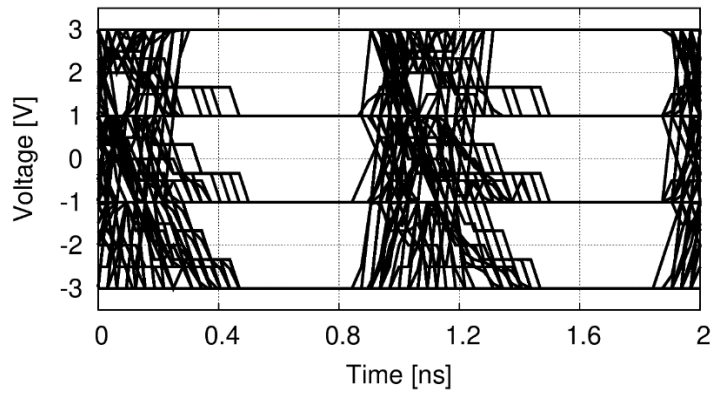
5.2.2 PAM-4 信号版 Loop-unrolled DFE (提案法①)

PAM-4 信号版 Loop-unrolled DFE と波形等化を行わない場合および PAM-4 信号版 DFE の比較を行った。図 5-3 は、1.0 m の伝送線路モデルを用いて回路シミュレータ ADS にて取得した PAM-4 信号版 Loop-unrolled DFE のアイパターンを示している。

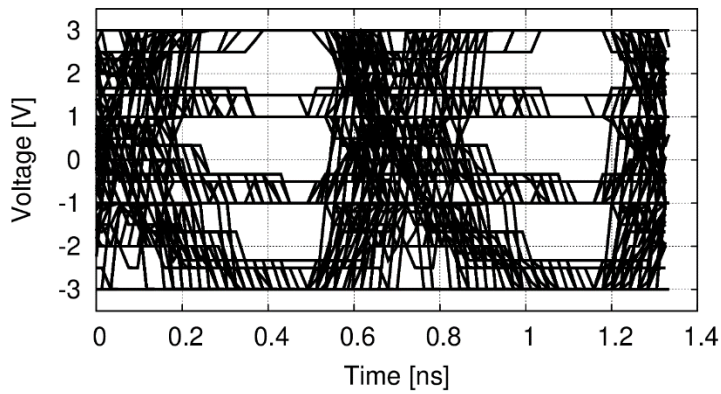
まず、表 5-1、表 5-2、表 5-6 より開口率を比較すると、伝送速度 1.0[Gsps]では、波形等化を行わない場合は 45.2%であったのに対し PAM-4 信号版 Loop-unrolled DFE を用いた場合は 99.8%となり、開口率は 121%改善した。また、PAM-4 信号版 DFE を用いた場合は 67.1%であったのに対し、PAM-4 信号版 Loop-unrolled DFE を用いた場合の開口率は 49%改善した。伝送速度 1.5[Gsps]では、波形等化を行わない場合は 23.3%であったのに対し PAM-4 信号版 Loop-unrolled DFE を用いた場合は 73.0%となり、開口率は 213%改善した。また、PAM-4 信号版 DFE を用いた場合は 52.3%であったのに対し、PAM-4 信号版 Loop-unrolled DFE を用いた場合の開口率は 40%改善した。

また、時間軸方向のアイの開きに注目すると、伝送速度 1.0[Gsps]では、波形等化を行わない場合は 0.500 UI であったのに対し PAM-4 信号版 Loop-unrolled DFE を用いた場合は 0.618 UI となり、24%改善した。また、PAM-4 信号版 DFE を用いた場合は 0.648 UI であったのに対し、PAM-4 信号版 Loop-unrolled DFE を用いた場合は改善が-4.6%となった。伝送速度 1.5[Gsps]では、波形等化を行わない場合は 0.303 UI であったのに対し PAM-4 信号版 Loop-unrolled DFE を用いた場合は 0.467 UI となり、54%改善した。また、PAM-4 信号版 DFE を用いた場合は 0.498 UI であったのに対し、PAM-4 信号版 Loop-unrolled DFE を用いた場合は改善が-6.2%となった。PAM-4 信号版 DFE と比較して PAM-4 信号版 Loop-unrolled DFE の方が時間軸方向のアイの開きが小さい原因としては、コンパレータ部で劣化信号を量子化する際に 1 シンボルよりも幅の狭いパルスを出力し、その時間方向ジッタが残留してしまっていることが考えられる。さらに、信号選択直前の 4 つの信号波形が異なるため、内 1 つの信号を選択する際に階段状ジッタが残留すると考えられる。

以上より、PAM-4 信号版 Loop-unrolled DFE を用いることで伝送線路の帯域制限に起因する符号間干渉の影響を緩和できると言える。また、PAM-4 信号版 Loop-unrolled DFE は振幅方向マージン改善に優れていると評価することができ、高速信号伝送において有効であると考えられる。



(a) PAM-4 信号版 Loop-unrolled DFE による波形等化@1.0[Gsps]



(b) PAM-4 信号版 Loop-unrolled DFE による波形等化@1.5[Gsps]

図 5-3 (a-b) PAM-4 信号版 Loop-unrolled DFE のアイパターン

表 5-6 PAM-4 信号版 Loop-unrolled DFE による波形等化 アイパターンの評価

伝送速度 [Gsps]	開口率[%]	時間方向 [UI]	Eye- Height[V]	Eye- Width[ps]
1.0	99.8	0.618	5.990	618
1.5	73.0	0.467	4.380	311

5.3 Unclocked DFE を用いた波形等化の効果比較

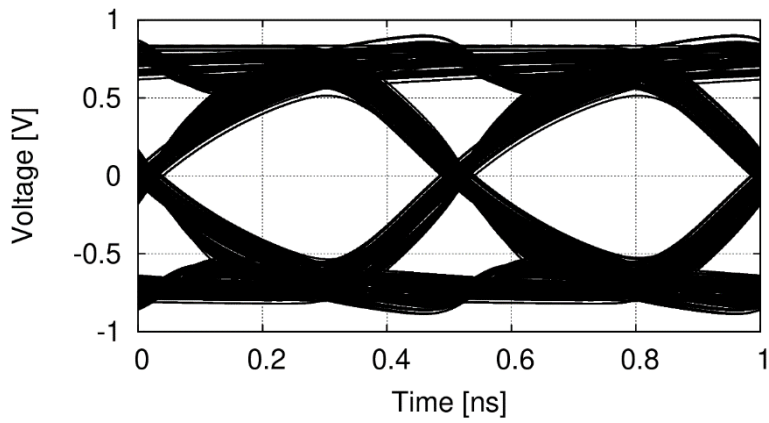
5.3.1 NRZ 信号版 Unclocked DFE

NRZ 信号版 Unclocked DFE と波形等化を行わない場合および従来 DFE の比較を行った。図 5-4 は、1.0 m の伝送線路モデルを用いて回路シミュレータ ADS にて取得した NRZ 信号版 Unclocked DFE のアイパターンを示している。

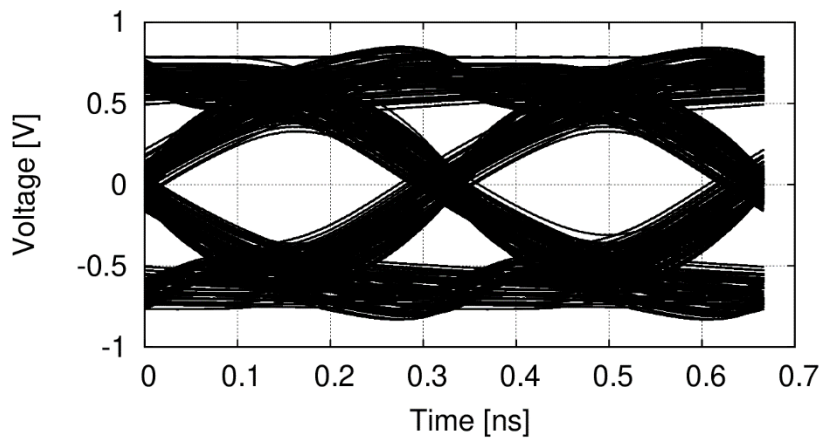
まず、表 5-3、表 5-4、表 5-7 より開口率を比較すると、伝送速度 2.0[Gbps]では、波形等化を行わない場合は 40.1%であったのに対し NRZ 信号版 Unclocked DFE を用いた場合は 64.1%となり、開口率は 60%改善した。また、従来 DFE を用いた場合は 61.7%であったのに対し、NRZ 信号版 Unclocked DFE を用いた場合の開口率は 4.0%改善した。伝送速度 3.0[Gbps]では、波形等化を行わない場合は 16.9%であったのに対し NRZ 信号版 Unclocked DFE を用いた場合は 45.9%となり、開口率は 172%改善した。また、従来 DFE を用いた場合は 44.1%であったのに対し、NRZ 信号版 Unclocked DFE を用いた場合の開口率は 4.1%改善した。

また、時間軸方向のアイの開きに注目すると、伝送速度 2.0[Gbps]では、波形等化を行わない場合は 0.752 UI であったのに対し NRZ 信号版 Unclocked DFE を用いた場合は 0.892 UI となり、19%改善した。また、従来 DFE を用いた場合は 0.860 UI であったのに対し、NRZ 信号版 Unclocked DFE を用いた場合は 4.0%改善した。伝送速度 3.0[Gbps]では、波形等化を行わない場合は 0.513 UI であったのに対し NRZ 信号版 Unclocked DFE を用いた場合は 0.790 UI となり、54%改善した。また、従来 DFE を用いた場合は 0.750 UI であったのに対し、NRZ 信号版 Unclocked DFE を用いた場合は 5.3%改善した。

以上より、NRZ 信号版 Unclocked DFE を用いることで伝送線路の帯域制限に起因する符号間干渉の影響を緩和できると言える。また、NRZ 信号版 Unclocked DFE は振幅方向および時間方向双方のマージン改善に優れていると評価することができ、高速信号伝送において有効であると考えられる。



(a) NRZ 信号版 Unclocked DFE による波形等化@2.0[Gbps]



(b) NRZ 信号版 Unclocked DFE による波形等化@3.0[Gbps]

図 5-4 (a-b) NRZ 信号版 Unclocked DFE のアイパターン

表 5-7 NRZ 信号版 Unclocked DFE による波形等化 アイパターンの評価

伝送速度 [Gbps]	開口率[%]	時間方向 [UI]	Eye- Height[V]	Eye- Width[ps]
2.0	64.1	0.892	1.055	446
3.0	45.9	0.790	0.688	263

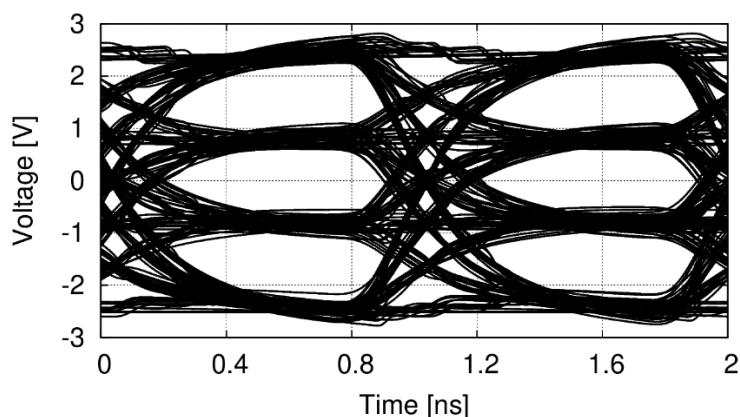
5.3.2 PAM-4 信号版 Unclocked DFE (提案法②)

PAM-4 信号版 Unclocked DFE と波形等化を行わない場合および PAM-4 信号版 DFE の比較を行った。図 5-5 は、1.0 m の伝送線路モデルを用いて回路シミュレータ ADS にて取得した PAM-4 信号版 Unclocked DFE のアイパターンを示している。

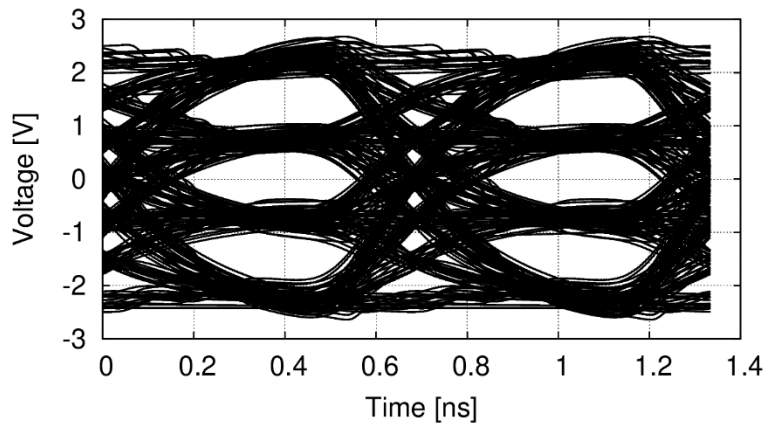
まず、表 5-1、表 5-2、表 5-8 より開口率を比較すると、伝送速度 1.0[Gsps]では、波形等化を行わない場合は 45.2%であったのに対し PAM-4 信号版 Unclocked DFE を用いた場合は 71.8%となり、開口率は 59%改善した。また、PAM-4 信号版 DFE を用いた場合は 67.1%であったのに対し、PAM-4 信号版 Unclocked DFE を用いた場合の開口率は 7.0%改善した。伝送速度 1.5[Gsps]では、波形等化を行わない場合は 23.3%であったのに対し PAM-4 信号版 Unclocked DFE を用いた場合は 59.1%となり、開口率は 154%改善した。また、PAM-4 信号版 DFE を用いた場合は 52.3%であったのに対し、PAM-4 信号版 Unclocked DFE を用いた場合の開口率は 13%改善した。

また、時間軸方向のアイの開きに注目すると、伝送速度 1.0[Gsps]では、波形等化を行わない場合は 0.500 UI であったのに対し PAM-4 信号版 Unclocked DFE を用いた場合は 0.693 UI となり、39%改善した。また、PAM-4 信号版 DFE を用いた場合は 0.648 UI であったのに対し、PAM-4 信号版 Loop-unrolled DFE を用いた場合は 7.0%改善した。伝送速度 1.5[Gsps]では、波形等化を行わない場合は 0.303 UI であったのに対し PAM-4 信号版 Unclocked DFE を用いた場合は 0.568 UI となり、87%改善した。また、PAM-4 信号版 DFE を用いた場合は 0.498 UI であったのに対し、PAM-4 信号版 Unclocked DFE を用いた場合は 13%改善した。

以上より、PAM-4 信号版 Unclocked DFE を用いることで伝送線路の帯域制限に起因する符号間干渉の影響を緩和できると言える。また、PAM-4 信号版 Unclocked DFE は振幅方向および時間方向双方のマージン改善に優れていると評価することができ、高速信号伝送において有効であると考えられる。



(a) PAM-4 信号版 Unclocked DFE による波形等化@1.0[Gsps]



(b) PAM-4 信号版 Unclocked DFE による波形等化@1.5[Gbps]

図 5-3 (a-b) PAM-4 信号版 Unclocked DFE のアイパターン

表 5-6 PAM-4 信号版 Unclocked DFE による波形等化 アイパターンの評価

伝送速度 [Gbps]	開口率[%]	時間方向 [UI]	Eye- Height[V]	Eye- Width[ps]
1.0	71.8	0.693	3.672	693
1.5	59.1	0.568	2.844	378

第6章 結言

本研究では、高速信号伝送において伝送線路の帯域制限に起因するデジタル信号の波形劣化および符号間干渉を補償する等化技術として提案されている判定帰還型等化器 (DFE: Decision Feedback Equalizer) について、課題となっているフィードバックループによる素子の動作速度制約を緩和するための新たな回路構成の検討を行った。

具体的には、従来では2値信号で用いられていたDFEに対し、PAM-4信号を適用させることで帯域制限の影響緩和を図った。また、Loop-unrolled DFE (投機型DFE) に対してもPAM-4信号を適用させ、フィードバックループを展開したアーキテクチャと多値符号化技術の組み合わせにより、課題であった時間制約の緩和を図った。さらに、Unclocked DFEについてもPAM-4信号を適用させ、クロックレスのアーキテクチャと多値符号化技術の融合により、速度制限の緩和を図った。

以上により、DFEへのPAM-4信号の適用は、伝送線路の帯域制限に起因する符号間干渉の影響を軽減可能であることを明らかにした。また、Loop-unrolled DFEへのPAM-4信号の適用は、振幅方向マージン改善に優れており、時間制約緩和に有効であることを示した。さらに、Unclocked DFEへのPAM-4信号の適用は、振幅方向および時間方向双方のマージン改善に優れており、高速信号伝送に有効であることを明らかにした。

今回考察した回路構成は、1次 (1tap) の各種DFEによる等化であったが、より波形劣化の多い高速信号伝送を目的とした2次以上の高次の等化回路構成の考察および有効性の検討が必要である。また、等化回路による消費電量削減のため、回路規模を縮小するための回路構成の検討が今後の課題である。

参考文献

- [1] 山口晃一, "10 Gbit/s クラスの高速電気伝送を実現する波形整形回路の動作原理と最新動向", 電子情報通信学会論文誌 C Vol. J95-C, No.5, pp.93-100, 一般社団法人電子情報通信学会 2012
- [2] S. Chandramouli, F. Bien, H. Kim, C. Scholz, E. Gebara and J. Laskar, "10-Gb/s Optical Fiber Transmission Using a Fully Analog Electronic Dispersion Compensator (EDC) With Unclocked Decision-Feedback Equalization," in IEEE Transactions on Microwave Theory and Techniques, vol. 55, no. 12, pp. 2740-2746, Dec. 2007.
- [3] S. Chandramouli, F. Bien, Hyungsoo Kim, E. Gebara and J. Laskar, "A 10-Gb/sec unlocked current-mode logic (CML) analog decision feedback equalizer (ADFE) in 0.18- μm CMOS," ESSCIRC 2007 - 33rd European Solid-State Circuits Conference, Munich, 2007, pp. 512-515.
- [4] F. Bien, H. Kim, Y. Hur, M. Maeng, J. Cha, S. Chandramouli, E. Gebara, and J. Laskar, "A 10-Gb/s reconfigurable CMOS equalizer employing a transition detector-based output monitoring technique for band-limited serial links," IEEE Trans. Microw. Theory Tech., vol. 54, no. 12, pp. 4538-4547, Dec. 2006.
- [5] S. Chandramouli, F. Bien, H. Kim, E. Gebara, C. Scholz, and J. Laskar, "A novel analog decision-feedback equalizer for 10-Gb/s multi-mode fiber dispersion compensation," in IEEE MTT-S Int. Microw. Symp. Dig., Jun. 2007, pp. 203-206.
- [6] 「ホール&ヘック 高速デジタル回路設計 アドバンスド・シグナルインテグリティ」, 須藤俊夫監訳, 丸善出版, 2012.
- [7] 「アナログ CMOS 集積回路の設計 基礎編」, Behzad Razavi 著, 黒田忠広監訳, 丸善出版, 2003.

謝辞

本論文は、著者が群馬大学大学院 理工学府 理工学専攻 電子情報・数理教育プログラム 情報通信システム分野 第3研究室 弓仲研究室にて行った研究をまとめたものである。

本研究を進めるにあたり、日頃よりご指導いただきました弓仲康史准教授に深くお礼を申し上げます。日々の研究だけでなく学会発表資料作成や発表練習など細部にまでご助言・ご指導いただき、誠にありがとうございました。また、主査の小林春夫教授、副査の伊藤直史准教授、また副指導員の三浦健太准教授に適切にご指導を賜りましたことを感謝いたします。そして、本研究において使用した伝送線路モデルの作成・データ取得を行った同研究室OBである小山工業高等専門学校 飯島洋祐准教授、弓仲康史准教授に重ねて御礼申し上げます。

最後に、日頃よりご助言・ご意見を頂いた弓仲研究室の皆様には感謝の意を表し、謝辞とさせていただきます。

令和3年3月

研究業績

[1] Daijiroh Tayama and Yasushi Yuminaka, “Function allocation of coding and equalization for high-speed serial links” ,TJCAS2019, Nikko, Tochigi, August 8th, 2019